Dr inž. SPASOJE TEŠIĆ
profesor univerziteta

DIGITALNA ELEKTRONIKA

TREĆE DOPUNJENO IZDANJE

Naučna knjiga

BEOGRAD, 1979.

UNIVERZITETSKI UDŽBENICI

Za izdavača *Dragoslav Joković*, urednik *Božica Vidanović*, tehnički urednik *Gordana Krstić*
Tiraž: 1.000 primeraka

Štampa: Štamparija „Bakar“ – Bor

SADRŽAJ

11. ARITMETIČKA KOLA

PREDGOVOR

Najveća dostignuća ljudskog uma u poslednje vreme postižu se zahvaljujući velikom razvoju elektronike uopšte. Nesumljivo je da u najveća tehnička dostignuća ovog vremena spadaju elektronski računari, čije se prisustvo sve više oseća u svakoj ljudskoj delatnosti. Ovo dostignuće, i ne samo ovo, ostvareno je blagodareći uspešnom rešavanju mnogih problema koji spadaju u oblast digitalne elektronike. Teško je naći neku drugu oblast, koja se u poslednjih 25 godina toliko razvila kao ova. Takvom razvoju digitalne elektronike nesumljivo su mnogo doprinele nove tehnološke mogućnosti realizacije elektronskih kola, koja mogu da udovolje sve strožijim zahtevima pri konstrukciji savremenih digitalnih sistema.

U okviru ove knjige treba da budu proučene osnovne komponente koje sačinjavaju jedan digitalni sistem. Zbog toga je u prvoj glavi knjige sasvim ukratko prikazan jedan takav sistem, kako bi se odmah stekao izvestan uvid o mestu u ulozi pojedinih digitalnih kola i naprava u njemu.

Pored prve, isto tako druga i treća glava knjige imaju uglavnom informativni karakter o nekim pojmovima koji se detaljnije obrađuju u drugim disciplinama. U drugoj glavi, naime, razmotreni su numerički sistemi sa aspekta pogodnosti njihove primene u digitalnim uređajima. U trećoj glavi, međutim, navedeni su, pre svega, osnovni stavovi prekidačke (Bulove) algebre i ukazano je na potrebu poznavanja ove algebre pri analizi i sintezi prekidačkih mreža uopšte. Pored toga, ovde su date i definicije osnovnih logičkih operacija.

U preostalim glavama knjige obrađuje se donekle teorijska, a znatno više tehnička strana digitalnih kola i prekidačkih mreža, koje se koriste u sistemima za digitalnu obradu podataka. Prve tri od tih glava, naime četvrta, peta i šesta, posvećene su kombinacionim mrežama. U četvrtoj glavi su opisana elementarna logička kola sa posebnim osvrtom na osnovne karakteristike tih kola. Peta glava sadrži prikaz različitih sistema izvođenja logičkih kola kako u diskretnoj tako i u integrisanoj tehnici. U šestoj glavi opisane su složenije kombinacione mreže koje se izvode u vidu prekidačkih matrica. Primena ovakvih mreža pokazana je na više karakterističnih primera.

Dalje tri glave knjige — sedma, osma i deveta — posvećene su sekvencijalnim mrežama. U sedmoj glavi opisani su neki aktivni i pasivni memorijski elementi. Gradivo osme glave odnosi se na memorijske sisteme, koji su posmatrani sa više aspekata. Što se tiče memorijskih medijuma, pored magnetnih, uzeti su u obzir i poluprovodnički elementi u mos-tehnologiji. Deveta glava sadrži opis elektronskih brojača. Pored brojačkih mreža za različite module i kodove, ovde su pokazane i mogućnosti indikacije rezultata brojanja kao i neke specifične primene brojača.

U poslednjoj — desetoj glavi knjige opisane su mreže koje, pored digitalnih, sadrže i neka analogna kola. Naime, radi se o sistemima za analogno-digitalnu kon-

verziju i obrnuto. Iz mnoštva praktičnih realizacija prikazani su samo neki karakteristični primeri konvertora sa gledišta trajanja konverzionog ciklusa.

Gradivo ove knjige ni u kom slučaju ne obuhvata sva elektronska, pa ni sva digitalna kola koja se koriste u digitalnim sistemima. Pa ipak, ono je sasvim dovoljno da se shvate principi rada i da se uoče bitni parametri koji karakterišu kombinacione i sekvencijalne prekidačke mreže. Pri izboru i obradi gradiva nastojalo se da ono bude što više od koristi za praktičnu realizaciju kola. Teorijska objašnjenja i korišćenje prekidačke algebre na nekim mestima u knjizi imaju za cilj da olakšaju razumevanje fizičkog procesa koji se odigrava i omoguće lakše iznalaženje jednostavnijeg rešenja prekidačke mreže.

Knjiga je prvenstveno namenjena studentima elektrotehnike, pa je na izbor materijala dobrim delom uticao i postojeći program nastave na Elektrotehničkom fakultetu u Beogradu. No, i pored toga, knjiga može da bude od koristi i onima koji svoja znanja iz impulsne tehnike žele da prošire i na oblast digitalne elektronike. Najbolji sud o korisnosti ove knjige, uostalom, daće sami čitaoci, a njihove primedbe pisac očekuje sa zahvalnošću.

Beograd, 8. marta 1973. godine *S. T.*

PREDGOVOR DRUGOM IZDANJU

Obrada građe u udžbeničkoj literaturi ove vrste podleže stalnim manje ili više značajnim izmenama i dopunama, što je posledica ne samo daljeg razvoja elektronike već i tehnologije elektronskih komponenata. U slučaju ove knjige izvesne izmene bi već mogle da se učine u nekim delovima pete, šeste i osme glave. No, i pored toga, raniji rukopis Digitalne elektronike ostaje nepromenjen i u ovom izdanju, da bi se izbeglo povećanje troškova, koje bi nastalo izmenom teksta na više mesta. Međutim, neophodno je bilo upotpuniti taj rukopis još i opisom kola za izvođenje aritmetičkih operacija, što je učinjeno dodavanjem poslednje — jedanaeste glave. Nadamo se da će ovako dopunjena knjiga još više odgovarati svojoj nameni.

Beograd, 22. februara 1976. godine *S. T.*

SIMBOLI

Opšti:

$A, B, C, D, \ldots$	Prekidačke (Bulove) promenljive, prvenstveno nezavisne (ulazne)
$\bar{A}$	Komplementna vrednost prekidačke promenljive
$A\ B$	„A i B“ (logička I operacija)
$A+B$	„A ili B“ (logička *ILI* operacija)
$A \oplus B$	„isključivo A ili B“
F_S	Faktor zasićenosti
H_C	Koercitivno magnetno polje
H_K	Kritično magnetno polje
$K_{i=0,1,2,3\ldots}$	Prirodne binarne kombinacije
$L(1)$, $L(0)$	Logička jedinica, odnosno nula
M	Broj ulaza logičkog elementa; osnova brojanja elektronskog brojača (modul brojanja); magnetno jezgro; vektor magnetizacije
N	Broj izlaza logičkog kola
P	Logički proizvod; impuls; snaga
Q, Q	Pravi i komplementarni izlaz flipflopa
Q_R, Q_B	Kapacitet memorije izražen u rečima, odnosno u bitima
R	Ulaz za resetovanje (reset-ulaz)
S	Ulaz za setovanje (set-ulaz)
$S_{i=0,1,2,3\ldots}$	Stanja brojačkih stepena posle odbrojanih i impulsa (stanja brojača)
T_C	Ciklusno vreme
TI	Povorka taktnih impulsa
T_I	Taktni interval, takt-perioda
t_k, t_d	Vreme kašnjenja (delay)
t_p	Prelazno vreme; vreme prekidanja; vreme premagnetisavanja
$V(1)$, $V(0)$	Napon vrednosti logičke jedinice, odnosno logičke nule
V_R	Referentni napon
V_S	Napon smetnji; signal
V_{MS}	Margina smetnji
V_{MSP}, V_{MSN}	Margina smetnji u stanju provođenja, odnosno u stanju neprovođenja prekidačkog elementa
V_U, V_I	Jednosmerni ulazni, odnosno izlazni napon
v_u, v_i	Naizmenični ulazni, odnosno izlazni napon
v_U, v_I	Naizmenični ulazni, odnosno izlazni napon, superponiran jednosmernom naponu
V_u, V_i	Jednosmerna komponenta (srednja vrednost) naizmeničnog napona na ulazu, odnosno na izlazu
$W, X, Y, Z \ldots$	Prekidačke promenljive, prvenstveno zavisne (izlazne)

Za diode:

I_D	Struja diode
I_{DT}	Struja na granici — pragu provođenja diode (threshold)
I_{DO}	Inverzna struja
V_D, V_{DN}	Napon provodne, odnosno neprovodne diode
V_{DT}	Prag provođenja diode
V_{DZ}	Napon cener-diode
V_{DD}	Napon napajanja diode
R_D, R_{DN}	Otpornost provodne, odnosno neprovodne diode

Za tranzistore:

h_F, (h_{FE})	koeficijent strujnog pojačanja tranzistora sa zajedničkim emitorom za jednosmerne struje
h_f, (h_{fe})	Koeficijent strujnog pojačanja tranzistora sa zajedničkim emitorom za naizmenične struje
h_{FB}	Jednosmerni koeficijent strujnog pojačanja tranzistora sa zajedničkom bazom
I_B, I_C	Bazna, odnosno kolektorska struja provodnog tranzistora
I_{BS}, I_{CS}	Bazna, odnosno kolektorska struja zasićenja (saturation)
I_{BT}, I_{CT}	Bazna, odnosno kolektorska struja na granici provođenja
I_{BST}, I_{CST}	Bazna, odnosno kolektorska struja na granici zasićenja
I_{BI}	Struja isključivanja tranzistora
I_{BV}	Inverzna struja u baznom dovodu pri inverznom naponu V na bazi
I_{CV}	Inverzna struja u kolektorskom dovodu pri inverznom naponu V na bazi
I_{CO}	Inverzna struja kolektorskog spoja
I_{CBO}	Inverzna struja kolektor — baza pri otvorenom emitoru
I_{CN}	Struja u kolektorskom dovodu neprovodnog tranzistora
I_E	Emitorska struja
I_{EBO}	Inverzna struja emitor — baza pri otvorenom kolektoru
V_B, V_C	Napon baze, odnosno kolektora provodnog tranzistora sa zajedničkim emitorom (emitor na referentnom potencijalu — na masi)
V_{BE}, V_{CE}	Napon između baze i emitora, odnosno između kolektora i emitora (emitor na bilo kom potencijalu — neophodan i drugi indeks)
V_{BS}, V_{CS}	Napon zasićenja na bazi, odnosno na kolektoru
V_{BT}	Napon praga provođenja
V_{BST}	Napon praga zasićenja
V_{BN}, V_{CN}	Napon na bazi, odnosno na kolektoru neprovodnog tranzistora
V_{BB}, V_{CC}, V_{EE}	Naponi napajanja

Za mos-tranzistore:

I_D	Struja drejna
V_G, V_D	Napon gejta, odnosno drejna mos-tranzistora čiji se sors nalazi na nultom potencijalu
V_{GS}, V_{DS}	Napon između gejta i sosrsa, odnosno između drejna i sorsa (sors na bilo kom potencijalu)
V_{GT}	Napon praga provođenja
V_{DD}, V_{GG}, V_{SS}	Naponi napajanja

GLAVA 1

UVOD U DIGITALNU ELEKTRONIKU

Digitalna elektronika obrađuje probleme u vezi sa projektovanjem, izgradnjom i eksploatacijom cifarskih sistema za obradu informacija. Iako se u ovoj knjizi neće obrađivati navedeni problemi u celini, ipak je potrebno napraviti kraći uvod u navedenu oblast elektronike, kako bi se ukazalo na osnovne elemente, koji se susreću pri rešavanju nekih od pomenutih problema. Naime, kroz informativna izlaganja o sistemima za obradu informacija ovde će pre svega biti pomenuti i delimično objašnjeni osnovni pojmovi sa kojima se operiše u digitalnoj elektronici. Istovremeno time će se steći i potreban uvid o mestu i ulozi digitalnih sklopova, o kojima će, inače, biti govoreno u sledećim glavama ove knjige.

1.1. INFORMACIJE

U svakodnevnom govoru savremenog čoveka sve češće se čuje reč „informacije", koja uglavnom znači isto što i „obaveštenja". Ova reč je već odavno našla svoje mesto i u elektronici. Prvobitno ona je korišćena u telekomunikacionim sistemima, gde se pod pojmom „prenos informacija" mislilo uglavnom na prenos vesti bilo kojim putem. Pomoću telekomunikacionih sistema, kao što je poznato, vrši se prenos informacija sa jednog mesta na drugo ili na druga udaljena mesta. Pri tome jedan od osnovnih zadataka telekomunikacionih sistema sastoji se u tome, da se pri prenosu što je moguće vernije sačuvaju prvobitni oblici signala, koji nose odgovarajuće informacije.

U savremenoj elektronici pojam „informacije" ima znatno šire značenje. Tako, pored već pomenutih telekomunikacionih signala u smislu vesti, informacije obuhvataju i sva druga obaveštenja, odnosno podatke, koji mogu poslužiti kao polazni materijal, na osnovu koga će se doći do traženih rezultata i zaključaka. U ovom slučaju prenos informacija u ranijem smislu reči može, ali ne mora da postoji, a oblici signala, koji sadrže odgovarajuće informacije, mogu da pretrpe vrlo velike promene. Zbog toga se, umesto o prenosu informacija, ovde govori o obradi informacija, odnosno o obradi podataka, iako se ne isključuje i postojanje prenosa.

Priroda informacija može da bude veoma različita. U pogledu pogodnosti za obradu obično se dele na električne i neelektrične. Informacije električnog karaktera, izražene obično pomoću napona ili struje, pogodnije su za obradu s obzirom da se ona obavlja većinom pomoću elektronskih kola. Informacije neelektrične prirode, međutim, najpre se pretvaraju u neku električnu veličinu, pa se onda podvrgavaju daljoj obradi. Prema tome u ovom slučaju moraju biti primenjeni odgovarajući konvertori za pretvaranje informacija neelektričnog u informacije

električnog karaktera kao što su: mikrofon za zvuk, fotoćelija za svetlost, termospreg za temperaturu itd.

Veliki broj informacija nastaje u obliku kontinualnih promena neke veličine, odnosno signala električne ili neelektrične prirode. Tipičan primer takve informacije svakako je temperatura. Kao što je poznato, temperatura može da ima bilo koju vrednost u jednom određenom opsegu promene. To znači, da je broj vrednosti, koje ova veličina može da poseduje u bilo kom opsegu neograničen. Pa ipak, vrednosti temperature, koje se praktično mogu da detektuju, ograničene su osetljivošću mernog instrumenta. Ista konstatacija važi i kada se kontinualne promene temperature transformišu u odgovarajuće promene napona. U ovom slučaju, međutim, broj vrednosti temperature, koje se mogu detektovati, može da bude znatno veći, ako je dovoljno povećana i osetljivost mernog instrumenta, na primer, primenom pojačavačke tehnike.

Bez obzira na njihovu prirodu, informacije kontinualnog karaktera nazivaju se analogne iz razloga, što se lako mogu simulirati nekim drugim promenljivim veličinama koje ispoljavaju slične — analogne zakonitosti. Simuliranje stvarnih promenljivih veličina nalazi, inače, primenu u obradi i proučavanju informacija.

Umesto neograničenog broja vrednosti, neke informacije mogu da poseduju samo određene vrednosti u jednom opsegu promena posmatranog signala. Drugim rečima, umesto kontinualnih promena, ovakvi signali ispoljavaju diskontinualne — skokovite promene od jedne do druge vrednosti. Prema tome, ovakve promene signala određuju skup diskretnih vrednosti informacije u datom opsegu promenljive veličine.

Vrlo često se i kontinualno promenljive informacije predstavljaju u diskontinualnom obliku odnosno pomoću diskretnih vrednosti. Ako se vrednost kontinualne informacije menja u toku vremena, onda će skup vrednosti informacije biti vezan za skup referentnih trenutaka u kojima se vrši odabiranje diskretnih vrednosti informacije. Referentni interval

$$\Delta t_i = t_{i+1} - t_i \quad \text{gde je } i = 0, 1, 2, 3 \ldots \tag{1.1}$$

može da bude konstantan ili ne, uslovljavajući time postojanje sistema sa ekvidistantnim ili neekvidistantnim referentnim vremenskim intervalima.

Skup različitih diskretnih vrednosti informacije u određenom opsegu promene signala zavisiće od usvojene vrednosti kvanta signala

$$\Delta S = S_{k+1} - S_k \quad \text{gde je } k = 1, 2, 3 \ldots \tag{1.2}$$

Vrednost kvanta signala, odnosno merna jedinica signala može da bude različita, ali se najčešće usvaja da u određenom sistemu za obradu informacija bude konstantna. Očigledno je da će kontinualno promenljiva informacija biti vernije predstavljena ukoliko se usvoji manja vrednost kvanta. To znači da pri svakoj transformaciji kontinualne informacije u diskretnu treba računati sa izvesnim gubitkom informacije. Istina, taj se gubitak teorijski može učiniti proizvoljno malim, ako se odaberu dovoljno male referentne vrednosti vremenskog intervala i kvanta signala.

Prelazak sa kontinualnih, odnosno analognih vrednosti na diskretne predstavlja jedan vid obrade informacija. Diskretne informacije su često pogodnije od analognih za dalju obradu, jer se lakše mogu izraziti pomoću simbola neke proizvoljne azbuke, koja olakšava izvođenje potrebnih matematičkih operacija. S obzirom da se diskretne vrednosti informacije najčešće predstavljaju u numeričkom obliku pomoću cifara nekog brojnog sistema, ovakav oblik informacija naziva

se digitalni, što dolazi od latinske reči digitus. Ova reč u stvari označava „prst", ali u ovom slučaju adekvatnije značenje bilo bi „računanje u prste" što je u suštini i bio prvi vid računanja u ljudskom društvu. Prema tome, proces prevođenja informacije iz kontinualnog u diskretni oblik obično se označava kao analogno-digitalna konverzija.

1.2. OBRADA ANALOGNIH INFORMACIJA

Pri inženjerskom rešavanju problema primenjuju se metodi matematičke analize, a isto tako i eksperimentalna ispitivanja. Gdegod je to moguće, najpre se stvara matematički model problema na taj način, što se formira sistem jednačina, koje predstavljaju odgovarajuće relacije između promenljivih veličina obrađivanog problema. Na osnovu rešenja tih jednačina može se naći najoptimalniji slučaj proučavanog problema u vezi projektovanog sistema, na primer, za obradu informacija.

U nekim slučajevima veza između promenljivih veličina može biti izražena samo pomoću algebarskih jednačina. Tada se odgovarajući matematički izrazi za promenljive veličine iznalaze pomoću algebarskih operacija sabiranja i množenja. Međutim, češći je slučaj da su promenljive sistema date u vremenskoj zavisnosti, te stoga matematički model sadrži ne samo odnose između promenljivih veličina već i brzinu promena tih veličina. Stoga su jednačine sistema diferencijalnog oblika, a njihova rešenja iziskuju primenu matematičkih operacija integriranja i diferenciranja. Očigledno je, da će rešavanje ovakvog matematičkog modela za jedan dosta složen sistem biti vrlo teško. Zbog toga se pri rešavanju složenih sistema moraju primeniti aproksimacione metode, što, naravno, može da dovede u pitanje i valjanost dobijenih rezultata.

Nasuprot gornjim teškoćama, pri eksperimentalnom rešavanju problema matematički postupci se svode na najmanju meru, pošto se eksperimentalno ispitivanje obavlja direktno na izgrađenom prototipu. Međutim, ponekad je direktno eksperimentisanje skopčano sa takvim teškoćama, da postaje praktično i neizvodljivo. Stoga se ponašanje projektovanog sistema ispituje na izgrađenom fizičkom modelu, koji predstavlja isti oblik, strukturu i osobine kao i originalni sistem, ali su mu dimenzije proporcionalno smanjene. Prema tome, ovakav model je sličan, analogan stvarnom objektu. To znači da između modela i objekta postoji odgovarajuća korespondencija, odnosno sličnost zakonitosti. Zato se ovakav model često naziva fizički analog.

Pored fizičkog može se oformiti i matematički analog. On se, za razliku od fizičkog analoga, konstruiše pomoću komponenata koje po obliku, strukturi i osobinama obično nisu slične, ali po matematičkim karakteristikama su iste sa odgovarajućim elementima stvarnog objekta. Pošto matematički analog u stvari simulira ponašanje stvarnog objekta, to se i u ovom slučaju mora raspolagati odgovarajućim matematičkim modelom obrađivanog problema. Ovakav postupak proučavanja postavljenih zadataka naziva se analogno simuliranje, a uređaj za izvođenje pomenutog procesa poznat je pod imenom analogni računar.

Tipičan primer analognog računara u najprostijem obliku je logaritmar za računanje. Kod njega je, na primer, dužina dela skale do određenog podeoka srazmerna logaritmu broja upisanog kod tog podeoka. Zbir dveju takvih dužina na pomičnoj i nepomičnoj skali odgovara proizvodu dotičnih brojeva, a njihova razlika predstavlja količnik tih brojeva. Očigledno je da mogućnosti ovakvog računara

nisu velike, a i njihova tačnost, zavisno od dužine skale logaritmara, obično je dosta mala.

Elektronski analogni računar pruža daleko veće mogućnosti u pogledu obrade informacija datih u kontinualnoj, odnosno analognoj formi. Kod ovih računara elektronska kola generišu i kontrolišu napone, koji predstavljaju — simuliraju promenljive veličine u postavljenom problemu. Pomenuti naponi su najčešće jednosmernog karaktera, s tim što se njihova vrednost menja analogno varijacijama stvarnih promenljivih veličina. Napomenimo da postoje računari koji rade i sa naizmeničnim naponima, učestanosti do nekoliko stotina herca, ali oni su uglavnom namenjeni za specijalne svrhe.

Elektronski analogni računari sastoje se od komponenata i sklopova, koji obavljaju određene matematičke operacije kao što su sabiranje i množenje promenljivih veličina, zatim diferenciranje, integriranje, generisanje funkcija itd. Osnovni elementi analognog računara su operacioni pojačavači, koje, kao što je poznato, karakterišu vrlo veliko pojačanje i veoma jaka povratna sprega. Ovi elementi se koriste za izvođenje pomenutih matematičkih operacija, te stoga oni u najvećoj meri utiču i na tačnost dobijenih rezultata. Što se tiče tačnosti analognih računara uopšte, ona mnogo zavisi i od preciznosti izrade velikog broja upotrebljenih potenciometara kao i stabilnosti napona, pomoću kojih se simuliraju konstante i promenljive analiziranog problema. Uopšte uzevši tačnost analognih računara nije tako velika. Zavisno i od mogućnosti precizne simulacije podataka, tačnost elektronskih analognih računara kreće se od 0,1% do 0,5%. Za slučajeve gde se ne može raspolagati preciznijim ulaznim podacima, konstruišu se analogni računari tačnosti od svega 1% do 10%, jer nema nikakvog smisla zahtevati veću tačnost rešenja od one sa kojom mogu biti poznati polazni parametri.

Na kraju treba izneti kao rezime da su analogni računari pogodni za proučavanje pre svega problema u kojima nelinearnost igra značajnu ulogu, kao i za rešavanje sistema koji su toliko složeni da se standardnim računskim metodama praktično ne može ni doći do traženih rezultata. Posebno, analogni računari sa jednosmernim naponima primenjuju se pri proučavanju sistema sa automatskom kontrolom, u kojima se koriste odgovarajući servomehanizmi. Isto tako oni su podesni i za obavljanje okvirnih proračuna veoma složenih projekata.

1.3. OBRADA DIGITALNIH INFORMACIJA

Već je napomenuto da su digitalne informacije pogodne za računsku obradu stoga što se mogu predstaviti u numeričkom obliku. Obrada ovakvih informacija može da bude veoma raznovrsna zavisno od prirode postavljenog problema. Otuda i uređaji za računsku obradu informacija mogu da budu u izvesnoj meri specificirani prema njihovoj osnovnoj nameni u eksploataciji. Ne upuštajući se ni u kakve detalje, a još manje u specifičnosti digitalnih sistema, ovde će biti ukazano samo na njihove sastavne komponente, o kojima će jedino i biti govora u daljim izlaganjima.

1.3.1. Kodovanje informacija

Generalno posmatrano diskretne vrednosti digitalnih informacija su u stvari samo različita stanja analognih signala. Kao što je već napomenuto, ova stanja se predstavljaju skupovima simbola neke azbuke. U opštem slučaju može se reći

da postoje jezičke azbuke kojima se izražavaju govorne informacije i cifarske azbuke, pomoću kojih se predstavljaju numeričke informacije. Ovakvo predstavljanje informacija pomoću simbola neke azbuke naziva se kodovanje informacija. Jedna ista informacija može biti predstavljena u različitim azbukama. Konverzija informacije iz jednog u drugi sistem azbučnih simbola, takođe je jedan vid obrade informacija.

Tipičan primer kodovanja informacija predstavlja ljudski govor, koji kao simbole azbuke koristi određen broj glasova. Kada se u istom cilju za simbole azbuke koristi određeni skup slova, informacija govora će opet biti kodovana, ali sada u pisanom obliku. Ako se pri tome radi o numeričkim informacijama, za njih će biti potrebni simboli neke druge azbuke kao što su, na primer, cifre decimalnog brojnog sistema. Prema tome za kodovanje raznovrsnih podataka koriste se takozvane alfanumeričke azbuke, koje pored slova i cifara sadrže i simbole za razne znakove kao i za neke specifične komande.

Postupkom kodovanja može se bilo kakva vrsta digitalnih informacija predstaviti u numeričkom obliku. Otuda se rešavanje problema pomoću digitalnih sistema svodi na obradu numeričkih podataka. Razumljivo je stoga, da će način predstavljanja podataka, odnosno izbor sistema kodovanja informacija biti jedan od osnovnih problema pri projektovanju digitalnih sistema. Kako ovi sistemi rade samo sa konačnim brojem cifara, to znači da je u interesu većeg kapaciteta brojeva pogodno primeniti brojni sistem sa većom osnovom brojanja, kao što je na primer decimalni. Međutim sa gledišta praktične realizacije digitalnog sistema povoljniji bi bili numerički sistemi sa manjom osnovom brojanja. Interesantno je da izbor optimalnog rešenja sa gledišta tehničke realizacije digitalnog uređaja zahteva brojni sistem sa osnovom koja je jednaka osnovi prirodnog logaritma. Prema tome, najpovoljniji numerički sistem za korišćenje u digitalnim uređajima bio bi onaj, koji bi imao osnovu brojanja 3. Pa ipak, iz čisto konstruktivnih razloga digitalnih elektronskih kola, većinom se u ovakvim uređajima za obradu podataka primenjuje takozvani binarni sistem, čija je vrednost osnove 2. Ovaj brojni sistem obezbeđuje najjednostavniju tehničku realizaciju digitalnih uređaja, koji su uz to i znatno ekonomičniji od onih sa decimalnim sistemom.

Dok numerička azbuka decimalnog sistema sadrži deset simbola — cifara, dotle su u binarnom brojnom sistemu potrebna samo dva znaka, odnosno dve cifre. Binarna cifra se naziva još i binarni digit, od čega je izvedena veoma rasprostranjena skraćenica bit a ređe i binit. Najčešće se za binarne cifre, odnosno za bite koriste već poznati simboli 0 i 1, uzeti iz decimalnog brojnog sistema.

Usvojeni simboli binarne azbuke 0 i 1 lako se mogu i fizički da predstave pomoću dva različita stanja koja ispoljavaju mnogi tehnički elementi kao što su: mehanički prekidači, elektromagnetni relei, elektronski prekidači, magnetna jezgra itd. Tako, na primer, stanje provođenja tranzistora kao elektronskog prekidača, fizički može da predstavlja binarnu vrednost 0, dok bi stanje neprovođenja u tom slučaju odgovaralo binarnoj vrednosti 1. Uobičajeno je da se navedena dva stanja nazivaju stanje logičke nule L(0) i stanje logičke jedinice L(1).

Očigledno je da jedan prekidač sa dva logička stanja može fizički da predstavi dva podatka, odnosno dve vrednosti informacije. Prema tome, jedno stanje prekidača predstavlja samo jedan podatak. Pošto se takvo stanje prekidača označava samo sa jednim bitom, to znači da bit predstavlja najmanju količinu informacije, pa je zato usvojeno da bit bude i jedinica informacija.

Veća količina informacija predstavlja se pomoću većeg broja binarnih cifara, odnosno koduje se pomoću skupova ili grupa bita. Takve grupe bita nazivaju

se karakter ili slog, analogno kodovanju u govornom jeziku, gde više slova ili glasova čine slogove. Obično se nastoji da dužina slogova u jednom digitalnom uređaju bude ista. Tako se često u binarno-kodovanim decimalnim sistemima upotrebljavaju slogovi od po četiri bita, poznati pod imenom tetrade. Prvobitne alfanumeričke azbuke, međutim, bile su sačinjene od kodnih slogova sa po šest bita — heksade. U savremenim digitalnim uređajima primenjuju se azbuke i od po osam bita — oktade. U vezi s tim uobičajeno je da se binarna grupa od osam bita naziva bajt (byte). Očigledno je da bajt može da sadrži samo jedan slog od osam, ili, pak, dva sloga od po četiri bita. Napomenimo da bajt može da ima i više od osam bita ukoliko su dodati biti namenjeni za neke specijalne svrhe, kao, na primer, za kontrolu kodovanja.

Daljim grupisanjem informacija formiraju se reči, koje — analogno rečima u običnom govoru — mogu da sadrže više karaktera, odnosno slogova, pa prema tome i više bajta. Tako, na primer, najčešći oblik binarno-kodovane reči, koja predstavlja šestocifreni decimalni broj, sadrži šest slogova od po četiri bita, odnosno ukupno tri bajta.

U nekim digitalnim sklopovima praktikuje se još veće grupisanje informacija. Na taj način se od više reči obrazuju blokovi ili sektori informacija, koji mogu da sadrže do sto slogova, odnosno karaktera.

1.3.2. Digitalni sistemi za obradu informacija

Projektovanje složenog uređaja za digitalnu obradu informacija zahteva tesnu saradnju projektanata sistema, logike i kola. Zadatak projektanta sistema je da studiozno prouči i definiše operacije, koje uređaj treba da obavlja. Zatim, da postavi funkcionalne zahteve uređaja ukazujući na probleme, koji su od najvećeg uticaja na projektovanje. Najzad on predlaže koncepciju projektovanog sistema, sastavljenog od brojnih sklopova, koji treba da obavljaju predviđene funkcije.

Zadatak projektanta logike je da definiše svaku funkcionalnu jedinicu sistemom algebarskih jednačina, koje predstavljaju odgovarajuće veze između izlaznih i ulaznih promenljivih veličina. Zatim, on izvodi sintezu postavljenih algebarskih relacija određujući elementarne logičke sklopove i ucrtava dijagrame, koji pokazuju kako treba povezati te sklopove da bi se realizovale specificirane funkcije. Pri svemu tome projektant logike se drži osnovnog principa da i najsloženije logičke funkcije treba ostvariti pomoću što manjeg broja tipova elementarnih kola.

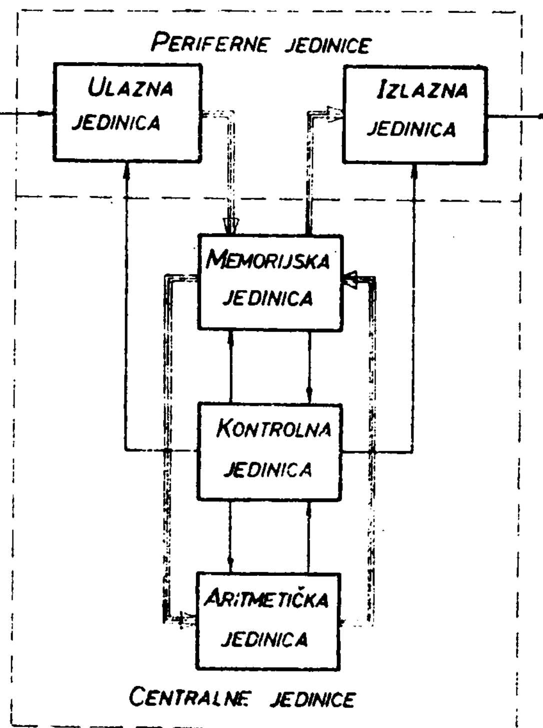
Najzad, zadatak projektanta kola je da proračuna ili samo da odabere pogodan tip kola, koja treba da obave predviđene osnovne operacije, vodeći računa i o mogućnostima njihovog međusobnog povezivanja. Pri izboru digitalnih komponenata on mora da ima u vidu postavljene zahteve u pogledu stabilnosti, pouzdanosti, brzine rada i drugih karakteristika sistema, uz stalnu prisutnost i ekonomskih merila.

Iako su zadaci projektanata sistema, logike i kola specificirani, njihov rad ni u kom slučaju ne sme biti izolovan. Šta više, projektovanje digitalnog sistema treba započeti istovremeno sa aspekata funkcija uređaja, kao i raspoloživih fizičkih komponenata za realizaciju tih funkcija. To očito ukazuje da se zadaci projektanata sistema, kola i logike međusobno dopunjuju i prepliću u znatnoj meri.

Da bi se dobila izvesna predstava o složenosti jednog digitalnog sistema za obradu informacija, kao i da bi se ukazalo na osnovne komponente koje takav

sistem sadrži, na sl. 1.1 prikazana je blok šema digitalnog računara kao najrasprostranjenijeg savremenog digitalnog uređaja. Ovaj digitalni sistem sastoji se od dva dela: perifernog i centralnog. Periferni deo čine ulazna i izlazna jedinica, dok se u centralnom delu nalaze memorijska, aritmetička i kontrolna jedinica.

Ulazna jedinica ima zadatak da primi spoljne informacije i da ih u pogodnom obliku prenese u memorijsku jedinicu. Ona, znači, ima ulogu translatora informacija sa spoljnjeg jezika na jezik računara. Proces primanja i prenošenja informacija mora biti usaglašen i sa drugim procesima u digitalnom uređaju, te je stoga ulazna jedinica povezana i sa kontrolnom jedinicom.



Sl. 1.1. Digitalni sistem za obradu podataka

Zavisno od namene digitalnog sistema, ulazna jedinica sadrži razne sklopove pa i aparature kao što su: čitači informacija sa bušenih kartica ili traka, odnosno sa magnetnih traka ili diskova, zatim analogno-digitalni konvertori kao i eventualni uređaji za daljinski prenos informacija.

Izlazna jedinica ima obrnutu ulogu od ulazne. Ona prenosi obrađene informacije, odnosno rezultate iz memorije računara na spoljni indikator. Prema tome, ovde se radi o translatoru informacija sa mašinskog na spoljni jezik. I ova jedinica se aktivira samo po uputstvima, koje prima iz kontrolne jedinice.

Izlazna jedinica najčešće sadrži sklopove, odnosno aparature kao što su štampači, bušači kartica ili traka, crtači dijagrama, magnetni rekorderi, vizuelni indikatori, digitalno-analogni konvertori itd.

Memorijska jedinica ima zadatak da memoriše, da zapamti, da sačuva informacije, koje dolaze iz ulazne ili aritmetičke jedinice. Ove informacije odnose se ne samo na podatke obrađivanog problema, već i na uputstva, odnosno programe u vezi načina obrade primljenih podataka. Otuda je poželjno da memorijska jedinica ima što veći kapacitet, kako bi mogla da primi veliki broj bita informacija. Pri tome, treba imati u vidu ne samo mogućnost smeštaja informacija u memoriju, već i brzo pronalaženje lokacije, odnosno adrese memorijskih ćelija, kojima će informacija biti predata ili od kojih je treba uzeti. Oba ova procesa — upisivanje podataka u memoriju kao i njihovo očitavanje iz memorije — takođe su dirigovana od strane kontrolne jedinice.

Postoji više memorijskih elemenata koji se koriste u memorijskoj jedinici. Za veće kapacitete memorije u upotrebi su uglavnom magnetni elementi: jezgra, trake, bubnjevi, diskovi itd. Za kratkotrajno pamćenje podataka, međutim, koriste se češće elektronski memorijski elementi kao što je flip-flop, odnosno registar.

Zadatak aritmetičke jedinice je da izvršava predviđene operacije pri obradi informacija. Potrebne podatke ova jedinica uzima iz memorije, u koju isto tako vraća

i dobijene rezultate posle izvršenih aritmetičkih operacija. Ove operacije obuhvataju četiri osnovne računske radnje, mada se one često svode samo na sabiranje i oduzimanje, ili čak jedino na sabiranje. Pored ovih mogu da budu zastupljeni i neki drugi matematički postupci, kao vađenje korena, komparacija brojeva, pomeranje cifara broja u levo ili u desno itd. Pri rešavanju složenijih matematičkih problema, koriste se iste računske operacije za izvođenje osnovnih računskih radnji. Razumljivo je da se u ovom slučaju složeni matematički izrazi moraju prethodno razložiti na oblike, na koje se inače mogu da primene osnovne operacije. Svi postupci u aritmetičkoj jedinici izvode se prema uputstvima dobijenim preko kontrolne jedinice.

Aritmetička jedinica sadrži raznovrsna elektronska kola, koja se katkad nazivaju aritmetička zbog njihove funkcionalne uloge. Tu su pre svega logički elementi koji čine sabirače i oduzimače, a zatim i memorijski elementi koji sačinjavaju razne registre, pomerače, komplementore itd.

Kontrolna jedinica je najsloženiji deo digitalnog uređaja. Pošto je ona povezana sa svim drugim jedinicama, kojima daje uputstva šta, kada i kako treba da rade, ona je u neku ruku sedište nervnog sistema računara. Drugim rečima, zadatak kontrolne jedinice je da organizuje i koordinira delatnost svih ostalih jedinica u digitalnom sistemu. Tako, na primer, kad treba primiti neku informaciju na ulazu, kontrolna jedinica aktivira ulaz i stavlja na raspoloženje spojni put od ulaza do određenog mesta u memoriji. Isti je slučaj i pri odašiljanju rezultata iz memorije na izlaz. Što se tiče upravljanja aritmetičkom jedinicom, ovde kontrola određuje adresu memorizovanih podataka koje uzima aritmetička jedinica, zatim daje uputstva kako treba izvesti programom predviđenu obradu tih podataka i najzad dodeljuje neku slobodnu lokaciju u memoriji za smeštaj dobijenih rezultata. Sve ove radnje kontrolna jedinica izvodi prema datom programu, koji je takođe smešten u memoriji.

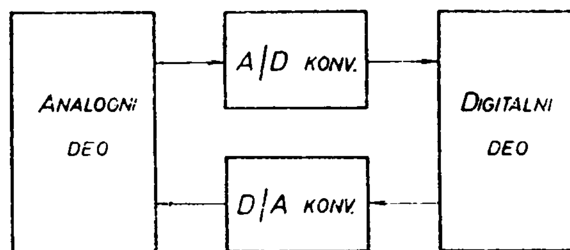
Kontrolna jedinica sadrži veliki broj raznovrsnih elektronskih kola kako sa logičkim tako i sa memorijskim elementima. Posebno treba istaći da se u ovoj jedinici nalazi i takt-generator koga čini neko astabilno kolo kao što je multivibrator, ili običan oscilator stabilisan pomoću kvarcnog kristala. Pored toga tu se nalaze delitelji učestanosti, brojači, uobličavači itd.

1.3.3. Hibridni sistemi za obradu informacija

Za obradu informacija, kao što smo videli, razvijeni su analogni i digitalni sistemi. Oba ova sistema poseduju svoje specifične karakteristike, koje su od presudnog značaja za polje njihove primene. Tako, na primer, analogne sisteme karakterišu kontinualno promenljive veličine, velika brzina dobijanja rezultata i ne baš tako velika tačnost. Digitalni sistemi, međutim, obrađuju diskretne vrednosti promenljivih veličina, mogu da imaju vrlo veliku tačnost, dok je za dobijanje rezultata potrebno nešto duže vreme nego u prethodnom slučaju.

Da bi se iskoristile prednosti analognog sistema u pogledu brzine kao i digitalnog u pogledu tačnosti, razvijeni su i mešoviti — hibridni sistemi za obradu informacija. Kod ovih sistema zastupljeni su, dakle, analogni i digitalni postupci obrade podataka u zavisnosti od toga u kojoj oblasti i u kojoj fazi je odgovarajući način obrade pogodniji za rešavanje konkretnog problema.

Hibridni sistemi nalaze sve veću primenu u upravljanju industrijskim procesima. Ovde obično analogni deo hibridnog uređaja prati odvijanje industrijskog procesa i upravlja kontrolnim organima, dok digitalni deo računara određuje kontrolnu funkciju, tako da se optimizira rad celokupnog industrijskog procesa. Na sl. 1.2 prikazana je sasvim uprošćena blok-šema jednog takvog hibridnog sistema. Očigledno je da će ovakav uređaj da sadrži uglavnom sve osnovne elemente, koji se već koriste u čisto analognim ili čisto digitalnim sistemima. Pored toga hibridni računar poseduje i jedinice za vezu između analognog i digitalnog dela. Ove jedinice sadrže analogno-digitalne, kao i digitalno-analogne konvertore.



Sl. 1.2. Hibridni sistem za obradu podataka

Uopšte uzevši, hibridni sistemi su pogodni za rešavanje složenih problema, gde bi korišćenje čisto analognih ili čisto digitalnih uređaja bilo skopčano sa posebnim teškoćama, pa prema tome i nepraktično. Drugim rečima to znači, da je rešavanje takvih problema pomoću hibridnih uređaja i najekonomičnije. Otuda, u vezi sa proširenjem polja primene elektronskih sistema za obradu informacija uopšte, treba očekivati da će se analogni i digitalni uređaji sve više međusobno dopunjavati, tako da se uskoro neće ni proučavati kao razdvojeni.

1.4. DIGITALNI ELEMENTI

Digitalni elementi obuhvataju osnovne sastavne delove složenog digitalnog sistema podrazumevajući tu i elementarne tipove digitalnih kola. Vrlo često se pojam digitalnih kola proširuje i na sve digitalne elemente, iako se za neke elemente nikako ne bi moglo reći da su i kola. S druge strane, ponekad se nazivi digitalna i logička kola koriste kao sinonimi, što nije baš sasvim ispravno. Istina, logička kola su se razvila uglavnom za potrebe digitalne tehnike, ali ova tehnika koristi i neka druga prekidačka kola, za koja se takođe mora reći da su digitalna, ali ne i logička. Na kraju, ne sme se potpuno isključiti mogućnost upotrebe i nekih linearnih kola u digitalnim uređajima, ali u svakom slučaju ta kola nemaju bitnu ulogu u radu digitalnog sistema, te o njima neće ni biti govora u okviru ove knjige.

1.4.1. Klasifikacija digitalnih elemenata

U izlaganju o digitalnim sistemima za obradu informacija pomenuto je više tipova elektronskih kola kao i drugih komponenata, koje su upotrebljene u pojedinim funkcionalnim jedinicama digitalnog uređaja. Bez obzira na veliku funkcionalnu raznovrsnost, svi digitalni elementi mogu se prema osnovnoj nameni svrstati u dve grupe. Jednu grupu sačinjavaju elementi, čiji je osnovni zadatak da primljenu informaciju sačuvaju u nepromenjenom obliku. Drugim rečima, njihova uloga je pamćenje dobijenih podataka, te se zato i zovu memorijski elementi.

Druga grupa elemenata angažovana je direktno u operacijama obrade informacija. Prema tome, njihova uloga se svodi uglavnom na odlučivanje šta, kada i kako treba uraditi u procesu obrade podataka. Drugčije rečeno, to znači da oni odre-

đuju „dalju sudbinu" primljenih informacija, pa se stoga i zovu odlučujući elementi. S obzirom da se pri obradi informacija primenjuju uglavnom logičke operacije, možda je još bolje da se ovi digitalni elementi zovu jednostavno logički elementi. Naglasimo još jednom, da se zadatak logičkih elemenata svodi redovno na promenu oblika informacija, što je baš suprotno od navedene uloge elemenata memorijske grupe.

Jasnije diferenciranje navedenih grupa digitalnih elemenata može se izvesti prema njihovom ponašanju u pogledu delovanja signala, koji sadrže određenu informaciju. Tako, na primer, kad signal informacije uspostavi određeno stanje u memorijskom digitalnom elementu, to stanje se u njemu zadržava i po prestanku dejstva signala, koji ga je uspostavio. Tipični primeri ovakvih elemenata su kondenzatori, magnetna jezgra, bistabilna kola, zatim linije za kašnjenje, registri, memorije raznih tipova itd.

Za razliku od memorijskih, kod digitalnih logičkih elemenata jednom uspostavljeno stanje ispoljava se samo dotle, dok postoje signali informacije, koji su ga prouzrokovali. Međutim, čim ovi signali nestanu, potpuno ili delimično, uspostavljeno stanje u digitalnom elementu se menja. Primeri ovakvih elemenata su: elementarna logička kola, aritmetička kola, prekidačke matrice u raznim vidovima primene kao koderi, dekoderi, komparatori, distributori itd.

Već je istaknuto da se informacije, izražene u binarnom brojnom sistemu, mogu lako fizički da predstave pomoću dva definisana stanja digitalnog elementa. Ako realizacija ovih stanja uslovljava postojanje elektronskog kola, onda se takav sklop radije naziva digitalno kolo nego digitalni element. Digitalno kolo u principu mora da sadrži prekidački element. Kao prekidački element mogu da posluže, na primer, otvoreni ili zatvoreni kontakti mehaničkog prekidača ili elektromagnetnog relea, zatim provodno ili neprovodno stanje bilo kog aktivnog kao i nekih pasivnih elemenata, potom jedno ili drugo stanje remanentnog magnetizma feromagnetnih jezgara itd.

1.5. DIGITALNA KOLA

Digitalna kola sadrže digitalne elemente sa izrazitim prekidačkim karakteristikama. Ona se obično izvode u što elementarnijem obliku. Osnovna funkcija takvog elementarnog kola ostvaruje se kombinacijom digitalnih nivoa signala informacije i odgovarajućih stanja prekidačkog elementa. Kako se pri digitalnoj obradi informacija složene funkcije zamenjuju odgovarajućim kombinacijama osnovnih funkcija, to se i fizička sinteza složenih digitalnih kola izvodi međusobnim povezivanjem većeg broja elementarnih digitalnih kola. Zbog toga svako elementarno digitalno kolo mora u potpunosti da ispunjava sledeće zahteve: prvo, da pouzdano obavlja namenjenu osnovnu funkciju i drugo, da je pogodno za povezivanje sa drugim digitalnim kolima. Ovaj zahtev olakšan je time, što se digitalni način rada kola zasniva na principu, da svi ulazni kao i svi izlazni signali mogu zauzeti samo jedno od dva moguća logička stanja. Zbog toga izlaz jednog digitalnog kola može uvek da posluži kao ulaz bilo kog drugog digitalnog kola, čime je i omogućeno jednostavno povezivanje elementarnih digitalnih kola.

Prema načinu uspostavljanja definisanih specifičnih stanja, digitalna kola se često dele na sekvencijalna i kombinaciona. Sekvencijalna kola okarakterisana su time, što uspostavljanje jednog stanja u kolu ne zavisi samo od signala informacije već i od prethodnog stanja u kome se kolo nalazilo. To znači da ova kola u

principu moraju sadržati neki memorijski element. Prema tome pri analizi sekvencijalnih digitalnih kola uvek je prisutan i parametar koji definiše vreme, odnosno redosled — sekvenciju vremenskih intervala vezanih za pojedina stanja u kolu. Primeri ovakvih kola su registri, brojači, magnetna logička kola itd.

Za razliku od sekvencijalnih kola, uspostavljanje određenog stanja kombinacionih kola zavisi samo od signala informacije, odnosno od trenutne kombinacije takvih signala. Ovome treba dodati još i to, da se formirano stanje u kolu zadržava samo dotle, dok postoje i signali koji su ga prouzrokovali. To znači da je trajanje nastalog stanja uslovljeno postojanjem određene kombinacije signala digitalne informacije na ulazu kola. Sve ovo ukazuje na zaključak, da kombinaciona kola moraju sadržati neki logički element. Prema tome, primeri kombinacionih kola su uobičajena logička kola, većina aritmetičkih kola, zatim prekidačke matrice itd.

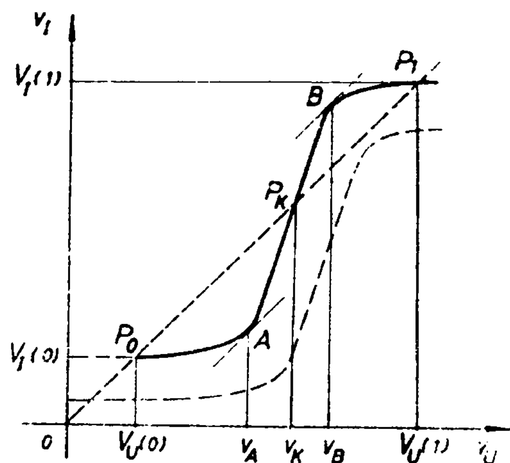
1.5.1. Osobine digitalnih kola

Pravilan izbor odgovarajućih tipova digitalnih kola može se izvesti samo ako se dovoljno poznaju njihove bitne osobine. Većinu digitalnih kola karakterišu sledeći parametri: logika, kvantizacija, imunost na šumove, direktivnost, izolovanost, multiplikacija priključaka i brzina rada.

Logika ili logička funkcija kola je u stvari određeni zadatak, koji digitalno kolo treba da izvrši u tačno specificiranim uslovima. Fizičko izvođenje logičke funkcije zavisi od više faktora, koje uslovljavaju signali informacije, upotrebljeni prekidački elementi, posebni uslovi rada kola itd.

Kvantizacija je osobina digitalnog kola da uspostavlja određena standardna stanja izlaznog signala. Zbog toga se kola, koja izrazito poseduju ovo svojstvo, ponekad nazivaju restauratori, standardizeri, pa čak i pojačavači nivoa signala.

Kvantizacija je tesno vezana za prenosnu karakteristiku kola. Ako bi elementarno kolo bilo savršen provodnik, njegova prenosna karakteristika, izražena relacijom između izlaznog i ulaznog napona, bila bi prava linija, koja predstavlja jedinično pojačanje kola. Na sl. 1.3 predstavljeno je isprekidanom linijom ovo pojačanje u koordinatnom sistemu kod koga je uzeta ista razmera za obe koordinatne ose. Stvarna prenosna karakteristika kola, ucrtana punom linijom na sl. 1.3, je, međutim, nelinearna i preseca jediničnu karakteristiku pojačanja u tačkama P_0, P_K i P_1. Ako je napon signala na ulazu kola manji od vrednosti napona u kritičnoj tački P_k, tj. pri $V_U < V_K$, izlazni napon će težiti da zadrži vrednost $V_I(0)$, koja odgovara radnoj tački P_0 kola. Međutim, ako je ulazni napon veći od kritične vrednosti, tj. pri $V_U > V_K$, izlazni napon težiće ka vrednosti $V_I(1)$, koja odgovara radnoj tački P_1 kola. Vidimo, dakle, da su tačke P_0 i P_1 kola konvergentne, dok je kritična tačka P_K — divergentna. Zahvaljujući ovakvoj konfiguraciji prenosne karakteristike, omogućeno je, dakle, fizičko održavanje digitalne prirode informacija.



Sl. 1.3. Prenosna karakteristika digitalnog kola

Stvarna prenosna karakteristika na sl. 1.3 pokazuje, da posmatrano digitalno kolo ispoljava pojačavačko svojstvo u delu karakteristike između tačaka A i B, gde je diferencijalno pojačanje kola veće od jedinice. Uopšte uzevši, pojačanje u digitalnim kolima obično nema veliki značaj, ali je za kvantizaciju, kao što vidimo, ipak neophodno da postoji i oblast sa pojačanjem većim od jedan. Iz toga proistiće zaključak, da pasivni digitalni elementi ne mogu imati karakter kvantizacionog kola. Šta više, ni postojanje oblasti sa pojačanjem većim od jedinice ne obezbeđuje svojstvo kvantizacije, ukoliko nivoi signala na ulazu i izlazu kola nisu tako podešeni, da prenosna karakteristika preseca karakteristiku jediničnog pojačanja u tri tačke (videti tačkasto izvučenu karakteristiku na sl. 1.3).

Najzad, pomenimo još neke karakteristične veličine u vezi sa prenosnom karakteristikom kola na sl. 1.3. Pošto tačke P_0 i P_1 odgovaraju stabilnim stanjima prekidačkog elementa u digitalnom kolu, to je razlika nivoa napona izlaznog signala u ovim tačkama od značaja za pouzdan rad kola. Otuda se razlika logičkih nivoa, izražena razlikom izlaznih napona

$$\Delta V_I = V_I(1) - V_I(0) \tag{1.3}$$

naziva logička amplituda napona digitalnog kola. S druge strane za rad digitalnog kola od interesa je i napon prelaza kola. Pod ovim se podrazumeva razlika ulaznih napona u tačkama prenosne karakteristike u kojima je diferencijalno pojačanje jednako jedinici. Prema tome, napon prelaza posmatranog digitalnog kola sa prenosnom karakteristikom na sl. 1.3 je

$$\Delta V_U = V_B - V_A. \tag{1.4}$$

Očigledno je da izrazito kvantizaciona digitalna kola treba da imaju mali napon prelaza. Zbog toga tačke A i B prenosne karakteristike treba što više približiti po horizontalnoj koordinati kritičnoj tački P_K, koja se često zove i okidna tačka digitalnog kola.

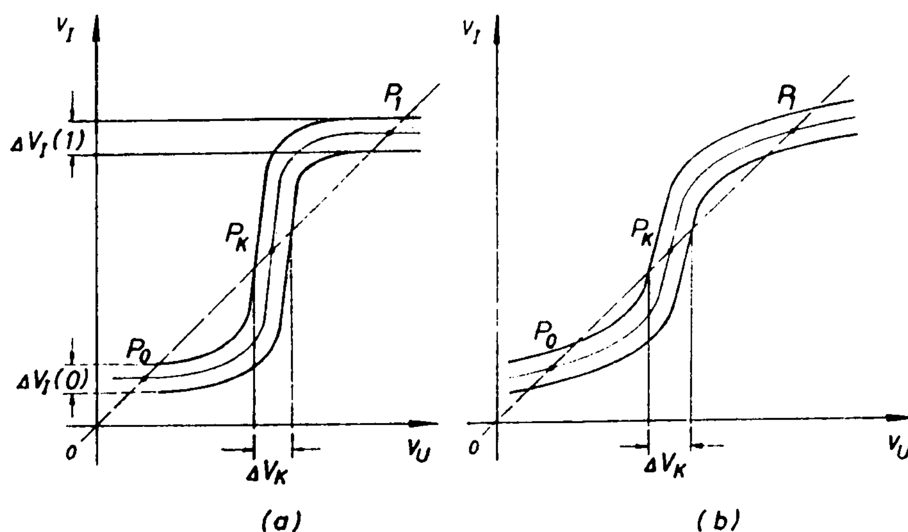
Prenosna karakteristika na sl. 1.3 odnosi se samo na jedno digitalno kolo. Međutim, u digitalnim sistemima obično postoji veliki broj istih takvih kola, čije karakteristike ipak nisu identične. Stoga, ako se uzimaju u obzir i tolerancije kola, onda se umesto jedne prenosne karakteristike pojavljuje više sličnih karakteristika, formirajući tako grupnu prenosnu karakteristiku, prikazanu na sl. 1.4. Očigledno je da se ovde ne može više govoriti o divergentnoj i konvergentnim tačkama, već o opsezima ili oblastima. Prema tome, standardna stanja izlaznog signala sada su određena opsegom napona $\Delta V_I(0)$ i $\Delta V_I(1)$, pa je logička amplituda napona data vrednošću

$$V_{I\min} = V_I(1)_{\min} - V_I(0)_{\max}. \tag{1.5}$$

Napomenimo još, da širina oblasti oko karakterističnih tačaka P_0, P_K i P_1 ne zavisi samo od tolerancija digitalnih kola, već i od oblika prenosnih karakteristika. Na sl. 1.4 b je, na primer, ilustrovan slučaj digitalnih kola, koja imaju iste tolerancije kao i ona na sl. 1.4 a. Međutim, pošto su kod ovih kola prenosne karakteristike manje zakrivljene, varijacije napona oko karakterističnih tačaka su veće od onih u prethodnom slučaju

Digitalna kola, kod kojih je izlazni napon invertovan u odnosu na ulazni, imaju karakteristiku jediničnog pojačanja sa koeficijentom pravca —1. Stvarna

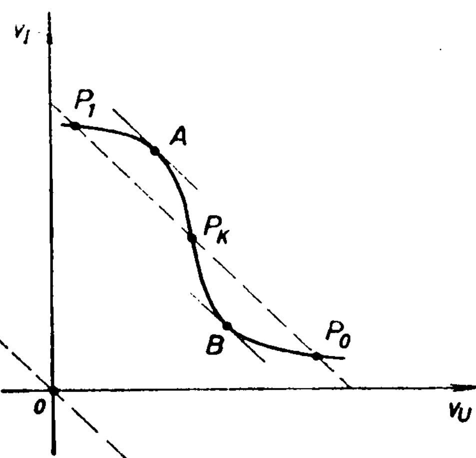
prenosna karakteristika takvog kola ucrtana je na sl. 1.5, pri čemu je i u ovom slučaju uzeta ista razmera za obe ose koordinatnog sistema. Što se tiče karakte-



Sl. 1.4. Grupne prenosne karakteristike

rističnih tačaka na ucrtanom dijagramu, nepotrebno je naglašavati da i za njih važi sve ono što je već rečeno i za slučaj kola bez invertovanja.

Imunost na šumove digitalnog kola izražava se preko osetljivosti kola na šumove i smetnje, koje mogu dovesti do aktiviranja prekidačkog elementa. Pošto šumovi deluju kao ulazni signal kola, to se njihova kritična vrednost poklapa sa naponom ulaznog signala u kritičnoj tački P_K prenosne karakteristike na sl. 1.3. Prema tome, osetljivost kola, ili bolje reći granična vrednost napona smetnji može da iznosi



Sl. 1.5. Prenosna karakteristika invertnog digitalnog kola

$$V_{SN} = V_K - V_U(0)$$

odnosno (1.6)

$$V_{SV} = V_U(1) - V_K,$$

zavisno od toga da li se kolo nalazi u niskonaponskom ili u visokonaponskom stanju, odnosno u stanju logičke nule ili logičke jedinice.

Mnogo češće se koristi nešto strožija definicija osetljivosti kola na šumove i smetnje, koja je takođe vezana za prenosnu karakteristiku. Po ovoj definiciji najveći signal šuma ograničen je tačkama prenosne karakteristike u kojima je diferencijalno pojačanje jednako jedinici. Prema tome granična vrednost napona smetnji za digitalno kolo, čija je prenosna karakteristika data na sl. 1.3, može da iznosi:

$$V_{MSN} = V_A - V_U(0),$$

odnosno (1.7)

$$V_{MSV} = V_U(1) - V_B,$$

što je opet zavisno od zatečenog logičkog stanja kola. Ovako definisana osetljivost digitalnog kola na smetnje i šumove naziva se margina smetnji, odnosno granični napon smetnji.

Pri oceni valjanosti digitalnog kola u pogledu osetljivosti na šumove i smetnje, ponekad se definiše i faktor poznat pod imenom imunost na smetnje. Ovaj parametar se određuje odnosom osetljivosti kola na smetnje i logičke amplitude napona. Prema tome, faktor imunosti na smetnje za posmatrano digitalno kolo je

$$\delta = \frac{V_S}{\Delta V_I} \tag{1.8}$$

Najzad treba napomenuti da u slučaju digitalnih kola, čije prenosne karakteristike rezultuju u grupne — kao na sl. 1.4, granični signal šuma se određuje prema karakteristici koja daje najmanju vrednost. Očigledno je da to neće biti jedna te ista karakteristika za oba stanja digitalnog kola — stanje logičke nule i logičke jedinice.

Direktivnost je osobina digitalnih kola da prenose signale informacija samo u određenom smeru. To znači da se u jednom nizu elementarnih digitalnih kola mora jasno znati, koje kolo upravlja nekim drugim kolom. Drugim rečima, mora se uvek jasno raspoznavati kontrolno i kontrolisano kolo, odnosno ne sme se dozvoliti da dođe do neodređenosti u pogledu odvajanja uzroka od posledice i obrnuto.

Direktivnost se može poboljšati ugrađivanjem unilateralnih komponenata u grane kojima signali treba ili ne treba da prolaze. Izvesno poboljšanje direktivnosti može se postići i pomoću odgovarajućih oslabljivača, odnosno atenuatora signala. U ovom slučaju, međutim, biće katkad potrebno da se izvrši i pojačavanje tako oslabljenog signala.

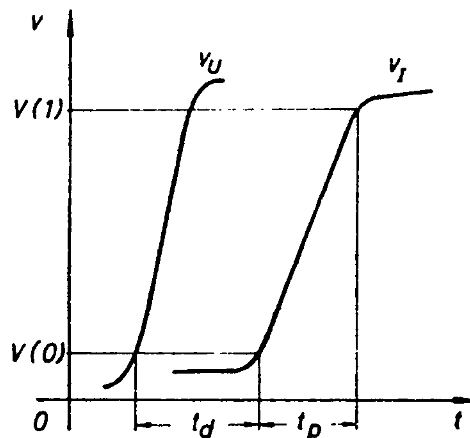
Izolovanost je osobina digitalnih kola da poseduju što veću otpornost između pojedinih karakterističnih tačaka. Ova osobina se može odnositi na izolovanost između ulaznih i izlaznih krajeva kola, kao i na međusobnu izolovanost pojedinih ulaza ili izlaza. Kako se obično izolovanost poboljšava pomoću istih elemenata kao i direktivnost, to se često izolovanost i direktivnost posmatraju kao jedinstveni parametar digitalnih kola.

Multiplikacija priključaka je osobina digitalnog kola da može raspolagati sa većim brojem kako ulaza tako i izlaza. Veći broj ulaza omogućava raznovrsnije kombinovanje ulaznih signala. Razumljivo je da se pri tom ne sme dovesti u pitanje kvantizaciono predstavljanje signala zbog eventualnih međusobnih uticaja pojedinih ulaza. Zato je za povećanje broja ulaza digitalnog kola neophodno ostvariti veliku izolovanost između pojedinih ulaza.

Broj izlaza digitalnog kola ograničen je mogućnošću obezbeđenja dovoljne energije za pobuđivanje priključenih kola. Veća multiplikacija izlaza može da se postigne povoljnijim izborom radne tačke u polju izlaznih karakteristika pogonskog kola, kao i radnih tačaka u polju ulaznih karakteristika odgovarajućih priključenih kola. Pa ipak, bez obzira na odabrane radne uslove, nastaće izvesno pomeranje kvantizacionih nivoa napona na izlazu pogonskog kola u slučaju da se menja broj aktiviranih priključenih kola. Zbog toga se često moraju preduzeti odgovarajuće mere za stabilizaciju kvantizacionih nivoa, kako bi se sačuvala digitalna priroda signala.

Na kraju napomenimo da se pri tretiranju problema multiplikacije priključaka obično slovom M označava broj ulaza, a slovom N — broj izlaza digitalnog kola.

Brzina rada digitalnih kola izražava se prelaznim režimom koji sačinjavaju logičko kašnjenje i vreme prelaza. Logičko kašnjenje je vreme koje prođe od trenutka kada ulazni napon ima neku specificiranu vrednost do trenutka kada izlazni napon dostigne tu istu vrednost. Obično se za specificiranu vrednost napona uzima logički nivo $V(0)$. Uopšte uzevši teško je precizno odrediti logičko kašnjenje jer su dijagrami ulaznih i izlaznih napona digitalnog kola dosta nelinearni. Na sl. 1.6 prikazani su vremenski dijagrami ulaznog i izlaznog napona V_U i V_I jednog digitalnog kola. Trajanje prelaznog režima kola izraženo je pomoću logičkog kašnjenja t_d i vremena prelaza t_p. Za referentni napon pri određivanju logičkog kašnjenja uzet je logički nivo $V(0)$ digitalnog signala, dok je vreme prelaza definisano referentnim naponskim nivoima $V(0)$ i $V(1)$.



Sl. 1.6. Prelazni režim digitalnog kola

Logičko kašnjenje delimično prouzrokuje konačno vreme propagacije — prostiranja električnih nosilaca signala informacije kroz prekidački element. Najveći deo kašnjenja, međutim, nastaje usled nelinearnosti karakteristike prekidačkog elementa. Naime, iz prenosne karakteristike digitalnog kola jasno se vidi, da izlazni signal započinje promenu zatečenog stanja tek pošto ulazni signal dostigne neku određenu, kritičnu vrednost.

Vreme prelaza je u suštini isto što i vreme uspostavljanja samo što je ovde drukčije definisano zahvaljujući postojanju standardnih vrednosti signala. Prema tome, prelazno vreme je zavisno od frekventne karakteristike i pojačanja kola. Treba istaći, međutim, da proizvod pojačanja i propusnog opsega ovde nema onaj značaj, koji ima kod linearnih elektronskih kola, jer ne daje nikakve pouzdane informacije o prelaznom režimu digitalnog kola.

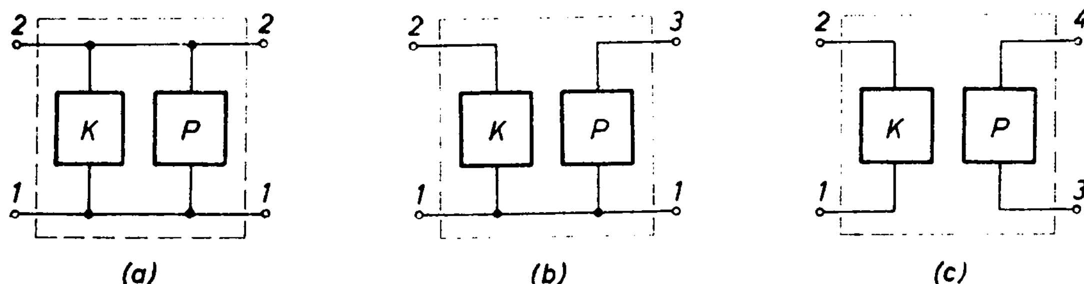
Većina digitalnih kola ispoljava različita logička kašnjenja pri uključivanju i pri isključivanju. Stoga, kada se kroz niz takvih kola propusti pravougaoni implus određenog trajanja, njegova širina se može povećavati ili smanjivati zavisno od razlike logičkih kašnjenja pri uključivanju i isključivanju kola. Napomenimo uz to, da se kod digitalnih kola, koja imaju invertovan izlaz prema ulazu, proširenja i skraćenja pravougaonog impulsa ponavljaju naizmenično. Zbog toga se u ovom slučaju logičko kašnjenje definiše radije za parove digitalnih kola, nego samo za jedno kolo.

1.5.2. Prekidački elementi

Kao što je već istaknuto, digitalno kolo karakteriše prekidački element, koji u većoj ili manjoj meri poseduje napred navedene osobine. Ukratko rečeno, prekidački element treba da ima dva jasno definisana različita stanja, zatim dobru direktivnost, veliku izolovanost, male prelazne režime i, naravno, da je pogodan i za masovnu proizvodnju. Očigledno je da raznovrsnost primene digitalnih kola dopušta i odgovarajuća odstupanja u pogledu nekih karakteristika prekidača, tim pre što se izvesna poboljšanja mogu da postignu i umešnijom organizacijom kola u projektovanom sistemu.

Mnoge elektronske komponente mogu biti upotrebljene kao prekidački element pri izgradnji digitalnih kola. Iako te komponente predstavljaju fizičku celinu, one se funkcionalno mogu posmatrati kao da su sastavljene iz dva organa: kontrolnog i kontrolisanog. Kontrolni organ predstavlja u stvari ulaz prekidačkog elementa i on dobija energiju od generatora ulaznog signala. Kontrolisani organ, međutim, predstavlja izlaz prekidačkog elementa i preko njega se pod kontrolom ulaznog organa dovodi energija iz spoljnjeg izvora na priključeno opterećenje. Prema tome, ovaj organ obavlja suštinsku ulogu prekidača, te ga zato možemo zvati prekidački organ.

S obzirom na spoljašnje pristupe, u digitalnim kolima se koriste prekidački elementi sa dva, tri i četiri spoljna izvoda, odnosno priključka. Na sl. 1.7 predstavljeni su ekvivalentni modeli takvih prekidačkih elemenata, pri čemu se blok K odnosi na kontrolni, a blok P na prekidački organ.



Sl. 1.7. Funkcionalni modeli prekidačkih elemenata

(a) sa dva priključka (b) sa tri priključka (c) sa četiri priključka

U grupu prekidača sa dva priključka spadaju komponente koje imaju relativno malu pa čak i nikakvu izlovanost između izlaza i ulaza. Prema tome, pri korišćenju ovakvih elemenata biće često potrebno da se preduzmu odgovarajuće mere za poboljšanje ne samo izolovanosti već često i direktivnosti, kako bi se tok informacija pri obradi usmerio u željenom pravcu. Pored konvencionalnih dioda kao tipičnog predstavnika, u ovu grupu prekidačkih elemenata mogu se uvrstiti i diode sa karakteristikom negativne otpornosti, magnetna jezgra sa pravougaonom karakteristikom itd.

Elektronski prekidači sa tri priključka obično raspolažu svim osobinama koje karakterišu digitalno kolo. Tipični predstavnici ove grupe su elektronske cevi, a u novije vreme skoro isključivo tranzistori. Treba istaći da su ovakvi elementi posebno pogodni u slučajevima kada treba regenerisati logičku amplitudu signala, kao na primer kod logičkih kola.

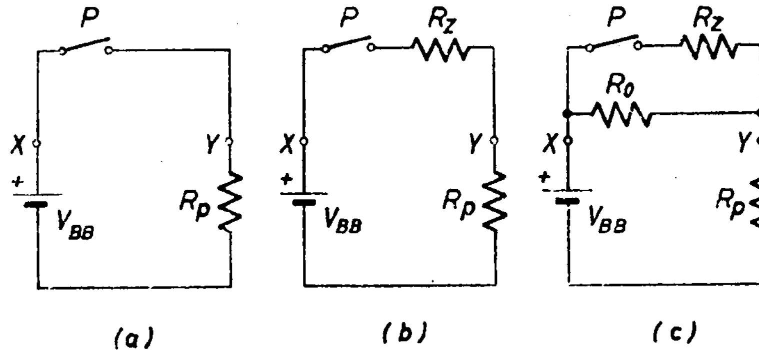
Prekidački elementi sa četiri priključka sadrže parove ulaznih i izlaznih krajeva između kojih ne postoji nikakva zajednička veza u električnom pogledu. Zahvaljujući tome ovi prekidači imaju veliku direktivnost i izolovanost, te su pogodni za međusobno povezivanje. Tipični primeri prekidačkih elemenata ove grupe su elektromagnetna relea, a u novije vreme krioelektrični kao i optoelektrični elementi.

Osnovni zadatak prekidačkog elementa je da ostvari kontrolisanu vezu između izvora energije i potrošača. Otuda najelementarnije prekidačko kolo mora da sadrži pomenute tri komponente: izvor, prekidač i potrošač. Na sl. 1.8 pokazana su takva kola sa prekidačkim elementom, čije su strujno-naponske karakteristike date na sl. 1.9. Presek radne prave, za otpor opterećenja R_P, sa karakteristikama prekidačkog elementa u otvorenom i zatvorenom stanju određuje dve referentne radne tačke prekidača.

Na sl. 1.8a ilustrovan je rad idealnog prekidača, koga karakterišu otpornosti u otvorenom stanju $R_0 = \infty$, a u zatvorenom $R_Z = 0$. Radne tačke ovakvog prekidača označene su sa A_0 i A_1 na sl. 1.9. Prema tome, logička amplituda napona prekidača je

$$\Delta V = V_{PO} - V_{PZ} = V_{BB}, \tag{1.9}$$

gde su V_{PO} i V_{PZ} naponi na prekidaču pri otvorenom, odnosno zatvorenom stanju, respektivno. Disipacija na samom prekidaču ne postoji ni u jednoj ni u drugoj radnoj tački, pošto su u jednoj struja a u drugoj napon jednaki nuli. Zbog toga je



Sl. 1.8. Redni prekidački element u kolu:
(a) idealni (b) sa rednom otpornošću (c) sa rednom otpornošću i odvodom

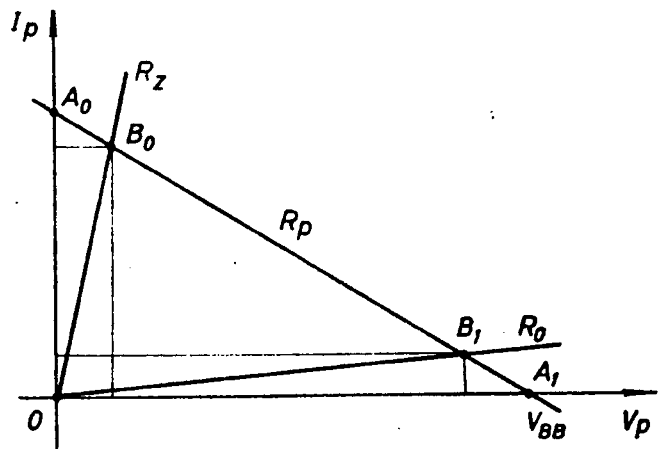
realizacija idealnog prekidača veoma poželjna. U praktičnom izvođenju, međutim, približno idealne karakteristike mogu imati uglavnom samo mehanički prekidači, odnosno kontakti elektromagnetnih relea.

Prekidački element u kolu na sl. 1.8b okarakterisan je vrlo velikom otpornošću u otvorenom, a dosta malom otpornošću R_Z u zatvorenom stanju. Radne tačke ovakvog prekidača su B_0 i A_1 u karakteristikama na sl. 1.9. Amplituda napona prekidanja je sada manja nego u prethodnom slučaju i iznosi:

$$\Delta V = \frac{R_p}{R_p + R_z} V_{BB}. \tag{1.10}$$

Disipacija prekidača u otvorenom stanju, tj. u radnoj tački A_1 jednaka je nuli, međutim u zatvorenom stanju prekidača ona iznosi:

$$P_{DZ} = R_Z \left(\frac{V_{BB}}{R_Z + R_P}\right)^2. \tag{1.11}$$



Sl. 1.9. Strujno-naponska karakteristika prekidačkog elementa

Da bi se smanjila disipacija i povećala logička amplituda napona, treba nastojati da otpornost prekidača R_Z bude što manja. Primer ovakvog prekidačkog elementa je elektronska cev, kod koje je otpornost R_Z jednaka statičkoj vrednosti unutrašnje otpornosti cevi.

Najzad, sl. 1.8 c ilustruje prekidački element, koji, pored male otpornosti R_Z u zatvorenom stanju, poseduje i odvodnu otpornost R_0 usled nedovoljne izolacije između krajeva prekidača u otvorenom stanju. Prema tome, radne tačke ovakvog prekidača su B_0 i B_1 na sl. 1.9. Logička amplituda napona je ovde još manja i približno iznosi

$$\Delta V \approx \left(\frac{R_O}{R_P + R_O} - \frac{R_Z}{R_P + R_Z}\right) V_{BB}, \tag{1.12}$$

jer je $R_O \gg R_Z$. Disipacija na prekidaču u ovom slučaju postoji u obe radne tačke, tako da su:

$$P_{DO} = R_O \left(\frac{V_{BB}}{R_P + R_O}\right)^2$$
$$P_{DZ} \approx R_Z \left(\frac{V_{BB}}{R_P + R_Z}\right)^2. \tag{1.13}$$

Tipičan primer prekidačkog elementa sa otpornostima u oba radna režima je tranzistor. Na osnovu položaja radnih tačaka u poređenju sa idealnim prekidačem, mogao bi se steći utisak da je tranzistor lošiji prekidački element od elektronske cevi. Međutim, imajući u vidu stvarne vrednosti karakterističnih veličina tranzistorskog prekidača u radnim tačkama, ovakav utisak postaje neodrživ, čak i kada se ne bi uzele u obzir i druge prednosti koje poluprovodnički elementi pružaju pri korišćenju u digitalnoj elektronici.

1.5.3. Projektovanje digitalnih kola

Digitalna kola su u principu izrazito nelinearna. Zbog toga je skoro nemoguće izraziti postojeće relacije između izlaznih i ulaznih veličina kola u bilo kakvoj prostijoj matematičkoj formi. Otuda je strožija matematička analiza digitalnih kola praktično neizvodljiva. Prema tome, analiza i proračun ovako nelinearnih kola izvodi se primenom aproksimacionih metoda i približnog računanja, pri čemu će tačnost rezultata mnogo da zavisi od znalačkog inženjerskog rasuđivanja. Pri ovakvom postupku rada razumljivo je da se umesto opštih analitičkih rešenja dobijaju samo specifična rešenja za konkretno date uslove.

Aproksimacione metode proračuna kola uvode pogodne grafičke i numeričke postupke, koji će dovesti do uprošćavanja posmatranog problema. Tako se, na primer, nelinearna karakteristika prekidačkog elementa zamenjuje sa više pravolinijskih segmenata, na koje se pojedinačno može primeniti odgovarajuća matematička analiza. Tačnost segmentne linearne aproksimacije zavisiće kako od broja segmenata tako i od izbora njihovih granica. Postupak projektovanja je u ovom slučaju uprošćen, ali može biti veoma dug u slučaju izvođenja što tačnije linearne aproksimacije.

Ponašanje digitalnog kola ima smisla analizirati u stvarnim uslovima njegovog rada. Kako se u digitalnom sistemu nalazi veliki broj međusobno povezanih kola, to se mora voditi računa o opterećenju svakog kola kako sa ulazne tako i sa izlazne strane. Usled jake sprege i interakcija između elementarnih kola u digitalnom sistemu, vrlo je teško jedno kolo, pa čak i grupu kola posmatrati kao izdvojenu celinu. Zbog

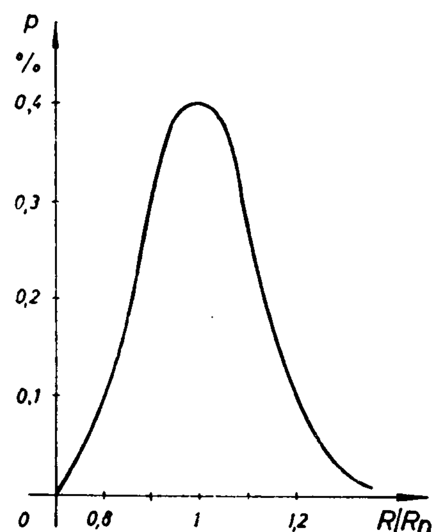
toga i primena uprošćenih metoda analize kola može da dovede do dosta složenih i dugih računskih postupaka.

Treba, dalje, istaći da tolerancije elemenata u nelinearnim kolima mogu da budu mnogo kritičnije nego u linearnim. Ova konstatacija biće jasnija kada se podsetimo, da povećana odstupanja komponenata nekog linearnog kola mogu da izmene njegove karakteristike u tom smislu što će prenošene informacije biti samo više izobličene. Međutim, nedozvoljene tolerancije komponenata kod digitalnih kola mogu da onemoguće uspostavljanje određenih stanja u kolima, što će se odraziti ne na izobličenje već na potpuno pogrešno predstavljanje informacije.

Da bi se zagarantovao pravilan rad prekidačkih kola u svim predviđenim uslovima, njihovo projektovanje se izvodi na principu najnepovoljnijeg slučaja. U ovakvom projektovanju polazi se od toga, da sve komponente kola, uključujući i parametre prekidačkog elementa, istovremeno imaju takve vrednosti, da one predstavljaju najgori mogući slučaj za rad kola. Ovakav proračun kola nije teško izvesti, ali njegova praktična realizacija najčešće nije i ekonomski opravdana. Naime, proračun kola za najnepovoljniji slučaj zahtevaće svakako uske tolerancije komponenata, usled čega dolazi do znatnog poskupljenja realizacije projekta. S druge strane, postoji veoma mala verovatnoća da sve komponente kola, uključujući i parametre prekidačkog elementa, istovremeno imaju baš one vrednosti, koje uslovljavaju rad kola pod najgorim okolnostima. Stoga skoro ni teorijski nema opravdanja da se pretpostavlja mogućnost postojanja „najgoreg slučaja", a još manje da se na toj pretpostavci vrši i striktno projektovanje kola. Umesto toga, ponekad se proračun kola izvodi po metodi najnepovoljnijeg slučaja, ali se pri tome polazi od nešto ublaženih uslova rada. Tako, na primer, ako se očekuju promene temperature ambijenta u iznosu od 60°C, proračun kola se vrši za promene od, recimo, svega 40°C. Valjanost ovakvog proračuna, međutim, u velikoj meri zavisi od pravilne inženjerske procene podataka sa kojima se operiše, zašto je svakako potrebno veliko iskustvo projektanta.

Dovoljno pouzdan i za praktičnu realizaciju povoljniji metod projektovanja digitalnih kola zasniva se na statističkoj kombinaciji tolerancija komponenata kola i parametara prekidačkog elementa. U ovom statističkom metodu proračuna, verovatnoća da kolo ne radi pravilno u predviđenim uslovima nije jednaka nuli, ali je svakako ispod neke prihvatljive granice.

Statistička metoda projektovanja kola izvodi se postupkom simuliranja velikog broja sličnih kola. Da bi se postupak simuliranja mogao da obavi, potrebno je raspolagati statističkom raspodelom vrednosti svih komponenata analiziranog kola. Primera radi, na sl. 1.10 prikazana je verovatnoća raspodele vrednosti otpora oko neke nominalne vrednosti R_n. Slični dijagrami dobijaju se i za ostale komponente kola. Postupak samog proračuna sastoji se u tome, da se iz ovakvih dijagrama što veći broj puta uzimaju različiti setovi — skupovi podataka i unose u odgovarajuće matematičke jednačine proračuna. Na taj način pri svakom izmenjenom podatku vrši se simuliranje nove varijante projektovanog kola. Iznalaženjem numeričkih rešenja matematičkih jednačina sa ovakvim podacima dolazi se do dijagrama statističke raspodele karakteristika projektovanog kola.



Sl. 1.10. Verovatnoća raspodele normalizovane vrednosti otpora

Na kraju napomenimo još, da je proračun kola metodom simuliranja, poznat inače i kao metod Monte Karlo, od opšteg značaja, jer je primenljiv za bilo koji tip elektronskih kola. U principu proračun je jednostavan, ali pošto se operiše sa mnogo podataka, za njegovo sprovođenje neophodna je i pomoć elektronskog računara.

LITERATURA

1. *Weyrick R. C.*: Fundamentals of Analog Computers, Prentic Hall, New Jersey, 1969, gl. 1
2. *Kloeffler R. G., Horrell M. W., Hargrave L. E.*: Basic Electronics, John Wiley, New York, 1963, gl. 16
3. *Knüpfer*. A: Technik digitaler Rechenanlagen, VEB Verlag Technik, Berlin, 1969, gl. 1
4. *Phister M.*: Logical Desigh of Digital Computers, John Wiley, New York, 1958, gl. 1
5. *Lo A. W.*: Introduction to Digital Electronics, Addision Wesley Publ. Comp. Reading, Massachusetts, 1967, gl. 1
6. *Aleksić, T. Ž.*: Logička sinteza digitalnih sistema, Naučna knjiga, Beograd, 1971, gl. 1

GLAVA 2

NUMERIČKI SISTEMI

Numeričko predstavljanje informacija pri njihovoj obradi pomoću digitalnih uređaja vrši se pomoću simbola nekog brojnog sistema. Zbog toga je izbor brojnog sistema pri projektovanju digitalnog uređaja veoma važan kako za koncepciju samog uređaja tako i za njegovu tehničku realizaciju. Uopšte uzevši ne može se reći, da jedan brojni sistem može da ima apsolutnu prednost nad svim drugim sistemima. Otuda su i razvijeni različiti numerički sistemi, koji obično poseduju izvesna preimućstva nad drugim u specifičnim situacijama primene.

Svaki numerički sistem sadrži uređen skup brojnih vrednosti, koje se dobijaju kao zbir proizvoda odgovarajućih cifara i njihovih pozicionih vrednosti. Prema tome, brojne vrednosti nekog numeričkog sistema mogu se izračunati pomoću izraza

$$X = \sum_{i=-m}^{n-1} c_i \cdot b^i \qquad (2.1)$$

gde je: m — broj razlomljenih — decimalnih mesta u posmatranoj grupi cifara,

n — broj celih mesta,

c — cifre brojnog sistema

b — osnova ili baza brojnog sistema,

i — mesto, pozicija ili razred cifre u datom broju.

Poziciona vrednost b^i bilo koje cifre određena je, dakle, vrednošću osnove brojnog sistema i pozicijom, odnosno razredom dotične cifre. Osnova brojnog sistema je uvek pozitivan ceo broj veći od jedinice. Eksponent i, koji se odnosi na poziciju cifre, takođe je ceo broj, ali može da bude pozitivan i negativan. Kada je $i \geqslant 0$ brojna vrednost pripada skupu celih brojeva, a ako je $i < 0$ onda se odnosi na deo koji odgovara razlomcima. Prema tome, ukoliko je u izrazu (2.1) $m = 0$, brojna vrednost posmatrane grupe cifara biće ceo broj, a ako je $n = 0$ — predstavljaće decimalni broj. Kada, međutim, ni m ni n nisu jednaki nuli, očigledno je da se radi o mešovitom broju. Napomenimo još da je broj cifara u numeričkom sistemu određen nejednačinom

$$0 \leqslant c < (b - 1), \qquad (2.2)$$

iz koje proizilazi da broj cifara raste sa povećanjem osnove brojanja sistema.

Način ispisivanja brojeva je takav da pozicione vrednosti cifara rastu idući s desna na levo. Tako, na primer, neki broj sa n celih i m razlomačkih mesta, koji je inače predstavljen u razvijenom obliku kao

$$X = c_{n-1} b^{n-1} + c_{n-2} b^{n-2} + \cdots c_1 b^1 + c_0 b^0, + \\ + c_{-1} b^{-1} + c_{-2} b^{-2} + \cdots c_{-m} b^{-m}, \quad (2.3)$$

može biti napisan u sažetoj formi — bez pozicionih vrednosti kao:

$$X = c_{n-1} c_{n-2} \cdots c_1 c_0, \quad c_{-1} c_{-2} \cdots c_{-m}. \quad (2.4)$$

Prema tome, decimalni broj 21, 405, kod koga je $n = 2$ i $m = 3$, predstavlja sažetu formu ispisivanja brojne vrednosti

$$X = 2 \cdot 10^1 + 1 \cdot 10^0, + 4 \cdot 10^{-1} + 0 \cdot 10^{-2} + 5 \cdot 10^{-3}.$$

Ovaj primer očigledno ilustruje povećanje pozicione vrednosti cifara idući s desna na levo. Umesto o pozicionoj vrednosti cifara, ponekad se govori o njihovoj težini, značaju ili razredu. Tako se, na primer, za krajnju desnu cifru kaže da ima najmanju težinu, da je najmanjeg značaja ili najnižeg razreda. U vezi s tim ovakav poredak cifara u jednom broju često se naziva težinski.

2.1. BINARNI BROJNI SISTEM

Iako je decimalni sistem najviše rasprostranjen u svakodnevnom životu, njegova primena u digitalnim računarima bila bi skopčana sa velikim teškoćama u pogledu tehničke realizacije uređaja. To dolazi otuda što bi kola za fizičko predstavljanje cifara ovog sistema, morala imati deset jasno definisanih različitih stanja. Razumljivo je, da je sa današnjim tehničkim sredstvima takav režim rada kola ostvarljiv samo po cenu velike složenosti kola. Otuda je sa stanovišta lakše i pouzdanije tehničke realizacije digitalnih uređaja daleko povoljnije da se koristi brojni sistem, koji će moći da bude fizički reprezentovan samo sa dva stanja kola. Zbog toga se u digitalnim uređajima skoro isključivo primenjuje binarni brojni sistem, jer se njegove dve cifre 0 i 1 mogu lako i fizički da prikažu sa postojeća dva stanja prekidačkih kola.

Vrednosti brojeva napisanih u binarnom sistemu mogu da se odrede pomoću ranije datog izraza (2.1). Pošto je osnova brojanja u ovom sistemu 2, to pozicione vrednosti cifara rastu idući s desna u levo za po jedan stepen osnove 2. Prema tome, vrednost binarnog broja, recimo 1011,01, može se naći ispisujući ga u razvijenom obliku

$$1011{,}01 = 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0, + 0 \cdot 2^{-1} + 1 \cdot 2^{-2} = \\ = 8 + 0 + 2 + 1, + 0 + 1/4 = 11{,}25.$$

Ovde treba uočiti da je broj cifara za istu brojnu vrednost veći u brojnom sistemu sa manjom osnovom brojanja. Tako, na primer, dok se u decimalnom sistemu sa četiri cifre može da predstavi najveća vrednost 9999, dotle u binarnom sistemu odgovarajući četvorocifreni broj 1111 ima brojnu vrednost 15.

Brojanje u binarnom sistemu može se izvesti dosta jednostavno koristeći se već naviknutim brojanjem u decimalnom sistemu, s tom razlikom što treba uzeti u obzir samo brojeve, koji sadrže cifre 0 i 1. Tako, na primer, od niza decimalnih brojeva

0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, ···

19, 20, 21, ··· 90, 91, ··· 99, 100, 101, 102, ···

Binarni brojevi	Decimalni brojevi
0,001	0,125
0,01	0,25
0,1	0,5
0	0
1	1
10	2
11	3
100	4
101	5
110	6
111	7
1000	8
1001	9
1010	10
1011	11
1100	12
1101	13
1110	14
1111	15
10000	16
100000	32
1000000	64
10000000	128

Tabela 2.1. Uporedne vrednosti brojeva u binarnom i decimalnom sistemu

u binarnom sistemu postoje samo

0, 1, 10, 11, 100 i 101,

čije se brojne vrednosti, naravno, razlikuju od onih u decimalnom sistemu. Radi boljeg upoznavanja brojeva binarnog sistema u tabeli 2.1 su ispisani neki binarni brojevi uporedo sa odgovarajućim decimalnim brojevima. Obratimo pažnju i ovom prilikom na brzo povećanje cifara kod brojeva u binarnom sistemu.

Brojne vrednosti bilo kog numeričkog sistema smatra se da su pozitivne. U slučaju da su te vrednosti negativne, obavezno je da budu posebno označene. Uobičajeno je stoga da negativni brojevi imaju predznak minus „—", dok pozitivni mogu, ali ne moraju imati predznak plus „+". I za binarni sistem važi isti princip obeležavanja, s tim što se u elektronskim računarima znak „—" zamenjuje simbolom 1, a znak „+" — simbolom 0. Da bi se ovi simboli za predznak razlikovali od simbola za cifre, simboli za predznak se odvajaju jednim praznim mestom. Prema tome, pozitivni i negativni brojevi u binarnom sistemu ispisuju se na sledeći način:

$$+\ 1001 = 0\ 1001$$

odnosno

$$-\ 1001 = 1\ 1001.$$

2.1.1. B/D i D/B konverzija brojeva

Konverzija binarnog broja u decimalni može se izvesti pomoću formule (2.1) primenjene na binarni brojni sistem. Primer takve konverzije pokazan je ranije na mešovitom broju 1011, 01. Imajući u vidu da poziciona vrednost cifara u binarnom sistemu raste sa faktorom 2^0, 2^1, 2^2, 2^3, odnosno 1, 2, 4, 8, itd. ova konverzija može da se izvede jednostavnim sabiranjem pozicionih vrednosti cifara 1 u binarnom broju, kao, na primer,

$$1101{,}1 = 8 + 4 + 1, \quad + 1/2 = 13{,}5.$$

Konverzija decimalnog broja u binarni obavlja se postupnim iznalaženjem najvećeg eksponenta osnove 2, koji se sadrži u datom decimalnom broju, odnosno u njegovim ostacima. Na primer, za decimalni broj 13 nalazi se:

$$13 = 2^{i1} + p_1 = 2^3 + p_1; \quad p_1 = 13 - 2^3 = 5$$

$$5 = 2^{i2} + p_2 = 2^2 + p_2; \quad p_2 = 5 - 2^2 = 1$$

$$1 = 2^{i3} + p_3 = 2^0 + p_3; \quad p_3 = 1 - 2^0 = 0.$$

Odavde se vidi da se decimalni broj 13 može da razloži na zbir nađenih stepena osnove 2, naime $13 = 2^3 + 2^2 + 2^0$. Pošto su nađeni članovi zbira u stvari pozicione

vrednosti jedinica u binarnom broju, to se za decimalni broj 13 nalazi binarni ekvivalent iz upotpunjenog razvijenog oblika:

$$13 = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 1101.$$

Jednostavniji postupak za konverziju decimalnog broja u binarni svodi se na direktno iznalaženje cifara binarnog broja. Ovaj postupak biće pokazan na nekoliko konkretnih primera. Tako se za decimalni broj 13 može da nađe binarni ekvivalent na sledeći način:

13 : 2 = 6	— ostaje	1	↑
6 : 2 = 3	„	0	
3 : 2 = 1	„	1	
1 : 2 = 0	„	1	

Brojevi koji se pojavljuju kao ostaci pri ovom delenju su u stvari cifre traženog binarnog broja, tako da je

$$13_{10} = 1101_2.$$

Za decimalne, razlomljene brojeve postupak iznalaženja binarnog ekvivalenta je obrnut: umesto deljenja primenjuje se množenje sa 2, a umesto ostataka pojavljuju se viškovi 0 ili 1 zavisno od toga da li su izmnoženi brojevi manji ili veći od jedinice. Postupak konverzije u ovom slučaju pokazan je na decimalnom broju 0,125:

0,125 · 2 = 0,250 = 0,250	— više	0	
0,250 · 2 = 0,500 = 0,500	„	0	
0,500 · 2 = 1.000 = 0,000	„	1	↓

Brojevi koji se pojavljuju kao viškovi čine cifre traženog binarnog ekvivalenta, te je s toga:

$$0{,}125_{10} = 0{,}001_2.$$

Pri konverziji mešovitih decimalnih brojeva pokazani postupci se primenjuju posebno na deo sa celim i na deo sa razlomljenim vrednostima. Tako se, na primer, za decimalni broj 13,125 nalaze binarni ekvivalenti za 13 i 0,125 posebno, pa se onda ispisuje da je:

$$13{,}125_{10} = 1101{,}001_2.$$

Ponekad postupak konverzije decimalnog razlomka može da bude znatno duži, zavisno od željene tačnosti binarnog ekvivalenta, odnosno od potrebe binarnih mesta desno od zareza. Tako, na primer, za decimalni broj 0,13 se nalazi:

0,13 · 2 = 0,26 = 0,26	više	0	
0,26 · 2 = 0,52 = 0,52	„	0	
0,52 · 2 = 1,04 = 0,04	„	1	
0,04 · 2 = 0,08 = 0,08	„	0	
0,08 · 2 = 0,16 = 0,16	„	0	
0,16 · 2 = 0,32 = 0,32	„	0	
0,32 · 2 = 0,64 = 0,64	„	0	
0,64 · 2 = 1,28 = 0,28	„	1	↓

Ovaj postupak, naravno, može da se produži i dalje, ali ako se zadovoljavamo sa ovom tačnošću onda se može napisati da je

$$0{,}13_{10} \approx 0{,}00100001_2.$$

Zapazimo ovde da se decimalni brojevi 0,125 i 0,130 u binarnoj predstavi razlikuju tek na osmoj poziciji, odnosno na osmom „decimalu".

2.1.2. Binarna aritmetika

Osnovne aritmetičke operacije sa binarnim brojevima obavljaju se na sličan način kao i sa decimalnim. Pri tome samo treba imati u vidu da decimalnom broju 10 (deset) u binarnom sistemu odgovara broj 10 (jedan, nula), čija je brojna vrednost 2.

Sabiranje binarnih cifara svodi se na primenu sledećih osnovnih stavova:

$$\begin{aligned} &0 + 0 = 0 \\ &0 + 1 = 1 \\ &1 + 0 = 1 \\ &1 + 1 = 10 \text{ (jedan, nula).} \end{aligned} \qquad (2,5)$$

Ovde treba obratiti posebnu pažnju na razliku, koja postoji pri sabiranju istih cifara u decimalnom odnosno binarnom sistemu, jer je:

$1 + 1 = 2$ u decimalnom, a

$1 + 1 = 10$ u binarnom sistemu.

Primena gornjih rezultata na operaciju sabiranja najbolje će biti pokazana na nekim konkretnim primerima. Tako sabiranje decimalnih brojeva $11{,}5 + 10{,}5 = 22$ u binarnom sistemu obaviće se na sledeći način:

$$\begin{array}{r} 1\,0\,1\,1{,}1 \\ +\;1\,0\,1\,0{,}1 \\ \hline 1\,0\,1\,1\,0{,}0. \end{array}$$

Pri sabiranju ovih brojeva izvedeni su sledeći postupci:

u koloni 2^{-1} :	$1 + 1 = 10$,	upisana 0 i preneta 1,
u koloni 2^0 :	$1 + 0 + 1 = 10$	upisana 0 i preneta 1.
u koloni 2^1 :	$1 + 1 + 1 = 11$	upisana 1 i preneta 1,
u koloni 2^2 :	$1 + 0 + 0 = 1$	upisana 1,
u koloni 2^3 :	$1 + 1 = 10$	upisano 10.

Isto tako zbir decimalnih brojeva $7 + 7 + 7 = 21$ u binarnom sistemu će da bude:

$$\begin{array}{r} 1\,1\,1 \\ +\;\;1\,1\,1 \\ 1\,1\,1 \\ \hline 1\,0\,1\,0\,1 \end{array}$$

U ovom slučaju obavljeni su sledeći postupci:

u koloni 2^0 : $1 + 1 + 1 = 11$ zapisana 1 i preneta 1,

u koloni 2^1 : $1 + 1 + 1 + 1 = 100$ zapisana 0 i preneto 10,

u koloni 2^2 : $10 + 1 + 1 + 1 = 101$ zapisano 101.

Prema napred iznetom vidi se da su postupci sabiranja u binarnom sistemu potpuno isti kao i u decimalnom, te stoga do teškoća dolazi najviše iz razloga — ne zato što ne poznajemo binarni, već zato što smo navikli na decimalni sistem.

Oduzimanje binarnih brojeva izvodi se takođe po kolonama cifara počevši od najniže pozicione vrednosti. Pri tome, kao uostalom i u decimalnom sistemu, može da se javi potreba „pozajmljivanja" vrednosti iz kolone višeg razreda. Tako, na primer, pri oduzimanju decimalnih brojeva 9 — 5 = 4 u binarnom sistemu dobija se:

$$\begin{array}{r} 1\,0\,0\,1 \\ -\quad 1\,0\,1 \\ \hline 0\,1\,0\,0. \end{array}$$

Postupci izvedeni u datom primeru su sledeći:

kolona 2^0 : $1 - 1 = 0$, zapisana 0,

kolona 2^1 : $0 - 0 = 0$, zapisana 0,

kolona 2^2 : pošto se ne može oduzeti 1 od 0, pozajmljuje se 1 iz kolone 2^3 i prebacuje u kolonu 2^2 kao vrednost 10. Sada je u ovoj koloni: $10 - 1 = 1$, i zapisano je 1.

kolona 2^3 : budući da je odavde pozajmljeno 1, to je sada $0 - 0 = 0$, te je i zapisana 0, iako je ovde nepotrebna.

Pored direktnog oduzimanja, koje se vrši neposredno sa konkretno datim brojevima, ova operacija se može izvesti i pomoću sabiranja, što se povoljno odražava na konstruktivno uprošćavanje digitalnog računara. Naime, pri izvođenju oduzimanja pomoću operacije sabiranja, umesto prave vrednosti umalitelja uzima se njegova komplementarna vrednost. Komplement $\bar{X}$ nekog broja X nalazi se po definiciji

$$\bar{X} = K - X, \tag{2.6}$$

gde konstanta K može da ima vrednost b^n, ili $b^n - 1$, pri čemu je n broj cifara u datom broju X, a b je osnova brojnog sistema. U slučaju da je $K = b^n - 1$, dobija se komplement od najveće cifre primenjenog brojnog sistema. Ako je, na primer, $n = 4$, konstanta K u decimalnom sistemu ima vrednost

$$K = 10^4 - 1 = 9999,$$

pa se za decimalni broj $X = 1011$ nalazi njegov komplement do devet, odnosno komplement devetke:

$$\bar{X} = 9999 - 1011 = 8988.$$

Za isti broj cifara n u binarnom sistemu, konstanta K ima vrednost

$$K = 2^4 - 1 = 10000 - 1 = 1111,$$

pa se za binarni broj $X = 1011$ nalazi njegov komplement do jedan, odnosno komplement jedinice:

$$\bar{X} = 1111 - 1011 = 0100.$$

Ovde treba zapaziti da se komplement jedinice nekog binarnog broja može napisati jednostavnim zamenjivanjem svake jedinice u broju nulom i nule jedinicom.

Ako konstanta K ima vrednost $K = b^n$, onda se dobija komplement od osnove brojnog sistema. Tako se, na primer, za $n = 4$ u binarnom sistemu nalazi da je

$$K = 2^4 = 10000$$

pa će za binarni broj $X = 1011$ komplement od dva, odnosno komplement dvojke da ima vrednost

$$\bar{X} = 10000 - 1011 = 0101.$$

Komplement dvojke može se dobiti i preko komplementa jedinice imajući u vidu da se konstanta K u ovom slučaju može da napiše i u obliku $K = (b^n - 1) + 1$. Drugim rečima to znači da je dovoljno komplementu jedinice dodati još samo broj 1, pa će se dobiti komplement dvojke. Prema tome, za binarni broj $X = 1011$ komplement jedinice je $\bar{X}_1' = 0100$, a komplement dvojke biće $\bar{X}'' = \bar{X}' + 1 = 0100 + 1 = 0101$.

Aritmetička operacija oduzimanja primenom komplemenata brojeva izvodi se tako, što se umanjenik sabira sa komplementom dvojke umalitelja. Ako se time u koloni cifara najvišeg razreda pojavi jedinica za prenos — ona se izostavlja. U vezi sa ovim pravilom potrebno je da se umanjenik i umalitelj ispišu sa istim brojem cifara dodajući potreban broj nula ispred cifre najveće pozicione vrednosti. Tako, za raniji primer direktnog oduzimanja binarnog broja 101, ovaj broj treba prvo napisati u obliku $X = 0101$, pa onda naći njegove komplemente $\bar{X}' = 1010$, odnosno $\bar{X}'' = 1011$.

Prema tome, umesto direktnog oduzimanja brojeva

$$\begin{array}{rl} 1001 & \\ -\ 0101 & -X \\ \hline 0100 & \end{array}$$

može se izvesti sabiranje binarnih brojeva

$$\begin{array}{rl} 1\ 0\ 0\ 1 & \\ +\ 1\ 0\ 1\ 1 & -\bar{X}'' \\ \hline \not{1}\ 0\ 1\ 0\ 0 & . \end{array}$$

Do istog rezultata se može doći i pomoću komplementa jedinice. U ovom slučaju jedinica za prenos u koloni cifara najvišeg reda briše se iz dobijenog rezultata i dodaje preostalom binarnom broju. Postupak ovakvog oduzimanja brojeva pokazan je takođe na ranijem primeru:

$$\begin{array}{rl} 1\ 0\ 0\ 1 & \\ +\ 1\ 0\ 1\ 0 & -\bar{X}' \\ \hline 1|0\ 0\ 1\ 1 & \\ \hline 0\ 0\ 1\ 1 & \\ \rightarrow +\ \ \ \ \ \ 1 & \\ \hline 0\ 1\ 0\ 0 & \end{array}$$

Kako se dobijanje komplementa jedinice binarnih brojeva može lako da izvede pomoću digitalnih kola, to ovaj način oduzimanja nalazi čestu primenu u elektronskim računarima.

Aritmetičke operacije množenja i delenja binarnih brojeva obavljaju se na potpuno isti način kao i kod decimalnih. Stoga će postupci ovih operacija biti samo ilustrovani odgovarajućim primerima i to uporedo u binarnom i decimalnom sistemu. Na primer, množenje decimalnih brojeva 5,5 × 2,5 biće:

```
   5,5              1 0 1,1
×  2,5            ×   1 0,1
------            ---------
  2 7 5             1 0 1 1
1 1 0             0 0 0 0
------          1 0 1 1
1 3, 7 5        -----------
                1 1 0 1, 1 1 .
```

Isto tako delenje decimalnih brojeva 20,5 : 2 biće:

```
2 0,5 : 2 = 1 0,2 5      1 0 1 0 0,1 : 1 0 = 1 0 1 0,0 1
2                        1 0
---                      -----
0 0                      0 0 1
  0                        0 0
---                        -----
  0 5                      0 1 0
    4                        1 0
  ---                        -----
    1 0                      0 0 0
    1 0                        0 0
    ---                        -----
    0 0                        0 0 1
                                 0 0
                                 -----
                                 0 1 0
                                   1 0
                                   -----
                                   0 0
```

Osim ovih opštih metoda za izvođenje aritmetičkih operacija množenja i delenja, postoje i neki specifični postupci. Tako pri množenju ili delenju brojeva pozicionim vrednostima binarnih cifara 2^1, 2^2, 2^3 i tako dalje, dovoljno je izvršiti pomeranje cifara datog broja na jednu ili drugu stranu za onoliko mesta, koliki je eksponent osnove 2. Pri tome kod množenja pomeranje cifara vrši se s desna u levo, dok je kod delenja obrnuto — s leva u desno. Na primer kad se broj 5 množi sa 2, 4 i 8 dobija se:

```
1 0 1 × 1 0      =   1 0 1 0
1 0 1 × 1 0 0    =  1 0 1 0 0
1 0 1 × 1 0 0 0 = 1 0 1 0 0 0 .
```

S druge strane, kad se decimalni broj 40 podeli sa 2, 4 i 8 u binarnom sistemu, nalazi se:

```
1 0 1 0 0 0 : 1 0      = 1 0 1 0 0
1 0 1 0 0 0 : 1 0 0    =  1 0 1 0
1 0 1 0 0 0 : 1 0 0 0 =    1 0 1 .
```

Napomenimo da je tehničko izvođenje ovakvih postupaka pri množenju i delenju dosta jednostavno, te se stoga često i primenjuje u digitalnim računarima.

2.2. OKTALNI BROJNI SISTEM

Pored binarnog u elektronskim računarima nalazi češću primenu i oktalni brojni sistem. Njegova osnova brojanja je 8, pa je stoga pogodniji od binarnog sistema za manipulisanje sa velikim brojevima. S druge strane, prelaz sa oktalnog na binarni sistem i obrnuto je veoma jednostavan. U vezi s tim u računskim uređajima se često vrši konverzija decimalnih brojeva u oktalne pa zatim oktalnih u binarne, umesto direktne transformacije decimalnih brojeva u binarne.

U oktalnom sistemu koriste se postojeće decimalne cifre od 0 — 7. Prema tome niz brojeva oktalnog sistema može se dobiti iz decimalnog, ako se izostave decimalni brojevi koji sadrže cifre 8 i 9.

Konverzija oktalnog broja u decimalni izvodi se primenom obrasca (2.1), tj. pomoću zbira proizvoda cifara i odgovarajućih pozicionih vrednosti. Tako, na primer, oktalni broj 160 u decimalnom sistemu ima vrednost:

$$160_8 = 1 \cdot 8^2 + 6 \cdot 8^1 + 0 \cdot 8^0 = 112_{10}.$$

Pretvaranje decimalnog broja u oktalni izvodi se na već poznati način pomoću ostataka pri uzastopnom delenju sa 8 u slučaju da se radi o celom broju. Postupak konverzije pokazan je na datom primeru:

$$\begin{array}{rcll} 112 : 8 = 14 & \text{ostaje} & 0 & \uparrow \\ 14 : 8 = 1 & ,, & 6 & | \\ 1 : 8 = 0 & ,, & 1 & | \end{array}.$$

Na osnovu ovoga izlazi da je $112_{10} = 160_8$. Konverzija decimalnog broja koji ima i razlomke izvodi se na način, koji je već pokazan kod binarnog sistema.

Konverzija oktalnog broja u binarni i obrnuto izvodi se pomoću ustanovljene korespondencije između oktalnih cifara i odgovarajućih binarnih brojeva. S obzirom da u oktalnom sistemu postoji 8 cifara, za konverziju tih cifara u binarne brojeve moraju se koristiti binarne grupe od po 3 bita. Prema tome, veza između oktalnog i binarnog sistema sadrži odgovarajuće parove vrednosti, date u tabeli 2.2.

Oktalne cifre	Binarni slogovi
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

Tabela 2.2. Veze između oktalnog i binarnog sistema

Konverzija višecifrenih oktalnih brojeva u binarne obavlja se na taj način, što se svaka cifra oktalnog broja zamenjuje odgovarajućom binarnom grupom ili triadom iz date tabele. Tako se, na primer, oktalni broj 35,14 može napisati kao binarni u obliku

$$011\ 101{,}001\ 100 = 11101{,}0011.$$

Pri prelazu iz binarnog u oktalni sistem postupak je isti: cele i razlomljene binarne cifre treba razvrstati u triade polazeći od zareza na jednu i drugu stranu i tako formirane triade zameniti odgovarajućim ciframa oktalnog sistema. U slučaju

da su krajnje binarne grupe nepotpune treba ih dopuniti nulama. Prema tome, za prethodni primer dobija se:

$$11101,0011_2 = 011\ 101,001\ 100 = 35,14_8.$$

Pored navedenih brojnih sistema postoje i drugi, koji u određenim situacijama mogu da imaju neke specifične prednosti nad drugim sistemima. Tako, na primer, u cilju povećanja fleksibilnosti programiranja u nekim digitalnim uređajima se primenjuje i heksadecimalni brojni sistem. Baza ovog sistema je 16, a njegovi simboli, pored svih cifara decimalnog sistema, čine i slova *A*, *B*, *C*, *D*, *E* i *F*. Veza između heksadecimalnih i binarnih brojeva ostvaruje se na isti način kao i kod oktalnog sistema, s tom razlikom što se u ovom slučaju umesto binarnih triada moraju koristiti četvorocifrene grupe — tetrade. Tako se, na primer za heksagonalnu cifru 0 koristi binarna tetrada 0000, dok je za poslednju cifru *F* određena tetrada 1111, što odgovara decimalnoj vrednosti 15.

2.3. BINARNO KODOVANI DECIMALNI SISTEMI

Neosporna je činjenica da je za obavljanje numeričkih operacija najpogodniji decimalni brojni sistem. S druge strane, međutim, binarni sistem je daleko povoljniji sa gledišta konstruktivnog izvođenja digitalnih kola. Zbog toga su razvijeni i mešoviti sistemi, koji sadrže neke dobre strane kako decimalnog tako i binarnog sistema. Ovi sistemi sadrže binarno kodovane decimalne cifre te se stoga skraćeno nazivaju *BCD* kodovi. Pri izboru ovakvog sistema nastoji se da on bude pogodan ne samo za brojanje, aritmetičko računanje, konvertovanje, nego i za lako otkrivanje pa i korigovanje eventualnih grešaka pri kodovanju informacija.

Kod svih binarno kodovanih decimalnih sistema decimalni brojevi se predstavljaju binarnim tako da se pojedinačno svaka cifra decimalnog broja zamenjuje određenom grupom binarnih cifara. Binarne cifre u ovim grupama raspoređene su prema nekoj utvrđenoj šifri, odnosno kodu, koji obično ima — ali može i da nema — težinski karakter. Zahvaljujući ovakvoj vezi između decimalnih i binarnih brojeva, *BCD* sistemi omogućavaju jednostavnu međusobnu konverziju, odnosno kodovanje i dekodovanje brojeva. Pri tome se postupak prevođenja decimalnih brojeva u binarno kodovane decimalne brojeve naziva kodovanje ili još enkodovanje. Obrnuti postupak, tj. vraćanje *BCD* brojeva u decimalne naziva se dekodovanje.

2.3.1. BCD kodovi sa tetradama

Pošto u decimalnom sistemu postoji ukupno deset cifara, to je za njihovo predstavljanje u *BCD* obliku potrebno raspolagati sa deset različitih binarnih grupa. Prema tome, svaka takva grupa mora sadržati najmanje četiri binarne cifre ili bita, jer se sa manjim brojem cifara ne može dobiti potreban broj različitih kombinacija. S druge strane sa četiri binarne cifre može se ostvariti ukupno 16 različitih četvorocifrenih grupa, odnosno tetrada. S obzirom da se od postojećih 16 tertada koristi svega deset u jednom *BCD* sistemu, očigledno je da se može formirati ogroman broj kombinacija tih tetrada, a sa time i *BCD* sistema (skoro $30 \cdot 10^9$ kombinacija!). Pa ipak, u praktičnim realizacijama digitalnih uređaja primenjuje se relativno mali broj mogućih kombinacija, za koje se pokazalo da u datim uslovima poseduju i neka određena preimućstva.

U tabeli 2.3 naznačene su odgovarajuće veze između decimalnih cifara i binarnih tetrada nekih poznatijih *BCD*-sistema. Nazivi ovih sistema obično se odnose na primenjeni kod binarnih tetrada ili na neku drugu karakterističnu osobinu sistema.

Decimalni broj	Binarni broj	*BCD* — sistemi			
		8421	4221	2421	„više 3"
0	0000	0000	0000	0000	0011
1	0001	0001	0001	0001	0100
2	0010	0010	0010	0010	0101
3	0011	0011	0011	0011	0110
4	0100	0100	1000	0100	0111
5	0101	0101	0111	1011	1000
6	0110	0110	1100	1100	1001
7	0111	0111	1101	1101	1010
8	1000	1000	1110	1110	1011
9	1001	1001	1111	1111	1100
10	1010				
11	1011				
12	1100				
13	1101				
14	1110				
15	1111				

Tabela 2.3. Veze između decimalnog i nekih *BCD* sistema

2.3.2 Kôd BCD 8421

Binarno-kodovani decimalni sistem *BCD* 8421 odlikuje se time, što se njegove tetrade u potpunosti podudaraju sa prirodnim binarnim brojevima. Otuda se decimalni ekvivalent binarnih tetrada može naći pomoću ranije date formule (2.1). Prema tome ovaj kod ima težinski karakter, što znači da se vrednost svake binarne tetrade može odrediti poznavanjem njenih cifara i njihovih pozicionih vrednosti.

Osim koda 8421 i *BCD* sistemi 4221 i 2421 su takođe težinski, ali sa pozicionim vrednostima koje se razlikuju od onih u prirodnom binarnom sistemu. Zbog toga za njih ne važi ni obrazac (2.1) za iznalaženje brojnih vrednosti. Očigledno je da izmena koda uslovljava i drugačiji izbor i redosled binarnih tetrada. Tako, na primer, može se uočiti da kod 2421 sadrži prvih pet i poslednjih pet tetrada iz prirodnog binarnog sistema. Slično tome kod 4221 ima po četiri tetrade na početku i na kraju, koje su identične sa isto tako prvim i poslednjim grupama u prirodnom binarnom sistemu. Oba ova *BCD*-koda nalaze primenu u elektronskim brojačima.

Već je istaknuto da se *BCD* sistemi odlikuju jednostavnim postupkom pri promeni koda. Da bi se ilustrovala ta jednostavnost, najbolje je poslužiti se konkretnim primerom kodovanja, odnosno dekodovanja nekog broja. Tako, zamenjujući svaku cifru decimalnog broja odgovarajućim binarnim grupama, na primer, koda *BCD* 8421, dobiće se kodovani decimalni broj u sledećem obliku:

$$593_{10} = 0101\ 1001\ 0011_{BCD}.$$

S druge strane, zamenjujući binarne tetrade odgovarajućim decimalnim ciframa vrši se dekodovanje broja:

$$1001\ 0101\ 1000\ 0010 = 9582.$$

Budući da se kod *BCD* 8421 podudara sa prirodnim binarnim kodom, to se on u digitalnim uređajima koristi znatno više od drugih *BCD*-kodova. Otuda se često ovaj kod označava samo sa *BCD* i naziva se prirodni *BCD*-kod. Pa ipak, treba napomenuti da kod 8421, i pored toga što se u praktičnim realizacijama najviše primenjuje, ima i svojih nedostataka. Tako se, na primer, na brojeve izražene u sistemu *BCD* 8421 ne mogu uvek da primene pravila binarnog sabiranja. Ovakav slučaj može da nastane kada je zbir decimalnih cifara u jednoj koloni iste pozicione vrednosti veći od devet, jer bi se tada u rezultatu pojavila tetrada, koja nije obuhvaćena kodom *BCD* 8421. To znači, da se i ovde mora predvideti „prenos jedinice" iz niže u višu binarnu grupu ukoliko je dobijeni zbir u nižoj grupi veći od binarnog broja 1001.

Navedeni nedostatak prirodnog *BCD*-koda biće ilustrovan sledećim primerima. Zbir decimalnih brojeva $28 + 31 = 59$ može se prikazati u sistemu *BCD* 8421 kao

$$\begin{array}{r} 0\,0\,1\,0 \;\; 1\,0\,0\,0 \\ +\,0\,0\,1\,1 \;\; 0\,0\,0\,1 \\ \hline 0\,1\,0\,1 \;\; 1\,0\,0\,1 \end{array},$$

što je sasvim u redu prema pravilima binarnog sabiranja. Međutim, za zbir decimalnih brojeva $28 + 32 = 60$ binarnim sabiranjem u ovom kodu se nalazi:

$$\begin{array}{r} 0\,0\,1\,0 \;\; 1\,0\,0\,0 \\ +\,0\,0\,1\,1 \;\; 0\,0\,1\,0 \\ \hline 0\,1\,0\,1 \;\; 1\,0\,1\,0 \end{array}.$$

Očigledno je da dobijeni broj u zbiru ne postoji u prirodnom *BCD*-kodu, jer ovaj ne sadrži binarnu grupu 1010, koja inače odgovara decimalnom broju deset. To znači da u zbiru tetrade nižeg razreda treba upisati samo kodovanu nulu, a jedinica se mora preneti u sledeću višu binarnu grupu. Prema tome, konačni rezultat zbira se dobija tek iz drugog postupka, kako je to pokazano na istom primeru:

$$\begin{array}{r} 0\,0\,1\,0 \;\; 1\,0\,0\,0 \\ +\,0\,0\,1\,1 \;\; 0\,0\,1\,0 \\ \hline 0\,1\,0\,1 \;\; 1\,0\,1\,0 \longrightarrow \\ 0\,1\,1\,0 \;\; 0\,0\,0\,0 \longleftarrow \end{array}$$

Prenošenje „jedinice" u višu binarnu grupu može se izvesti dodavanjem broja šest u binarnom obliku zbiru *BCD*-grupe, koji je veći od devet. Time se u stvari vrši preskakanje šest četvorocifrenih kombinacija prirodnog binarnog sistema, koje ne pripadaju kodu *BCD* 8421. Drugim rečima, ako je dobijeni zbir tetrade veći od devet, binarnim sabiranjem tog zbira i broja šest sigurno se dobija rezultat, koji predstavlja jednu od binarnih kombinacija prirodnog *BCD*-sistema. Prema tome, konačni postupak sabiranja decimalnih brojeva 28 i 32 u sistemu *BCD* 8421 biće:

$$\begin{array}{r} 0\,0\,1\,0 \;\; 1\,0\,0\,0 \\ +\,0\,0\,1\,1 \;\; 0\,0\,1\,0 \\ \hline 0\,1\,0\,1 \;\; 1\,0\,1\,0 \\ +0\,1\,1\,0 \\ \hline 0\,1\,1\,0 \;\; 0\,0\,0\,0 \end{array} \quad \text{— dodat broj 6}$$

Iz datog primera vidi se, dakle, da sabiranje brojeva u prirodnom *BCD* sistemu zahteva, osim neposrednog binarnog sabiranja i druge računske operacije, što, naravno, ima za posledicu veću složenost elektronskih kola u digitalnom uređaju.

2.3.3. Kôd BCD „više 3"

Da bi se izbegle teškoće binarnog sabiranja u prirodnom *BCD*-kodu razvijen je i kod „više 3". Ovaj kod se dobija na taj način što se svakoj cifri decimalnog broja prvo dodaje brojna vrednost 3, pa se tako dobijene „uvećane cifre" pojedinačno koduju odgovarajućim četvorocifrenim grupama prirodnog binarnog sistema. Imajući u vidu način formiranja ovog koda, treba naglasiti da svaka njegova tetrada mora da sadrži bar jednu binarnu jedinicu. Kako se i ovde radi u suštini o decimalnom brojnom sistemu, čije se cifre izražavaju određenim binarnim kodom, to i kod „više 3" mora da ima deset različitih binarnih tetrada.

Tetrade koda „više 3" navedene su u tabeli 2.3. Pomoću ove tabele može se svaki decimalni broj lako kodovati u sistem „više 3". Međutim postupak kodovanja se može izvesti i posrednim putem poznavajući samo brojeve prirodnog binarnog sistema. Tako, na primer, decimalni brojevi 30 i 39 izraženi u kodu „više 3" biće:

$$
\begin{array}{lrrl}
3\,0 \rightarrow & 3 & 0 & \\
 & +3 & +3 & \\
\hline
 & 6 & 3 & \rightarrow 0\,1\,1\,0\;\;0\,0\,1\,1\,,
\end{array}
$$

odnosno

$$
\begin{array}{lrrl}
3\,9 \rightarrow & 3 & 9 & \\
 & +3 & +3 & \\
\hline
 & 6 & 12 & \rightarrow 0\,1\,1\,0\;\;1\,1\,0\,0.
\end{array}
$$

Dekodovanje decimalnog broja, datog u sistemu „više 3" izvodi se takođe direktno — pomoću tabele, ili posrednim putem. U ovom slučaju se prvo dekoduju odgovarajuće binarne tetrade, pa se zatim tako dobijene „uvećane decimalne cifre" umanjuju za vrednost 3. Prema tome, postupak dekodovanja brojeva iz prethodnog primera bio bi sledeći:

$$
\begin{array}{lrr}
0\,1\,1\,0\;\;0\,0\,1\,1 \rightarrow & 6 & 3 \\
 & -3 & -3 \\
\hline
 & 3 & 0
\end{array}
$$

odnosno

$$
\begin{array}{lrr}
0\,1\,1\,0\;\;1\,1\,0\,0 \rightarrow & 6 & 12 \\
 & -3 & -3 \\
\hline
 & 3 & 9.
\end{array}
$$

Tabela veza između decimalnih brojeva i njihovih kodovanih tetrada u sistemu „više 3" pokazuje da ovaj kod obuhvata sve binarne brojeve od 3 do zaključno 12. Međutim, treba naglasiti da kod „više 3" — za razliku od ranijih, nema težinski karakter. To znači da binarne cifre u tetradama koda nemaju određenu pozicionu vrednost vezanu za mesto na kome se nalaze. Otuda se dekodovanje tetrada mora da obavlja bilo direktno pomoću tabele odgovarajućih veza ili posrednim putem, kako

je to već pokazano. Napomenimo još jedanput da se pri posrednom dekodovanju prvo dobijaju uvećane decimalne cifre, od kojih onda treba oduzeti broj 3 da bi se dobile stvarne decimalne cifre.

Pri sabiranju brojeva u sistemu „više 3“ primenjuju se unekoliko izmenjeni postupci za slučajeve kada je zbir decimalnih cifara manji ili veći od devet. Treba skrenuti pažnju na to, da će zbir dva broja u kodu „više 3“ biti izražen u kodu „više 6“. Prema tome, da bi nađeni zbir bio takođe u kodu „više 3“, od prvobitno dobijenog rezultata treba oduzeti binarni broj vrednosti 3. Na primer, za zbir decimalnih brojeva 5 i 3 dobija se:

$$
\begin{array}{rcrl}
5 & \rightarrow & 1\,0\,0\,0 & (5+3) \\
+3 & \rightarrow & +\,0\,1\,1\,0 & (3+3) \\
\hline
8 & & 1\,1\,1\,0 & (8+6) \\
 & & -\,0\,0\,1\,1 & (\;-3) \\
\hline
 & \rightarrow & 1\,0\,1\,1 & (8+3)
\end{array}
$$

Ovakav postupak sabiranja odnosi se samo na sabirke, čiji zbir ne prelazi vrednost decimalnog broja 9. Međutim, kada je traženi zbir veći od devet, tada se pojavljuje i jedinica za prenos u tetradu višeg reda. Operacija sabiranja u ovom slučaju izvodi se dosledno prema pravilima binarne aritmetike tako da se i dobijeni rezultat pojavljuje u prirodnom binarnom kodu. Zbog toga svakoj tetradi zbira treba naknadno dodati još binarni broj vrednosti 3 da bi konačni rezultat zbira bio izražen u kodu „više 3“. Prema tome, zbir decimalnih brojeva 5 i 7 u sistemu „više 3“ biće:

$$
\begin{array}{rcrrl}
5 & \rightarrow & & 1\,0\,0\,0 & \multirow{2}{*}{\}\text{„više 3“}} \\
+7 & \rightarrow & & 1\,0\,1\,0 & \\
\hline
12 & & 0\,0\,0\,1 & 0\,0\,1\,0 & \multirow{2}{*}{\}\text{binarni}} \\
 & & +\,0\,0\,1\,1 & 0\,0\,1\,1 & \\
\hline
 & \rightarrow & 0\,1\,0\,0 & 0\,1\,0\,1 & \text{„više 3“}
\end{array}
$$

Razumljivo je da kod višecifrenih decimalnih sabiraka mogu nastati oba prethodna slučaja. Pri tome konačni rezultat se dobija uvek tako što se tetradama zbira dodaje ili oduzima binarni broj 3, zavisno od toga da li je dotična tetrada imala ili ne jedinicu za prenos. Ovakav slučaj sabiranja biće ilustrovan sledećim konkretnim primerom:

$$
\begin{array}{rcrrr}
3\,6\,0 & \rightarrow & 0\,1\,1\,0 & 1\,0\,0\,1 & 0\,0\,1\,1 \\
+\,4\,5\,2 & \rightarrow & +\,0\,1\,1\,1 & 1\,0\,0\,0 & 0\,1\,0\,1 \\
\hline
8\,1\,2 & & 1\,1\,1\,0 & 0\,0\,0\,1 & 1\,0\,0\,0 \\
 & & -\,0\,0\,1\,1 & +\,0\,0\,1\,1 & -\,0\,0\,1\,1 \\
\hline
 & \rightarrow & |1\,0\,1\,1 & 0\,1\,0\,0 & 0\,1\,0\,1.
\end{array}
$$

Iz napred pokazanih postupaka dakle, vidi se da se pravila binarnog sabiranja mogu da primenjuju na brojeve u sistemu „više 3“, što unekoliko predstavlja olakšanje tehničke realizacije kola za izvođenje aritmetičkih operacija.

Binarno-kodovani decimalni sistem „više 3“ poseduje još jednu interesantnu osobinu, poznatu pod imenom samokomplementarnost. Ova osobina sastoji se u tome, da je komplement jedinice bilo koje binarne tetrade ovog koda, ekvivalentan

komplementu devetke decimalnog broja, koji je kodovan tom tetradom. Na primer, decimalnom broju 28 odgovara kodovan broj 0101 1011. Komplement jedinice ovog broja je 1010 0100, kome, pak, odgovara dekodovan decimalni broj 71. Ovaj broj je, međutim, komplement od devet broja 28, jer je 99 — 28 = 71.

BCD kodovi, koji poseduju osobinu samokomplementarnosti, imaju prednosti nad drugim kodovima u pogledu operacije oduzimanja, koja se izvodi pomoću komplemenata jedinice ili dvojke. Međutim, samokomplementarnost je zastupljena kod malog broja kodova u koje — napomenimo — spadaju još i *BCD* kodovi 2421 i 4221.

2.3.4. Kontrola kodovanja

Pri kodovanju brojeva videli smo da svaka decimalna cifra iziskuje grupu od najmanje četiri binarne cifre. Kako svaka binarna cifra predstavlja količinu informacija od jednog bita, to se mora obratiti posebna pažnja na tačnost kodovanja podataka. Radi toga se predviđa specijalna kontrola kodnih grupa u digitalnim sistemima. U vezi s tim polazi se od postavke da postoji mala verovatnoća pogrešnog kodovanja uopšte, a ako se to i dogodi, najverovatnije je da će biti pogrešan samo jedan znak u binarnoj grupi. To znači da se mogućnost postojanja istovremene greške na više binarnih cifara praktično isključuje.

U vezi prethodnog rezonovanja, jednostavan način otkrivanja greške u kodnoj grupi postiže se, ako se grupa proširi još za jedno mesto u koje će se unositi kontrolni bit. Kontrola kodovanja izvodi se na taj način, što se podešava da ukupan broj bita istog znaka — 0 ili 1 — u tako proširenoj kodnoj grupi bude paran ili neparan. Ako se radi o kontroli parnosti jedinica, na primer u sistemu *BCD* 8421, onda svaka binarna tetrada zajedno sa predviđenim mestom za kontrolni bit mora imati paran broj jedinica. U slučaju da kodna grupa već sadrži paran broj jedinica, kontrolni bit biće nula, a ako sadrži neparan broj jedinica u kontrolnom razredu pojaviće se jedinica. Prema tome, kontrolisane kodne tetrade postaju petocifrene kodne grupe, kod kojih se obično najviši razred odnosi na kontrolni bit. Tako, na primer, brojne vrednosti 2 i 3 imaće svoje ekvivalente u kontrolisanom prirodnom *BCD* sistemu u obliku 10010, odnosno 00011. Razumljivo je da ovakva kontrola može biti izvedena i s obzirom na neparnost jedinica, kao i na parnost, odnosno neparnost nula u kodnim grupama.

Pronalaženje grešaka u kodnim grupama pomoću pokazanog načina upisivanja kontrolnog bita primenljivo je — kao što je već istaknuto — samo u slučaju postojanja jedne greške u binarnoj grupi. Međutim, ovakva kontrola je apsolutno neefikasna ako postoje dve istovremene greške. S druge strane, otkrivajući grešku ne dobija se nikakav kriterij o mestu te greške u kodnoj grupi, tako da se ne može preduzeti ni automatsko ispravljanje greške. Zbog svega toga, razvijeni su i drugi složeniji metodi ne samo detektovanja već i korigovanja greške, kod kojih kodne grupe, pored numeričkih bita, sadrže često i po nekoliko kontrolnih bita.

Najzad treba ukazati da se katkad za detektovanje pogrešne kodne grupe mogu da iskoriste i binarne tetrade, koje nisu obuhvaćene dotičnim kodnim sistemom. Tako, na primer, ako se kod tetrade 1001 pogreši samo u jednoj binarnoj cifri, mogu nastati sledeće kombinacije: 0001, 1000, 1011 i 1101. Znajući da poslednje dve kombinacije ne postoje u *BCD*-kodu 8421, ili da prva i poslednja grupa ne pripada kodu „više 3", sama pojava navedenih tetrada u pomenutim kodnim sistemima ukazuje na pogrešno kodovanje.

2.3.5. Specijalni BCD kodovi

Za kodovanje deset decimalnih cifara, kao što je već rečeno, potrebni su kodovi od najmanje četiri bita. Međutim, pored ovih postoje i složeniji sistemi, čije kodne grupe sadrže više od četiri binarne cifre. Ovakvi kodovi obično imaju i svoje specifične odlike, koje se povoljno odražavaju na realizaciju izvesnih elektronskih kola u digitalnim uređajima. U tabeli 2.4. prikazani su neki takvi kodni sistemi.

Decimalne cifre	*BCD*—kodovi			
	2 od 5	pomerački	bikvinarni	kružni
0	00011	00000	01 00001	00000 00001
1	00101	00001	01 00010	00000 00010
2	00110	00011	01 00100	00000 00100
3	01001	00111	01 01000	00000 01000
4	01010	01111	01 10000	00000 10000
5	01100	11111	10 00001	00001 00000
6	10001	11110	10 00010	00010 00000
7	10010	11100	10 00100	00100 00000
8	10100	11000	10 01000	01000 00000
9	11000	10000	10 10000	10000 00000

Tabela 2.4. Veze između decimalnih cifara i nekih specijalnih *BCD* kodova

Naziv koda „2 od 5" potiče otuda što u svakoj kodnoj grupi od pet binarnih cifara postoje dve jedinice. Prema tome, on već poseduje kontrolu parnosti jedinica, pa je detekcija greške na ranije pokazani način samim kodom već ostvarena. Kod „2 od 5" primenjuje se često u telefoniji i komunikacijama uopšte. Napomenimo da on spada u sisteme koji nemaju određene pozicione vrednosti cifara.

Pomerački kod formiraju specijalni elektronski brojači kružnog tipa. Dobra strana ovog koda je što se lako može da dekoduje. Inače ni ovaj kodni sistem nema težinski karakter.

U bikvinarnom kodu treba uočiti da se dva puta ponavljaju petocifrene kodne grupe, koje same za sebe mogu biti ekvivalenti za pet decimalnih cifara. Preostala dva bita ovog sistema proširuju mogućnost kodovanja na svih deset decimalnih cifara, a istovremeno obezbeđuju i kontrolu parnosti jedinica. Bikvinarni *BCD*-sistem ima određene pozicione vrednosti cifara, date kodom 50 43210 i nalazi primenu uglavnom kod elektronskih brojača.

Kružni kod je nazvan po tome što se može formirati pomoću klasičnog tipa elektronskih kružnih brojača. Ovaj kod poseduje kontrolu neparnosti jedinica, tačnije rečeno on ima samo po jednu binarnu jedinicu u svakoj kodnoj grupi. Zbog toga se kružni kod odlikuje jednostavnošću detektovanja greške kao i dekodovanja brojne vrednosti. S druge strane, međutim, praktična realizacija ovog koda u digitalnim sistemima je složenija od kodova sa manjim brojem bita. Na kraju, napomenimo, da je kružni kod težinskog karaktera sa kodom 98765 43210.

Iz dosadašnjeg izlaganja vidi se da postoje kodni sistemi sa četiri i više bita. Povećanjem broja bita uglavnom se povećava pouzdanost detektovanja grešaka, ali i složenost digitalnog uređaja uopšte. Stoga se kodni sistemi, koji poseduju sopstvenu kontrolu i eventualno automatsku korekciju greške, susreću pretežno u sistemima za prenos informacija.

2.4. GREJOV KOD

Grejov kod nalazi veću primenu u perifernim jedinicama digitalnih uređaja, naročito pri analogno-digitalnoj konverziji neelektričnih veličina. Pri korišćenju ovog koda u principu može da nastane manja vrednost greške pri eventualnom netačnom registrovanju jednog bita u kodnoj grupi, nego što je to slučaj sa drugim kodnim sistemima. To dolazi otuda što se bilo koje dve susedne grupe ovog koda razlikuju jedna od druge samo za po jednu binarnu cifru. U vezi s tim pri prelazu sa jednog na drugi broj u Grejovom kodu može nastati promena samo jedne cifre, a ne, recimo, sve četiri kao što je to slučaj kod prirodnog *BCD* sistema pri prelazu sa cifre 7 na 8 (0111 1000).

Grejov kod se može da izvede iz prirodnog binarnog sistema postupnim ispisivanjem cifara i to idući s leva na desno. Prva cifra, tj. bit najviše pozicione vrednosti Grejovog koda je isti kao i u binarnom sistemu. Sledeće cifre Grejovog koda dobijaju se kao zbirovi susednih binarnih cifara polazeći od bita najveće vrednosti. Pri sabiranju susednih cifara izostavljaju se eventualne jedinice za prenos. Opisana konverzija binarnog broja u Grejov kod biće pokazana na brojnim vrednostima 3 i 13:

0 0 1 1 — binarni broj 3
↓ ↓ ↓ ↓
0 0 1 0 — Grejov broj 3

odnosno

1 1 0 1 — binarni broj 13
↓ ↓ ↓ ↓
1 0 1 1 — Grejov broj 13.

U tabeli 2.5 dato je nekoliko uporednih brojeva u decimalnom, binarnom i Grejovom sistemu.

Decimalni sistem	Binarni sistem	Grejov kod
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110

Tabela 2.5. Uporedni brojevi u decimalnom, binarnom i Grejovom kodu

Konverzija brojeva iz Grejovog sistema u binarni je slična prethodnoj Očigledno je da će prva cifra, odnosno bit najveće pozicione vrednosti u binarnom sistemu biti ista kao i u Grejovom kodu. Ostale binarne cifre dobijaju se postupnim sabiranjem prethodno dobijene prve Grejove cifre i sledeće, tj. druge cifre iz binarnog broja, zatim druge Grejove i treće binarne i tako dalje. I u ovom slučaju prenosne jedinice se jednostavno izostavljaju. Radi konkretne ilustracije opisanog postupka uzećemo i ovde prethodne primere, koji se odnose na decimalne brojeve 3 i 13

0 0 1 0   1 0 1 1 — brojevi u Grejovom kodu
↓ ↗ ↓ ↗ ↓ ↗ ↓ odnosno ↓ ↗ ↓ ↗ ↓ ↗ ↓
0 0 1 1   1 1 0 1 — brojevi u binarnom kodu.

Na kraju, naglasimo da cifre Grejovog koda nemaju određene pozicione vrednosti, što znači da ovaj kodni sistem nema težinski karakter

LITERATURA

1. *Blitzer R.*: Basic Pulse Circuts, McGraw-Hill, New York ,1967, gl. 7
2. *Turner J. F.*: Digital Computer Analysis, Ch. E. Merrill Publ. Comp., Columbus, Ohio, 1968, gl. 2
3. *Malvino, A. P. Leach D. P.*: Digital Principles and Applications, McGraw-Hill, New York, 1969, gl. 2 i 3
4. *Knüpfer A.*: Technik digitaler Rechenanlagen, VEB Verlag Technik, Berlin, 1969, gl. 2
5. *Kinter P. M.*: Electronic Digital Techniques, McGraw-Hill, New York, 1968, gl. 3

GLAVA 3

BULOVA ALGEBRA I LOGIČKE MREŽE

Uobičajeno je da se pod pojmom „algebra“ podrazumeva deo matematike u kome se obrađuju algebarske funkcije. Kao što je poznato ove funkcije se izražavaju pomoću algebarskih operacija sabiranja, oduzimanja, množenja, delenja i stepenovanja racionalnim izložiocem. Ovakva algebra u inženjerskim problemima koristi celokupno brojno područje uključujući tu kompleksne i transcedentne brojeve. No, pored toga, mnogi problemi digitalne elektronike jednostavnije se rešavaju primenom stavova jedne druge, specifične algebre, koja je naročito podesna za proučavanje prekidačkih kola. Zbog toga je ova algebra i nazvana prekidačka ili još češće Bulova, što potiče od imena njenog autora.

Još u doba grčkih filozofa mnogi stavovi logičkog mišljenja izražavani su rečima „tačno“ i „pogrešno“. U vezi s tim i matematičari su od davnina nastojali da u oblast algebre uvedu i zakone ovakve logike. Najzad, engleski matematičar Bul (George Boole) je u jednom svom radu, objavljenom 1854. godine, izložio metodu za simbolično izražavanje pomenutih logičkih stavova [1]. U tom radu Bul je pokazao da se izvesni načini mišljenja i rasuđivanja mogu predstaviti logičkim jezikom pomoću specijalnih simbola za manipulisanje.

Sve do nedavno Bulova algebra je bila od interesa samo u domenu čiste matematike. Međutim, 1938. godine Šanon (Claude Shannon) je pokazao da se Bulova algebra može uspešno da primeni u analizi kola sa releima, kao i prekidačkih kola uopšte[2]. Od tada je ova nova algebra dobila veliki značaj najpre u telefoniji, a zatim i u savremenim digitalnim sistemima za obradu informacija.

Svrha korišćenja Bulove algebre u tehnici prekidačkih kola je višestruka. Prvo, pomoću nje se složeni problemi mogu da predstave u obliku matematičkih jednačina, što olakšava formiranje odgovarajuće mreže elementarnih logičkih kola. Drugo, zahvaljujući primeni Bulove algebre, složene matematičke funkcije mogu se često svesti na mnogo jednostavnije oblike, što je od posebnog interesa za tehničku realizaciju mreže. Ukratko rečeno, Bulova algebra omogućava sažeto izražavanje funkcija prekidačkih mreža kao i bitnih osobina prekidačkih kola u tim mrežama.

Pošto će u ovoj knjizi biti reči uglavnom samo o primenjenim komponentama u digitalnim uređajima, to i nema potrebe da se upuštamo u rigorozno prikazivanje kompletne Bulove algebre. Međutim, budući da primena ove algebre u analizi i sintezi prekidačkih kola ima i svojih specifičnosti, to će biti korisno da se ovde u sažetom obliku izlože samo neki karakteristični stavovi Bulove algebre, koji će olakšati praćenje daljeg izlaganja.

3.1. ELEMENTARNE BULOVE OPERACIJE

Za razliku od klasične algebre, promenljiva veličina u Bulovoj algebri može da ima samo dve vrednosti. Zbog toga je ova algebra u principu pogodna za analizu prekidačkih kola, koja — kao što je poznato — mogu posedovati jedno od obično dva moguća stanja. Za izražavanje nezavisno promenljivih veličina u Bulovoj algebri, mogu da se koriste bilo kakvi simboli — najčešće slova latinske azbuke. S obzirom da se u prekidačkoj tehnici, kao što smo već ukazali, najviše primenjuje binarni brojni sistem, to se dve vrednosti Bulove promenljive najčešće obeležavaju istim simbolima kao i cifre u binarnom brojnom sistemu. Prema tome, Bulove promenljive biće predstavljene pomoću slova, a njihove vrednosti obično pomoću cifara 0 i 1. Treba istaći da su po definiciji vrednosti Bulove promenljive isključive. To znači, ako promenljiva nema vrednost 1, ona mora imati vrednost 0 i obratno, naime ako je

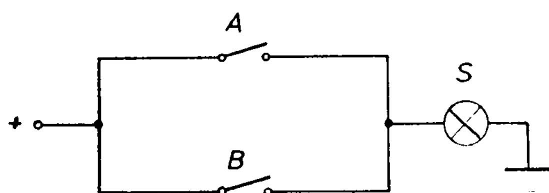
$$A \neq 1 \text{ mora da bude } A = 0,$$

li ako je $$A \neq 0 \text{ mora da bude } A = 1.$$

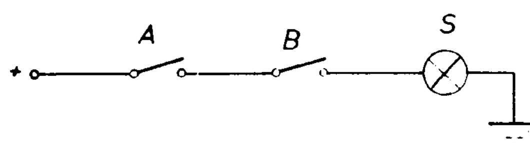
Razume se da ova isključivost vrednosti važi za sve promenljive veličine u jednoj složenoj Bulovoj funkciji.

S obzirom da Bulova promenljiva može da ima samo dve diskretne vrednosti, pravila ove algebre se dosta razlikuju od poznatih pravila u klasičnoj algebri. Pre svega treba istaći da se Bulove funkcije definišu pomoću tri osnovne operacije: sabiranja, množenja i komplementiranja. Operacije sabiranja i množenja obeležavaju se istim simbolima kao i u klasičnoj algebri. Operacija komplementiranja, međutim, nema poseban simbol, već se komplementna vrednost obeležava obično crticom iznad simbola promenljive. Tako se, na primer, za $A = 1$ i $B = 0$ može pisati da je $A = \bar{B}$ što se izgovara „A je jednako komplementu B". Isto tako ako je $A = 1$ može se pisati i da je $\bar{A} = 0$.

Iako Bulove operacije sabiranja i množenja podsećaju na odgovarajuće operacije u klasičnoj algebri, interpretacija ovih operacija je sasvim drugačija. To potiče otuda što se Bulovoj promenljivoj veličini može pripisati samo jedna od dve moguće vrednosti, odnosno što vrednost promenljive treba posmatrati kao jedno određeno stanje posmatranog objekta. Tako, na primer, logički zbir $A + B$ ne interpretira se kao „A plus B" već kao „A ili B". Vidimo, dakle, da se znak „+" u logičkom sabi-



Sl. 3.1. Ilustracija logičke *ILI* operacije



Sl. 3.2. Ilustracija logičke I operacije

ranju izgovara „ili", te se stoga logičko sabiranje označava i kao ILI-operacija. Suštinsko značenje ovakvog sabiranja pokazano je na sl. 3.1. Očigledno je da će sijalica S u datom kolu biti upaljena kada se zatvori jedan od prekidača A ili B. Prema tome, ako se za upaljeno stanje sijalice usvoji Bulova vrednost 1, onda značenje zbira $A + B = 1$ je dovoljno jasno ilustrovano.

Interpretacija logičkog množenja takođe je drugačija od klasične algebarske operacije. Tako se, na primer, logički proizvod $A \cdot B$ ne izražava kao „A puta B" već

kao „A i B". Vidimo, dakle, da se znak „ · " ovde izgovara „ i ", pa se zbog toga logičko množenje naziva još I-operacija. Značenje ovakve operacije ilustrovano je pomoću kola na sl. 3.2. Očigledno je da će u ovom slučaju sijalica S biti upaljena samo kada su zatvoreni prekidači i A i B. Stoga se ovakvo stanje u kolu i izražava logičkim proizvodom $A \cdot B = 1$.

Operacija komplementiranja predstavlja u stvari negaciju vrednosti ili stanja izraženog datom promenljivom. Zbog toga se komplementiranje naziva i NE-operacija. Tako se, na primer, za logičku funciju $A \cdot \overline{B}$ kaže „A i komplement B" ili „A i ne B".

3.2. OSNOVNI STAVOVI BULOVE ALGEBRE

Osnovni stavovi Bulove algebre mogu da se odaberu i usvoje sa različitih aspekata. Ne upuštajući se u definicije i dokazivanja, ovde će biti uglavnom navedeni i prokomentarisani stavovi, koji se najviše susreću u prekidačkoj tehnici. Radi bolje preglednosti izlaganja ovi stavovi će biti razvrstani na postulate, pravila, zakone i teoreme. Osim toga biće pokazani i neki identiteti, na koje se češće nailazi pri manipulisanju sa Bulovim funkcijama.

3.2.1. Postulati i pravila

Osnovu Bulove algebre sačinjava skup elementarnih stavova, takozvanih postulata. Postulate karakterišu doslednost, nezavisnost i jednostavnost. Doslednost postulata ogleda se u tome, da oni ne smeju biti kontradiktorni bilo gde i kako da se upotrebe. Nezavisnost postulata svodi se u stvari na uslov, da se ni jedan postulat ne može izvesti iz bilo kojih drugih postulata. Jednostavnost postulata karakteriše se time, da se dati postulat ne može da razvije u još jednostavnije oblike.

Pri izlaganju osnovnih stavova Bulove ili prekidačke algebre može da se pođe od različitih skupova, koji se definišu kao postulati. Postulati, usvojeni na bazi elementarnih logičkih operacija, mogu da se napišu u sledećem obliku:

Sabiranje

$$\begin{aligned} 0 + 0 &= 0 \\ 0 + 1 &= 1 \\ 1 + 0 &= 1 \\ 1 + 1 &= 1 \end{aligned} \qquad (3.1)$$

Množenje

$$\begin{aligned} 0 \cdot 0 &= 0 \\ 0 \cdot 1 &= 0 \\ 1 \cdot 0 &= 0 \\ 1 \cdot 1 &= 1 \end{aligned} \qquad (3.2)$$

Komplementiranje

$$\begin{aligned} \overline{0} &= 1 \\ \overline{1} &= 0 \end{aligned} \qquad (3.3)$$

Osim datih postulata navešćemo još neke algebarske relacije, koje u stvari upotpunjavaju tabelu elementarnih izraza za osnovne Bulove operacije. Ove relacije se izvode pomoću gornjih postulata i obično se navode kao pravila, koja mogu korisno

da posluže pri analizi Bulovih funkcija. Prema tome, date postulate upotpunićemo i sledećim pravilima:

Pravila jedinice i nule

$$A + 0 = A \qquad A + 1 = 1 \qquad \text{(a)}$$
$$A \cdot 0 = 0 \qquad A \cdot 1 = A \qquad \text{(b)} \qquad (3.4)$$

Pravila istih vrednosti

$$A + A = A \qquad \text{(a)}$$
$$A \cdot A = A \qquad \text{(b)} \qquad (3.5$$

Pravila komplementarnosti

$$A + \bar{A} = 1 \qquad \text{(a)}$$
$$A \cdot \bar{A} = 0 \qquad \text{(b)} \qquad (3.6)$$

Pravilo dvostruke negacije

$$\bar{\bar{A}} = A \qquad (3.7)$$

Iz gore navedenih izraza vidi se da su neke relacije iste, a neke se razlikuju od odgovarajućih pravila u klasičnoj algebri. Tako, na primer, pravila jedinice i nule (3.4) su identična kao i u konvencionalnoj algebri izuzev izraza $A + 1 = 1$. Ova pravila se, inače, direktno izvode pomoću postulata (3.1) i (3.2), što je takođe, slučaj i sa pravilima istih vrednosti (3.5). Poslednja pravila, međutim, u klasičnoj algebri važe samo za specijalne slučajeve promenljive vrednosti.

Pravila komplementarnosti i dvostruke negacije (3.6) i (3.7) ne postoje u uobičajenoj algebri. U Bulovoj algebri, međutim, komplementarne vrednosti promenljivih uopšte primenjuju se veoma često.

3.2.2. Zakoni i teoreme

Mnogi zakoni uobičajene algebre primenjuju se takođe i u Bulovoj algebri. Pa ipak treba biti obazriv pri korišćenju tih zakona, jer kod nekih postoje izvesne razlike u njihovoj primeni. Kao osnovne Bulove stavove navedimo sledeće zakone:

Zakon komutacije

$$A + B = B + A \qquad \text{(a)}$$
$$A \cdot B = B \cdot A \qquad \text{(b)} \qquad (3.8)$$

Zakon asocijacije

$$A + (B + C) = (A + B) + C \qquad \text{(a)}$$
$$A (B \cdot C) = (A \cdot B)\, C \qquad \text{(b)} \qquad (3.9)$$

Zakon distribucije

$$A (B + C) = A \cdot B + A \cdot C \qquad \text{(a)}$$
$$A + B \cdot C = (A + B)(A + C) \qquad \text{(b)} \qquad (3.10)$$

Zakon absorpcije

$$A + A \cdot B = A \qquad \text{(a)}$$
$$A + \bar{A} \cdot B = A + B \qquad \text{(b)} \qquad (3.11)$$

Dok su zakoni komutacije i asocijacije (3.8) i (3.9) identični sa onima u konvencionalnoj algebri, zakon distribucije (3.10) se proširuje i izvan okvira koji važe u

klasičnoj algebri. Tako, na primer, stav izražen relacijom (3.10 a) poznat je iz uobičajene algebre. Primer (3.10 b), međutim, važi samo za prekidačku algebru. Dokaz ove relacije je prilično dug, ali ćemo ga ipak izvesti da bismo time istovremeno pokazali i primenu nekih ranijih stavova u analizi Bulovih funkcija. Prema tome da bismo dokazali relaciju (3.10 b) izvršićemo sledeće transformacije funkcije na levoj strani znaka jednakosti:

$$
\begin{aligned}
A + BC &= A(C + \bar{C}) + BC && (3.6\text{ a})\\
&= AC + A\bar{C} + BC + AC && (3.10\text{ a}) \text{ i } (3.5\text{ a})\\
&= A + BC + AC && (3.6\text{ a})\\
&= A(B + \bar{B}) + BC + AC && (3.6\text{ a})\\
&= AB + A\bar{B} + BC + AC + AB && (3.10\text{ a}) \text{ i } (3.5\text{ a})\\
&= A + BC + AC + AB && (3.6\text{ a})\\
&= AA + BC + AC + AB && (3.5\text{ a})\\
&= (A + B)(A + C). && (3.10\text{ a})
\end{aligned}
$$

Primetimo ovom prilikom, da se pri manipulisanju sa Bulovim funkcijama neki stavovi, kao na primer (3.5) i (3.6), ne koriste samo za uproščavanje funkcija već često i za njihovo proširivanje.

Relacije, koje karakterišu zakon absorpcije (3.11), dokazuju se takođe ranije datim stavovima Bulove algebre. Tako su:

$$
\begin{aligned}
A + AB &= A(1 + B) && (3.10\text{ a})\\
&= A && (3.4\text{ a})\\
A + \bar{A}B &= A(B + \bar{B}) + \bar{A}B && (3.6\text{ a})\\
&= AB + A\bar{B} + \bar{A}B + AB && (3.5\text{ a})\\
&= A(B + \bar{B}) + B(\bar{A} + A) && (3.10\text{ a})\\
&= A + B. && (3.6\text{ a})
\end{aligned}
$$

Osim navedenih zakona u osnovne stavove Bulove algebre ubrojićemo i neke teoreme, koje omogućavaju raznovrsne transformacije logičkih funkcija. U tom pogledu najpoznatije su De Morganove teoreme:

$$
\left.
\begin{aligned}
\overline{A + B} &= \bar{A} \cdot \bar{B} && (\text{a})\\
\overline{A \cdot B} &= \bar{A} + \bar{B} && (\text{b})
\end{aligned}
\right\} \quad (3.12)
$$

De Morganove (De Morgan) teoreme su veoma značajne pri radu sa složenim Bulovim izrazima. Pomoću ovih teorema, kao i ranije navedenih stavova često se naizgled vrlo komplikovan izraz može dosta da uprosti, što je, naravno, veoma važno za praktičnu realizaciju logike, date dotičnim izrazom. De Morganovi stavovi su posebno korisni u slučajevima kada se javlja potreba formiranja komplementa Bulove funkcije. Pri tome generalno važe teoreme (3.12), koje se sažeto mogu da izraze rečima: komplement zbira jednak je proizvodu komplemenata, odnosno komplement proizvoda jednak je zbiru komplemenata.

Pri formiranju komplementa funkcije, koju sačinjava, na primer, logički zbir većeg broja promenljivih, prva De Morganova teorema se praktično svodi na to, da svuda prava vrednost promenljive postaje komplementna, a komplementna postaje prava. Naravno, da pri tome simbol za logički zbir treba da se zameni simbolom za logički proizvod. Ovo pravilo važi i za slučaj da logički zbir sadrži i članove, koji

predstavljaju logičke proizvode više promenljivih. Ovakvu primenu gornje teoreme pokazaćemo i sledećim primerima:

$$\overline{A + \bar{B} + C} = \bar{A} \cdot B \cdot \bar{C},$$

$$\overline{A\bar{B} + A\bar{B}\bar{C} + C} = \overline{A\bar{B}} \cdot \overline{A\bar{B}\bar{C}} \cdot \bar{C}$$
$$= (\bar{A} + B) \cdot (\bar{A} + BC) \cdot \bar{C}.$$

Napomenimo, da De Morganove teoreme izražavaju i princip dualnosti, koji je u osnovi zastupljen u Bulovoj algebri. Dualnost logičkih funkcija može se naći komplementiranjem obe strane jednakosti date logičkom funkcijom. Tako se primenom De Morganovih teorema može pokazati da se celokupna Bulova algebra svodi na operacije sabiranja i komplementiranja ili na operaciju množenja i komplementiranja. Očigledno je da ova činjenica ima svog odraza i na praktičnu realizaciju digitalnih kola uopšte.

3.2.3. Identiteti

Pored već iznetih relacija, koje izražavaju osnovne stavove Bulove algebre, pri transformaciji složenih logičkih funkcija korisno je poznavati i veći broj identiteta. Identiteti se izvode pomoću pomenutih osnovnih stavova, a njihovo poznavanje olakšava i ubrzava manipulisanje sa Bulovim funkcijama. Iako postoje tabele sa velikim brojem Bulovih identiteta, ovde će biti navedeni samo neki kao što su:

$$A\,(A + B) = A \qquad (3.13)$$
$$A\,(\bar{A} + B) = AB \qquad (3.14)$$
$$AB + A\bar{B} = A \qquad (3.15)$$
$$(A + B)\,(A + \bar{B}) = A \qquad (3.16)$$
$$(A + B)\,(\bar{A} + C) = \bar{A}B + AC \qquad (3.17)$$
$$\overline{(\bar{A} + B)\,(C + B)} = (\bar{A} + B)\,(C + B). \qquad (3.18)$$

Dokaz ovih identiteta izvodi se na sledeći način:

(3.13) $A\,(A + B) = AA + AB$ (3.10 a)
$= A\,(B + \bar{B}) + AB$ (3.5 a) i (3.6 a)
$= A\bar{B} + AB$ (3.5 a)
$= A\,(B + \bar{B})$ (3.10 a)
$= A.$ (3.6 a)

(3.14) $A\,(\bar{A} + B) = A\bar{A} + AB$ (3.10 a)
$= AB$ (3.6 b)

(3.15) $AB + A\bar{B} = A\,(B + \bar{B})$ (3.10 a)
$= A$ (3.6 a)

(3.16) $(A + B)\,(A + \bar{B}) = AA + AB + A\bar{B} + B\bar{B}$ (3.10 a)
$= A + AB + A\bar{B}$ (3.5 b) i (3.6 b)
$= A + A$ (3.6 a)
$= A.$ (3.5 a)

(3.17) $(A+B)(\bar{A}+C) =$

$$
\begin{aligned}
&= A\bar{A} + \bar{A}B + AC + BC && (3.10\text{ a})\\
&= \bar{A}B + AC + BC && (3.6\text{ b})\\
&= \bar{A}B(C+\bar{C}) + AC(B+\bar{B}) + BC(A+\bar{A}) && (3.6\text{ a})\\
&= \bar{A}BC + \bar{A}B\bar{C} + ABC + A\bar{B}C + ABC + \bar{A}BC && (3.10\text{ a})\\
&= \bar{A}BC + \bar{A}B\bar{C} + ABC + A\bar{B}C && (3.5\text{ a})\\
&= \bar{A}B(C+\bar{C}) + AC(B+\bar{B}) && (3.10\text{ a})\\
&= AB + AC. && (3.6\text{ a})
\end{aligned}
$$

(3.18) $\overline{(A+B)(C+\bar{B})} =$

$$
\begin{aligned}
&= \overline{A+B} + \overline{C+\bar{B}} && (3.12\text{ a})\\
&= \bar{A}\bar{B} + \bar{C}B && (3.12\text{ b})\\
&= \bar{A}\bar{B}(C+\bar{C}) + B\bar{C}(A+\bar{A}) && (3.6\text{ a})\\
&= \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + AB\bar{C} + \bar{A}B\bar{C} + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}\bar{C} && (3.5\text{ a})\\
&= \bar{A}\bar{B}(C+\bar{C}) + B\bar{C}(A+\bar{A}) + \bar{A}\bar{C}(B+\bar{B}) && (3.10\text{ a})\\
&= \bar{A}\bar{B} + B\bar{C} + \bar{A}\bar{C} + B\bar{B} && (3.6\text{ a})\text{ i }(3.6\text{ b})\\
&= (\bar{A}+B)(\bar{C}+\bar{B}). && (3.10\text{ a})
\end{aligned}
$$

Zapazimo da se pri izvođenju identiteta (3. 17) i (3.18) primenjuju skoro isti postupci, ali obrnutim redosledom. Ovo je potpuno razumljivo kad se ima u vidu da se pod komplementom u relaciji (3.18) krije oblik logičke funkcije sličan izrazu na desnoj strani identiteta (3.17).

3.3. KOMBINACIONE TABELE U BULOVOJ ALGEBRI

S obzirom da Bulove promenljive mogu da imaju samo dve diskretne vrednosti, to obično i ne predstavlja neku teškoću, da se sve takve vrednosti prikažu i tabelarno. Na ovaj način se formiraju takozvane kombinacione tabele, koje se u prekidačkoj tehnici dosta koriste pri analizi Bulovih funkcija. Ovakve tabele u neku ruku ilustruju složene logičke izraze i vizuelno potvrđuju već izvedene Bulove relacije. Budući da kombinacione tabele predstavljaju jednostavan način konceptiranja problema, to su one veoma pogodne i za sintezu logičkih funkcija.

Kombinacione tabele sadrže pre svega sve vrednosti promenljivih, koje mogu da nastanu u datoj Bulovoj funkciji. Pored toga, one obavezno prikazuju i konačne rezultate analizirane funkcije. Najzad, u kombinacionim tabelama se često navode i parcijalne vrednosti pojedinih Bulovih operacija. Prema tome, broj redova u kombinacionoj tabeli zavisiće od broja Bulovih nezavisno promenljivih veličina, odnosno od broja kombinacija njihovoh vrednosti. Tako, na primer, ako Bulova funkcija sadrži n promenljivih, kombinaciona tabela mora da ima 2^n redova. Broj kolona u tabeli, međutim, nije određen zbog eventualnog prikazivanja i parcijalnih rezultata. U svakom slučaju za n promenljivih broj kolona ne može biti manji od $n+1$.

3.3.1. Primena tabele za analizu funkcija

Kao primer korišćenja kombinacione tabele u analizi Bulovih funkcija uzećemo da pokažemo ispravnost De Morganovih teorema (3.12). Podsetimo se da je prva teorema data relacijom

$$\overline{A+B} = \bar{A}\bar{B}.$$

Dve promenljive A i B mogu da formiraju ukupno četiri kombinacije vrednosti, koje su navedene u tabeli 3.1. Da bi ispisivanje konačnih vrednosti funkcija $\overline{A+B}$ i $\bar{A}\bar{B}$ bilo lakše, u tabelu su uneti i rezultati osnovnih Bulovih operacija: sabiranja i komplementiranja promenljivih A i B. Upoređivanjem vrednosti Bulovih funkcija

A	B	$A+B$	$\overline{A+B}$	$\bar{A}$	$\bar{B}$	$\bar{A}\bar{B}$
0	0	0	1	1	1	1
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	0

Tabela 3. 1. Dokazivanje De Morganove teoreme $\overline{A+B}=\bar{A}\bar{B}$

$\overline{A+B}$ i $\bar{A}\bar{B}$ može se konstatovati da su one potpuno jednake, čime se i dokazuje ispravnost navedene De Morganove teoreme.

Sličan postupak dokazivanja primenićemo i na drugu De Morganovu teoremu (3.12 b), s tim što ćemo još proveriti i to, da li ona važi i za tri Bulove promenljive. Prema tome ispitivana Bulova relacija u ovom slučaju bila bi data izrazom:

$$\overline{ABC} = \bar{A} + \bar{B} + \bar{C}.$$

U ovom slučaju kombinaciona tabela mora da sadrži osam kombinacija vrednosti promenljivih A, B i C, što je pokazano u tabeli 3.2. Pored toga u tabeli su naznačene i vrednosti izvršenih logičkih operacija množenja i komplementiranja promenljivih A, B i C. Identičnost vrednosti funkcija $\overline{ABC}$ i $\bar{A}+\bar{B}+\bar{C}$ dokazuje da De Morganova teorema (3.12 b) važi i za veći broj Bulovih promenljivih. Očigledno je da se ovaj zaključak odnosi i na teoremu (3.12 a).

A	B	C	ABC	$\overline{ABC}$	$\bar{A}$	$\bar{B}$	$\bar{C}$	$\bar{A}+\bar{B}+\bar{C}$
0	0	0	0	1	1	1	1	1
0	0	1	0	1	1	1	0	1
0	1	0	0	1	1	0	1	1
0	1	1	0	1	1	0	0	1
1	0	0	0	1	0	1	1	1
1	0	1	0	1	0	1	0	1
1	1	0	0	1	0	0	1	1
1	1	1	1	0	0	0	0	0

Tabela 3.2. Dokazivanje De Morganove teoreme $\overline{A\,B\,C} = \bar{A}+\bar{B}+\bar{C}$

Pokažimo još jedan primer korišćenja kombinacione tabele ovog puta u cijlu provere identiteta (3.17):

$$(A+B)\,(\bar{A}+C) = \bar{A}B + AC.$$

A	B	C	$\bar{A}$	$A+B$	$\bar{A}+C$	$(A+B)(\bar{A}+C)$	$\bar{A}B$	AC	$\bar{A}B+AC$
0	0	0	1	0	1	0	0	0	0
0	0	1	1	0	1	0	0	0	0
0	1	0	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	0	0	0	0
1	0	1	0	1	1	1	0	1	1
1	1	0	0	1	0	0	0	0	0
1	1	1	0	1	1	1	0	1	1

Tabela 3.3. Dokazivanje identiteta $(A + B)(\bar{A} + C) = \bar{A}B + AC$

Svi potrebni podaci navedeni su u tabeli 3.3, a dobijene konačne vrednosti Bulovih funkcija $(A + B)(\bar{A} + C)$ i $\bar{A}B + AC$ potvrđuju da identitet (3.17) važi za sve moguće kombinacije vrednosti promenljivih veličina A, B i C.

3.3.2. Primena tabele za sintezu funkcija

Kombinacione tabele se koriste ne samo za analizu već i za sintezu Bulovih funkcija. I u ovom slučaju moraju se prikazati sve moguće vrednosti nezavisno promenljivih veličina, odnosno 2^n kombinacija. Pored ispisivanja ovih kombinacija, u tabelu se unose još samo vrednosti funkcije za svaku definisanu kombinaciju promenljivih veličina. Određivanje Bulove funkcije vrši se na taj način što se ispisuju logički zbirovi svih članova funkcije, koji imaju vrednost logičke jedinice. Ovi članovi se izražavaju odgovarajućim logičkim proizvodima nezavisno promenljivih veličina, odnosno kombinacijama vrednosti promenljivih, čiji su logički proizvodi jednaki jedinici.

Kao primer sinteze nađimo Bulovu funkciju $F(A, B)$, koja će za moguće kombinacije nezavisno promenljivih A i B imati vrednosti date u kombinacionoj tabeli 3.4. Bulova funkcija $F(A, B)$ određuje se, kao što je već rečeno, jednostavnim ispisivanjem zbirova logičkih proizvoda za vrednosti $F(A, B) = 1$. Prema tome biće:

A	B	$F(A,B)$
0	0	0
0	1	0
1	0	1
1	1	1

Tabela 3.4. Sinteza funkcije $F(A, B)$

$$F(A, B) = A\bar{B} + AB = A(\bar{B} + B) = A. \qquad (3.19)$$

Često je neposredno dobijena funkcija na osnovu kombinacione tabele dosta složena. Zbog toga treba nastojati da se konačni oblik nađene funkcije što više uprosti. To je učinjeno i sa funkcijom u našem primeru, koja u stvari predstavlja identitet (3.15). Inače, uprošćavanje logičkih funkcija — pored datih osnovnih stavova Bulove algebre — iziskuje često primenu i specijalnih metoda minimizacije funkcija [3,4,9].

Na kraju pokažimo da se funkcija $F(A, B)$ može dobiti i pomoću članova funkcije čije su vrednosti jednake nuli. Pošto se time u stvari određuje komplement funkcije $F(A, B)$ mora se pisati:

$$F(A, B) = \overline{\bar{A}\bar{B} + \bar{A}B} = (A + B)(A + \bar{B}) = A. \qquad (3.19\text{ a})$$

Očigledno je da se do istog rezultata može da dođe i direktno preko komplementa funkcije:

$$\bar{F}(A, B) = \bar{A}\bar{B} + \bar{A}B = \bar{A}(\bar{B} + B) = \bar{A},$$

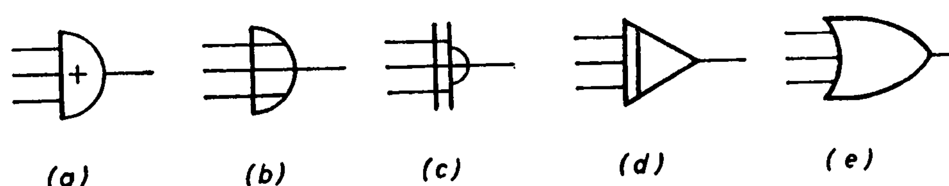
odakle je $F(A, B) = A$. (3.19 a)

Razume se da će se u konkretnoj situaciji sinteza Bulove funkcije pomoću kombinacione tabele izvesti na način, koji daje jednostavnije algebarske izraze. To će često najviše da zavisi od broja nula i jedinica u koloni kombinacione tabele, koja određuje vrednosti tražene Bulove funkcije.

3.4. OSNOVNE LOGIČKE OPERACIJE

Već smo istakli da se u Bulovoj algebri primenjuju tri osnovne logičke operacije: sabiranje, množenje i komplementiranje. Rezultati ovakvih operacija navedeni su kao postulati (3.1), (3.2) i (3.3). Prema tome, logika digitalnih kola za izvođenje osnovnih algebarskih operacija je poznata. Ne upuštajući se ovom prilikom u tehničku realizaciju tih kola, ona se mogu da predstave sasvim uprošćeno pomoću blokova sa oznakom logičke operacije koja se sa njima obavlja. Umesto toga, za osnovne Bulove operacije upotrebljavaju se i naročiti grafički simboli, koji, pored toga što treba da obezbede preglednost često veoma složenih logičkih mreža, moraju biti i jednostavni za ucrtavanje.

Upotrebu grafičkih simbola umesto detaljnih šema elementarnih digitalnih kola nametnula je činjenica, da digitalne mreže obično sadrže veliki broj elementarnih kola, koja i sama mogu da budu dosta složena. Radi lakšeg snalaženja u grafičkim



Sl. 3.3. Grafički simboli za *ILI* kolo

šemama bilo bi poželjno da se svuda koriste unificirani grafički simboli za osnovne digitalne operacije. Nažalost, u tome se još nije postigla saglasnost u vodećoj stručnoj i naučnoj literaturi. Tako se, na primer, za logičko sabiranje, odnosno za logičku ILI-operaciju upotrebljava više raznovrsnih grafičkih simbola, od kojih su neki pokazani na sl. 3.3.

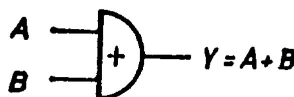
3.4.1. Logičke operacije ILI, I i NE

Bulova operacija sabiranja obavlja se pomoću logičkog ILI kola. U principu ILI kolo ima više ulaza *A*, *B*, *C*, . . . *N*, a samo jedan izlaz — *Y*. Logika ovakvog kola sastoji se u tome, da je postojanje izlaza *Y* uslovljeno postojanjem bilo kog ulaza, tj. *A* ili *B* ili *C* ili . . . *N*. Preciznije rečeno, to znači da će se na izlazu ILI kola uspostaviti stanje logičke jedinice u slučaju da na jednom ili na više ulaza deluju signali, čije vrednosti odgovaraju takođe stanju logičke jedinice. Ovakva — ILI operacija, koja u stvari predstavlja operaciju logičkog sabiranja u Bulovoj algebri, označava se simbolom „+" koji se izgovara „ili".

Na sl. 3.4a pokazan je grafički simbol ILI kola sa dva ulaza na koje se dovode signali predstavljeni Bulovim veličinama A i B. Prema datoj logici za ILI operaciju, Bulova funkcija ovog kola glasi:

$$Y = A + B, \quad („A \text{ ili } B“) \tag{3.20}$$

Ako se u datu funkciju zamene sve moguće vrednosti promenljivih A i B i za njih odrede odgovarajuće vrednosti za Y, dobiće se kombinaciona tabela ILI kola, pokazana na sl. 3.4b. Zapazimo da ova tabela predstavlja ranije dat postulat (3.1).



(a)

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

(b)

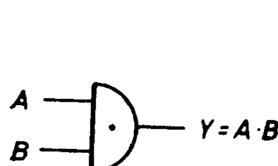
Sl. 3.4. Logičko sabiranje
(a) ILI kolo
(b) kombinaciona tabela

Bulova operacija množenja obavlja se pomoću I kola. Iako ovo kolo obično raspolaže većim brojem ulaza, na sl. 3.5a pokazan je njegov grafički simbol samo sa dva ulaza, što je za principsko razmatranje operacije množenja sasvim dovoljno. Logika ovakvog kola sastoji se u tome, da izlaz Y postoji samo ako istovremeno postoje svi ulazi: A i B i C i . . . N. Drugim rečima, formiranje stanja logičke jedinice na izlazu ovog kola uslovljava koincidentno postojanje logičkih jedinica na svim ulazima. Zbog toga se I kolo naziva još i koincidentno.

I operacija, odnosno operacija logičkog množenja u Bulovoj algebri, označava se simbolom „ · “ koji se izgovara „i“. Prema tome, za dato kolo na sl. 3.5a Bulova funkcija glasi:

$$Y = AB, \quad („A \text{ i } B“). \tag{3.21}$$

Zamenjujući sve moguće vrednosti promenljivih A i B u ovu funkciju, dobija se kombinaciona tabela I kola, data na sl. 3.5b. Primetimo da ova tabela predstavlja ranije dat postulat (3.2).

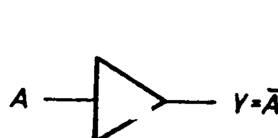


(a)

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(b)

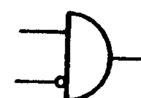
Sl. 3.5. Logičko množenje
(a) I kolo (tačka može da bude izostavljena)
(b) kombinaciona tabela



(a)

A	Y
0	1
1	0

(b)



(c)

Sl. 3.6. Logička negacija
(a) *NE* kolo
(b) kombinaciona tabela
(c) *NE* se predstavlja kružićem u kombinaciji sa drugim kolima

Bulova operacija komplementiranja izvodi se pomoću logičkog NE kola. Na sl. 3.6a pokazan je grafički simbol takvog kola. Za razliku od prethodnih, ovo kolo ima samo jedan ulaz i, naravno, samo jedan izlaz. Logika NE kola sastoji se u tome, da signal na izlazu NE može da bude iste vrednosti kao signal na ulazu. Drugim rečima to znači da će se na izlazu kola uspostaviti stanje logičke jedinice kada je na ulazu signal vrednosti logičke nule i obratno. Zbog toga se operacija komplementiranja naziva još i negacija, a NE kolo — invertor. Logička NE operacija ili negacija, odnosno operacija komplementiranja u Bulovoj algebri, označava se crticom ili zarezom iznad simbola promenljivih veličina. Prema tome, Bulova funkcija NE-kola na sl. 3.6a data je izrazom:

$$Y = \bar{A} \quad \text{ili} \quad Y = A', \tag{3.22}$$

i izgovara se „komplement A“ ili „ne A“. Kombinaciona tabela NE kola je vrlo jednostavna i data je na sl. 3.6b. Zapazimo da ova tabela predstavlja postulat (3.3).

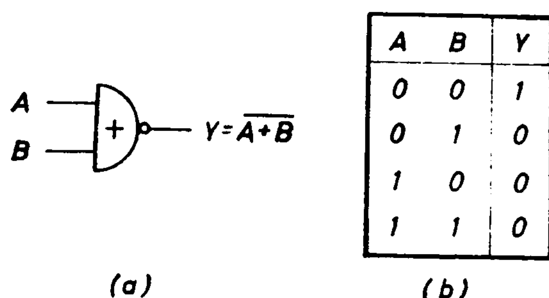
3.4.2. Logičke operacije NILI i NI

Elementarna logička kola ILI, I i NE koriste se za izvođenje Bulovih operacija sabiranja, množenja i komplementiranja, zbog čega se — kao što smo videli — ove operacije nazivaju još i ILI, I i NE operacije. Data kola su sasvim dovoljna za fizičku interpretaciju bilo kakvih funkcija u Bulovoj algebri. No i pored toga, postoje i neka druga — nešto složenija kola, koja poseduju izvesna preimućstva nad elementarnim, prvenstveno u pogledu tehničke realizacije logičkih mreža. U osnovi to i nisu nova kola već samo kombinacije invertora sa elementarnim ILI i I kolima.

Vezivanjem invertora na izlaz elementarnog ILI kola ostvaruje se NILI kolo, sl. 3.7a. Ovo kolo sadrži logičku ILI-NE operaciju, pa se Bulova funkcija kola izražava komplementom funkcije elementarnog ILI kola:

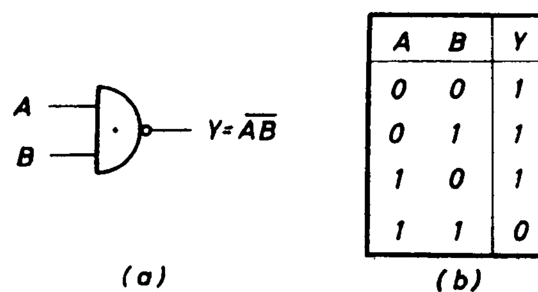
$$Y = \overline{A + B}. \tag{3.23}$$

Ova funkcija pokazuje da u slučaju postojanja signala na bilo kom ulazu kola, uspostavljeno stanje na izlazu neće odgovarati jedinici već nuli. Kombinaciona tabela kola, sl. 3.7b, ukazuje čak na to, da logička jedinica na izlazu kola uslovljava koincidentno prisustvo logičkih nula na svim ulazima. Napomenimo da je ova činjenica potpuno suprotna onoj, koja je konstatovana kod elementarnog I kola.



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Sl. 3.7. Logička *NILI* operacija
(a) *NILI* kolo
(b) kombinaciona tabela



A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Sl. 3.8. Logička *NI* operacija
(a) *NI* kolo
(b) kombinaciona tabela

Dodavanjem invertora na izlaz elementarnog I kola dobija se NI kolo, sl. 3.8a. Logika ovog kola bazira na I — NE operaciji. Zbog toga se ona izražava komplementom Bulove funkcije elementarnog I kola:

$$Y = \overline{AB}. \tag{3.24}$$

Kombinaciona tabele, sl. 3.8b, pokazuje da ovo kolo ima vrednost logičke jedinice u svim slučajevima, izuzev kada pobudni signali deluju istovremeno na svim ulazima kola.

3.4.3. Specijalne logičke operacije

Najzad ukažimo još na neka specijalna logička kola, koja nalaze širu primenu u prekidačkoj tehnici. Ova kola su takođe definisana poznatim elementarnim logičkim operacijama, ali zbog svoje specifične logike kadkad se tretiraju posebno, a nekima

se pripisuju čak i naročite simbolične oznake. Takva kola su: inhibiciono, implikaciono, isključivo ILI i uključivo I kolo.

Inhibiciono kolo je u stvari elementarno I kolo kod koga je jedan ulaz komplementovan, odnosno negiran. U slučaju da je invertor postavljen na ulaz B, sl. 3.9, logika inhibicionog kola se izražava Bulovom funkcijom:

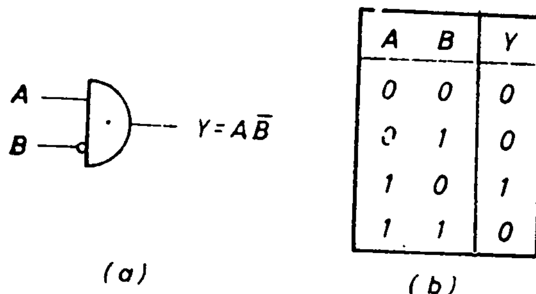
$$Y = A\bar{B}, \tag{3.25}$$

koja se izgovara „A i ne B". Otuda se ovakva logička operacija naziva još „I ne B".

Implikaciono kolo je analogno prethodnom, samo što se ovde radi o elementarnom ILI kolu, kod koga je jedan ulaz negiran U slučaju da je invertor postavljen da ulaz B, sl. 3.10, logika implikacionog kola izražava se Bulovom funkcijom:

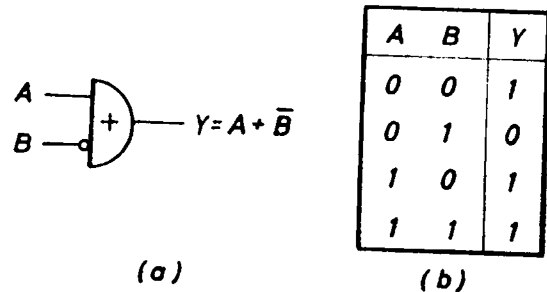
$$Y = A + \bar{B}, \tag{3.26}$$

koja se izgovara „A ili ne B". Zbog toga se ovakva logička operacija naziva još i „ILI ne B".



A	B	Y
0	0	0
0	1	0
1	0	1
1	1	0

Sl. 3.9. Logika „I ne B"
(a) Inhibiciono kolo
(b) kombinaciona tabela



A	B	Y
0	0	1
0	1	0
1	0	1
1	1	1

Sl. 3.10. Logika „ILI ne B"
(a) implikaciono kolo
(b) kombinaciona tabela

Logika elementarnog ILI kola, kao što smo ranije videli, obezbeđuje stanje logičke jedinice na izlazu pri postojanju signala na bilo kom ulazu ili na više ulaza istovremeno. Međutim, logika isključivog, odnosno ekskluzivnog ILI kola uslovljava formiranje stanja logičke jedinice na izlazu pri postojanju pobudnog signala isključivo na jednom od postojećih ulaza. Ovakva logika kola sa dva ulaza A i B, sl. 3.11, može da se izrazi Bulovom funkcijom:

$$Y = \bar{A}B + A\bar{B} = A \oplus B. \tag{3.27}$$

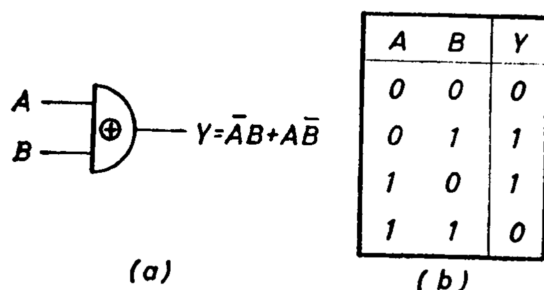
Simbol „$\oplus$" označava Bulovu operaciju „isključivo ILI", te se gornja funkcija izgovara „isključivo A ili B". Vidimo da funkcija (3.27) sadrži sve elementarne logičke operacije I, ILI i NE. U datom slučaju funkcija se može da realizuje pomoću dva inhibiciona i jednog ILI kola. Napomenimo, da se primenom Bulovih stavova gornja funkcija može da svede i na drugačije oblike. To znači da se logika isključivog ILI kola može da ostvari i drugim kombinacijama elementarnih logičkih kola.

Stanje logičke jedinice na izlazu elementarnog I kola obezbeđeno je koincidentnim delovanjem pobudnih signala na svim ulazima. Logika Bulove operacije „uključivo I", međutim, uslovljava formiranje stanja logičke jedinice na izlazu, ne samo pri koincidentnom postojanju, već i pri koincidentnom nepostojanju signala na svim ulazima kola. Drugim rečima izlaz kod ovog kola postoji ako istovremeno postoje svi ulazi ili ako istovremeno ne postoji ni jedan ulaz.

Uključivo, odnosno inkluzivno I kolo, poznato još i kao uključivo koincidentno kolo, predstavljeno je na sl. 3.12. Bulova funkcija kola sa dva ulaza može da se napiše u obliku:

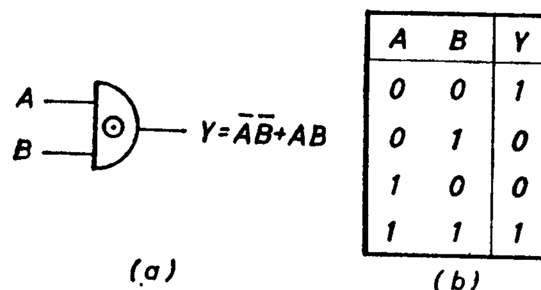
$$Y = \bar{A}\bar{B} + AB = A \odot B. \tag{3.28}$$

Simbol „$\odot$" označava Bulovu operaciju „uključivo I", te se data funkcija izgovara „uključivo A i B". I ova funkcija sadrži sve elementarne logičke operacije. U datom obliku ona može da se ostvari sa dva NE, dva I i jednim ILI kolom. Napomenimo



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Sl. 3.11. Logika „isključivo *ILI*"
(a) isključivo *ILI* kolo
(b) kombinaciona tabela



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

Sl. 3.12. Logika „uključivo *I*"
(a) uključivo I kolo
(b) kombinaciona tabela

i ovde da logika uključivog I kola može biti realizovana i drukčijom kombinacijom osnovnih logičkih kola. Tako, na primer, prvi član u funkciji (3.28) predstavlja u stvari Bulovu NILI operaciju. To znači da se logika „uključivo I" može da izvede i pomoću I, ILI i NILI kola.

3.5. FORMIRANJE LOGIČKE MREŽE

Formiranje logičke mreže sastoji se u tome, da se dati logički problem predstavi pomoću odgovarajuće mreže osnovnih logičkih kola, odnosno njihovih grafičkih simbola. Pri tome Bulova algebra nalazi značajnu primenu ako je formiranje logičke mreže uslovljeno i najpovoljnijim rešenjem. To dolazi otuda što se logička funkcija nekog složenog problema može da ostvari pomoću logičkih mreža često veoma različite složenosti. Bulova algebra je matematičko sredstvo pomoću koga se složena logička funkcija može da predstavi tako, da ostvarena mreža logičkih kola sadrži najmanji broj komponenata.

Da bismo ilustrovali potrebu matematičke obrade logičkog problema, uzećemo u razmatranje Bulovu funkciju datu jednačinom:

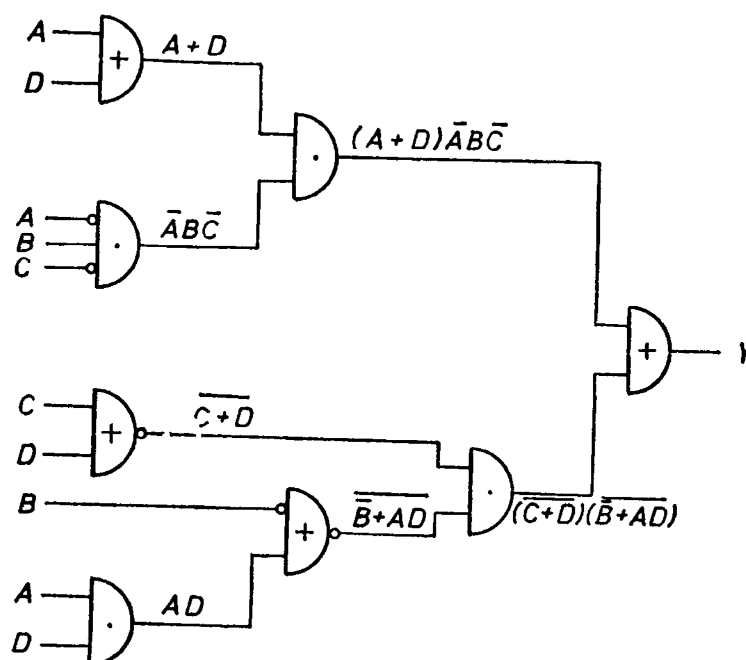
$$Y = (A + D)\,\bar{A}B\bar{C} + (\overline{C + D})\,(\overline{\bar{B} + AD}). \tag{3.29}$$

Ova funkcija sastoji se iz dva dela povezana logičkom operacijom ILI. Svaki deo posebno sadrži članove pravih ili komplementnih vrednosti promenljivih veličina A, B, C i D, nad kojima treba da se izvedu predviđene osnovne logičke operacije. Celokupna funkcija, prema tome, biće predstavljena mrežom osnovnih logičkih kola.

Obrazovanje zadate mreže izvodi se postupno: najpre za jedan pa onda za drugi deo. U prvom delu logički zbir $(A + D)$ i logički proizvod $\bar{A}B\bar{C}$ treba da se povežu I operacijom. Ne računajući negacije, za to će biti potrebno jedno ILI i dva I kola.

Drugi deo funkcije je nešto složeniji. Ovde prvo treba da se formira zbir logičkog proizvoda AD i nezavisno promenljive $\bar{B}$, pa onda komplement dobijenog rezultata i komplement zbira $\overline{C + D}$ da se podvrgnu logičkoj I operaciji. Ne računajući negacije ni u ovom slučaju, drugi deo date logičke funkcije biće transponovan, dakle, u logički dijagram pomoću dva I i dva ILI kola.

Konačna mreža dobija se logičkim sabiranjem rezultata dva izdvojena dela funkcije (3.29). Prema tome, tražena mreža imaće još jedno ILI kolo, čiji izlaz će istovremeno da bude i izlazni priključak celokupne mreže, sl. 3.13. Kao što se sa slike vidi, ova mreža logičkih kola sadrži četiri nivoa, što znači da neke ulazne veličine prolaze kroz niz od četiri redno vezana osnovna logička kola.



Sl. 3.13. Logička mreža za Bulovu funkciju (3.29)

Prethodno šemiranje mreže logičkih kola izvedeno je direktnim preslikavanjem date Bulove funkcije u odgovarajući logički dijagram elementarnih kola. Ovakav postupak rada dovodi do traženog rezultata, ali to još ne znači da se isti rezultat ne bi mogao da dobije i pomoću neke uprošćenije mreže logičkih kola. Zbog toga, pre nego što se pristupi šemiranju logičke mreže, treba ispitati da li se data Bulova funkcija može da minimizira, tj. da se svede na prostoji oblik. Često se u tom pogledu može dosta da postigne i primenom samo osnovnih stavova Bulove algebre.

Prema napred rečenom, dakle, pre formiranja logičkog dijagrama u našem primeru, treba izvršiti uprošćavanje date funkcije ukoliko je to moguće. Bulova funkcija (3.29) može da se transformiše na sledeći način:

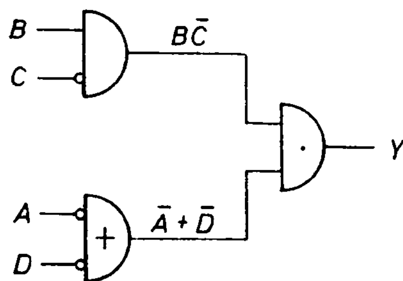
$$(A + D)\bar{A}B\bar{C} + (\overline{C + D})\,(\overline{\bar{B} + AD}) =$$

$$= (A + D)\,\bar{A}B\bar{C} + \bar{C}\bar{D} \cdot B\,(\bar{A} + \bar{D}) \qquad (3.12 \text{ a i b})$$

$$= A\bar{A}B\bar{C} + \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D} + B\bar{C}\bar{D}\bar{D} \qquad (3.10 \text{ a})$$

$$= \bar{A}B\bar{C}\,(D + \bar{D}) + B\bar{C}\bar{D} \qquad (3.6 \text{ b, } 3.10 \text{ a i } 3.5 \text{ b})$$

$$= B\bar{C}\,(\bar{A} + \bar{D}). \qquad (3.6 \text{ a i } 3.10 \text{ a})$$



Sl. 3.14. Logička mreža uprošćene Bulove funkcije (3.29)

Vidimo, dakle, da je dobijena funkcija daleko prostija od prvobitne iako i jedna i druga izražavaju istu logiku. U vezi s tim logička mreža u ovom slučaju sastoji se samo od dva I i jednog ILI kola, sl. 3.14. Naglasimo još da ova mreža ima samo dva nivoa, što predstavlja veliko olakšanje za praktičnu realizaciju.

3.6. SINTEZA BULOVE FUNKCIJE POMOĆU TABELE BINARNIH VREDNOSTI

Ranije je ukazano da je binarni brojni sistem pogodan za korišćenje u digitalnim uređajima s obzirom da se njegove dve cifre mogu lako fizički da predstave pomoću prekidačkih kola. S druge strane nezavisno promenljive u Bulovoj algebri mogu imati takođe samo dve diskretne vrednosti, koje se najčešće obeležavaju binarnim simbolima 0 i 1. Zbog svega toga kad su u pitanju neke osnovne operacije može da nastane zabuna da li se radi o binarnoj ili Bulovoj, ili čak i decimalnoj računskoj operaciji. Greške, koje iz toga mogu da proisteknu, najbolje će da ilustruje sledeći primer operacije sabiranja:

$1 + 1 = 1$ u Bulovoj algebri,

$1 + 1 = 10$ u binarnom sistemu i

$1 + 1 = 2$ u decimalnom sistemu.

Aritmetičke operacije u digitalnim uređajima izvode se obično u binarnom brojnom sistemu. Pošto su primenjena kola u uređaju definisana Bulovim operacijama, to nastaje potreba da se izvrši sinteza Bulovih funkcija, koje će predstavljati odgovarajuće aritmetičke operacije u binarnom sistemu. U cilju iznalaženja potrebnih Bulovih funkcija, moraju se formirati odgovarajuće kombinacione tabele binarnih vrednosti, koje izražavaju pravila dotične aritmetičke operacije. Smatrajući sada da binarne vrednosti predstavljaju istovremeno i vrednosti promenljivih u Bulovoj algebri, može se izvesti sinteza tražene Bulove funkcije na način koji je već pokazan.

A	B	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tabela 3.5. Binarno sabiranje brojeva A i B

Iznalaženje Bulove funkcije na osnovu datih binarnih vrednosti pokazaćemo na primeru operacije sabiranja binarnih cifara. Na osnovu pravila sabiranja u binarnom brojnom sistemu (2.5) sastavljena je tabela 3.5. Ona sadrži sve moguće vrednosti binarnih cifara sabiraka A i B, zatim kolonu za odgovarajuće vrednosti zbira ili sume S, kao i kolonu R za slučaj da se u zbiru javlja i jedinica za prenos, koju treba „zadržati“ odnosno „pamtiti“. U cilju tehničkog izvođenja naznačenih aritmetičkih operacija, treba prvo da se odrede Bulove funkcije za vrednosti u kolonama S i R i onda da se na osnovu nađenih funkcija šemira odgovarajuća logička mreža. Prema tome, smatrajući da su date binarne vrednosti sabiraka A i B istovremeno i vrednosti Bulovih nezavisno promenljivih veličina A i B, tražene Bulove funkcije S i R dobijaju se na način koji je pokazan pri sintezi funkcije na osnovu kombinacione tabele 3.4. Prema

tome, ispisujući zbir logičkih proizvoda čije su vrednosti jednake jedinici, određuju se funkcije za sumu i prenos u sledećem obliku:

$$S = \bar{A}B + A\bar{B}$$

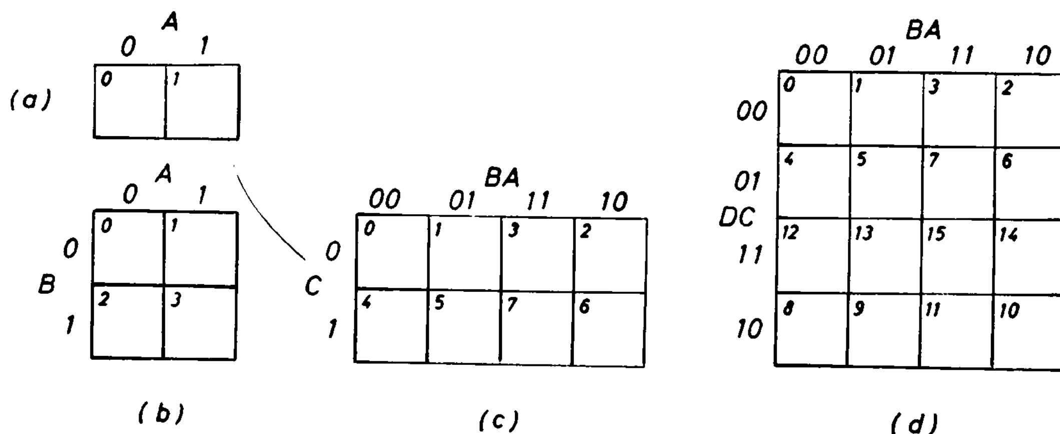
i

$$R = AB. \tag{3.30}$$

Vidimo, dakle, da mrežu za binarno sabiranje određuju dve Bulove funkcije S i R. Dok je funkcija R elementarna i može da se ostvari pomoću samo jednog I kola, funkcija S je složena i njena realizacija iziskuje primenu više elementarnih logičkih kola. Skrenimo pažnju na to, da ova funkcija izražava logiku isključivog ILI kola, jedn. (3.27), za koju smo već rekli da može biti data i drugim oblicima Bulove funkcije. Uopšte gledano, pri sintezi bilo kakve Bulove funkcije na osnovu tabela sa Bulovim ili binarnim vrednostima, treba prvo ispitati mogućnosti njenog uprošćavanja, pa tek onda pristupiti šemiranju odgovarajuće logičke mreže.

3.7. KARNOOVE TABLICE

Već je pokazano da se u cilju uprošćavanja prekidačkih funkcija koriste poznate mogućnosti algebarske transformacije date funkcije. Ovaj način uprošćavanja funkcija je jednostavan ukoliko se radi o malom broju promenljivih, mada uspešno primenjivanje algebarskih transformacija iziskuje dosta veliku umešnost, pored poznavanja većeg broja stavova iz Bulove algebre. No i pored toga pri korišćenju direktne algebarske metode ponekad nismo sasvim sigurni da li je možda moguća i dalja minimizacija date prekidačke funkcije. Zbog toga su razvijene i mnoge druge metode minimizacije (3,4,9), ali o njima ovde neće biti reči. Izuzetno ukazaćemo samo na Karnoovu (Karnaugh) metodu, koja se uspešno može da primeni za minimizaciju većine prekidačkih funkcija o kojima ćemo ovde govoriti.



Sl. 3.15. Karnoove tablice
(a, b, c i d) za jednu, dve, tri i četiri promenljive

Karnoova metoda minimizacije koristi matričnu mrežu kartica ili polja, čiji je broj jednak vrednosti 2^n, gde je n broj nezavisno promenljivih veličina. Prema tome, broj polja u Karnoovim tablicama može da bude 2, 4, 8, 16 itd., sl. 3.15. Svako polje odgovara jednom potpunom logičkom proizvodu nezavisno promenljivih veličina date funkcije. Raspored logičkih proizvoda po poljima tablice izvodi se tako, da se funkcije potpunih proizvoda u susednim poljima razlikuju samo po vrednosti jedne nezavisno promenljive. Pri tome očigledno je da su susedna polja ona koja imaju

zajedničku stranicu, ali isto tako i ona, kod kojih bi se ostvarila zajednička stranica kada bi se sastavile naspramne strane tablice, na primer polja P_3 i P_{11}, odnosno P_4 i P_6 na sl. 3.15 d. Napomenimo da numeracija polja u tablici može da bude i drukčija, na primer kao ona na sl. 3.16.

Način korišćenja Karnoovih tablica za uprošćavanje prekidačkih funkcija pokazaćemo na nekim primerima. Neka je funkcija data zbirom proizvoda

$$f = CBA + D\bar{C}\bar{B} + CB\bar{A}. \tag{3.31}$$

Kako gornja funkcija ima četiri nezavisno promenljive, logički proizvodi nisu potpuni, te se stoga ona zamenjuje proširenom funkcijom

$$\begin{aligned} f &= (D + \bar{D})\, CBA + D\bar{C}\bar{B}(A + \bar{A}) + (D + \bar{D})\, CB\bar{A} \\ &= P_{15} + P_7 + P_9 + P_8 + P_{14} + P_6 \\ &= \Sigma\,(6, 7, 8, 9, 14, 15), \end{aligned}$$

gde su sa P_i obeleženi odgovarajući potpuni logički proizvodi prema binarnom redosledu. Ovi proizvodi uneti su u Karnoovu tablicu na sl. 3.17 tako, što su odgovarajuća polja u tablici obeležena jedinicama, dok bi se prazna polja mogla da označe nulama.

	A	A	A	$\bar{A}$	
$\bar{B}$	0	1	5	4	$\bar{D}$
B	2	3	7	6	$\bar{D}$
B	10	11	15	14	D
$\bar{B}$	8	9	13	12	D
	$\bar{C}$	$\bar{C}$	C	C	

Sl. 3.16. Drugi način obeležavanja Karnoove tablice

DC \ BA	00	01	11	10
00	0	1	3	2
01	4	5	7: 1	6: 1
11	12	13	15: 1	14: 1
10	8: 1	9: 1	11	10

Sl. 3.17. Karnoova tablica za funkciju (3.31)

Iznalaženje minimizirane funkcije vrši se na sledeći način. Prvo se uoče susedna polja sa jedinicama. To su P_8 i P_9, a isto tako P_6, P_2, P_{14} i P_{15}. Što je veći broj susednih polja to je i moguća minimizacija funkcije veća. U vezi s tim definiše se i red zajedničkih površina u tablici: dva susedna polja čine površinu prvog reda (2^1), četiri susedna polja su površina drugog reda (2^2), osam polja određuju površinu trećeg reda (2^3), itd. Uopšte važi pravilo da će broj promenljivih u funkciji koja odgovara zajedničkoj površini biti smanjen za vrednost reda površine. Prema tome, zajednička površina $P_{8,9}$ je prvog reda, te će odgovarajuća zajednička funkcija biti izražena sa tri umesto sa četiri promenljive. Druga zajednička površina, $P_{6,7,14,15}$ je površina drugog reda, što znači da će odgovarajuća funkcija biti izražena pomoću samo dve promenljive.

Konačna vrednost minimizirane funkcije nalazi se jednostavnim ispisivanjem promenljivih veličina koje su identične u svim poljima zajedničke površine. Za funkciju prikazanu na sl. 3.17 to će da bude $D\bar{C}\bar{B}$ za $P_{8,9}$ i CB za $P_{6,7,14,15}$. Prema tome, uprošćeni oblik date prekidačke funkcije (2.31) je

$$f = D\bar{C}\bar{B} + CB. \tag{3.32}$$

S obzirom da je funkcija (3.31) relativno prosta, njen minimizirani oblik se daleko jednostavnije dobija primenom direktne algebarske metode.

Kao drugi primer uzmimo prekidačku funkciju

$$f = \bar{D}C\bar{B}\bar{A} + \bar{D}C\bar{B}A + \bar{D}CB\bar{A} + \bar{D}CBA + D\bar{C}\bar{B}\bar{A} + D\bar{C}B\bar{A} + DCBA \quad (3.33)$$

DC \ BA	00	01	11	10
00	0	1	3	2
01	4: 1	5: 1	7: 1	6: 1
11	12	13	15: 1	14
10	8: 1	9	11	10: 1

Sl. 3.18. Karnoova tablica za funkciju (3.33)

Unoseći logičke proizvode ove funkcije u Karnoovu tablicu na sl. 3.18, obrazuju se zajedničke površine $P_{4,5,6,7}$, $P_{7,15}$ i $P_{8,10}$. U prvoj površini zajedničke promenljive su $\bar{D}C$, u drugoj CBA i u trećoj $D\bar{C}\bar{A}$, pa minimizirana funkcija ima oblik

$$f = \bar{D}C + CBA + D\bar{C}\bar{A}. \quad (3.34)$$

Pri algebarskoj proveri ove funkcije napomenimo da polaznu funkciju (3.33) treba prethodno proširiti sa još jednim članom $\bar{D}CBA$. Dodati član omogućava uprošćavanje poslednjeg logičkog proizvoda u datoj funkciji, a pošto već takav član postoji, vrednost funkcije nije promenjena.

Karnoova tablica za funkcije sa pet promenljivih imaće 32 polja. Tablica, prema tome, postaje dosta glomazna, te pri određivanu zajedničkih površina treba biti dosta obazriv. Napomenimo uz to da u tablicama sa velikim brojem promenjivih zajedničku površinu ponekad čine i polja, koja ne moraju da budu susedna.

LITERATURA

1. *Boole, G.:* An Investigation of Laws of Thought, London, 1854 (Dover Publication, Inc., New York, 1954)
2. *Shannon, C. E.:* Symbolic Analysis of Relay and Switching Circuit, AIEE Trans, Suppl., Vol 57, 1938, str. 713
3. *Phister, M.:* Logical design of digital computers, John Wiley, New York, 1958, gl. 3 i 4
4. *Chu, Y.:* Digital Computer Design Fundamentals, McGraw-Hill, New York, 1962, gl. 3 i 4
5. *Harris, J. N., Gray, P. E., Searle, C. L.:* Digital Transistor Circuits, John Wiley, New York, 1966, gl. 4
6. *Turner, J. F.:* Digital Computer Analysis, Merrill, Columbus, Ohio, 1968, gl. 5
7. *Oberman, R. M. M.:* Disciplines in Combinational and Sequential Circuit Design, Mc Graw-Hill, New York, 1970, gl. 1 — 3
8. *Sifferlen, P. T., Vartanian, V.:* Digital Electronics with Engineeiring Applications, Prentice-Hall, Englewood Cliffs, New Jersey, 1970, gl. 1
9. *Aleksić T. Ž.:* Logička sinteza digitalnih sistema, Naučna knjiga,Beograd, 1971, pgl. 3.3

G L A V A 4

ELEMENTARNA LOGIČKA KOLA

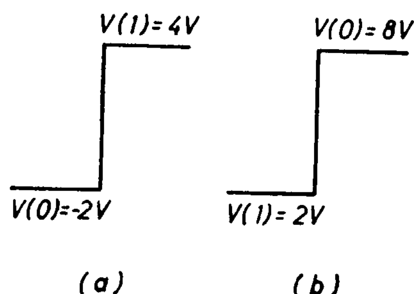
Fizičko predstavljanje Bulovih funkcija ostvaruje se pomoću prekidačkih kola sa dva stabilna stanja. Kako ova kola izvršavaju operacije definisane stavovima logičke algebre to se i sama kola nazivaju logička. Tehnika logičkih kola može da bude veoma raznovrsna. Ta raznovrsnost potiče pre svega od prirode primenjenih prekidačkih elemenata kao što su: mehanički (hidraulične i pneumatične cevi), elektronski (elektronske cevi, poluprovodničke naprave), elektromehanički (relei), elektromagnetski (feromagnetna jezgra, kriotroni) i drugi. Velika raznovrsnost tehnike logičkih kola postoji i u slučaju primene samo elektronskih prekidača. Razlog tome ne nalazi se samo u većem broju razvijenih prekidačkih elemenata, već i u načinu povezivanja tih elemenata.

Raznolikost realizacije logičkih kola, nastala je uglavnom kao posledica razvoja tehnologije kola kao i specifičnih zahteva u pogledu njihove primene. Stoga bi bilo prirodno da se logička kola proučavaju sa ta dva aspekta. Međutim, logička kola se ipak radije sistematizuju prema upotrebljenim komponentama i načinu njihovog povezivanja. Tako se, na primer, logička kola mogu da podele na aktivna i pasivna, zavisno od toga da li upotrebljeni prekidački element, pored ostalog, poseduje ili ne i pojačavačko svojstvo. Pasivna kola mogu da budu izvedena u takozvanoj otpornoj ili u diodnoj logici, što se skraćeno označava sa RL (resistor logic), odnosno sa DL (diode logic). Mnogo veća raznovrsnost postoji u tehnici aktivnih logičkih kola. Tako je, na primer, tranzistor kao prekidački element iskorišćen u izgradnji velikog broja tipova logičkih kola, o kojima će biti više reči u sledećoj glavi. Ovde će, međutim, biti izložene samo najjednostavnije tehničke mogućnosti za realizaciju elementarnih logičkih kola, sa kojima se obavljaju osnovne Bulove operacije: sabiranje, množenje i komplementiranje.

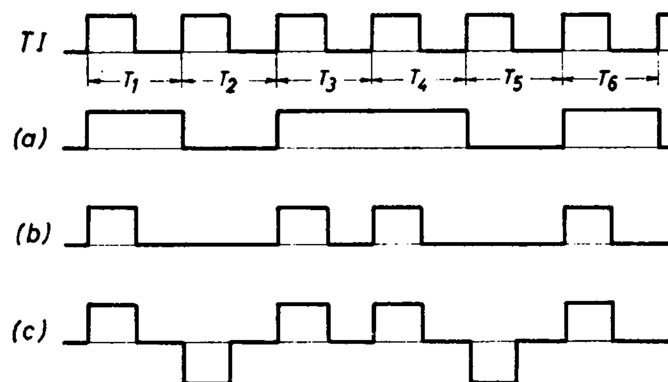
4.1. PREDSTAVLJANJE LOGIČKIH VREDNOSTI

Pre nego što pristupimo izlaganju tehnike izvođenja logičkih kola ukazaćemo na neke opšte pojmove u vezi sa fizičkim predstavljanjem logičkih vrednosti. Iako ovo predstavljanje može da se izvede pomoću različitih fizičkih veličina, za tu svrhu koristićemo samo električni napon, kao veličinu koja se lako obrađuje posredstvom elektronskih kola. Dve vrednosti logičke promenljive, koje najčešće označavamo binarnim ciframa 0 i 1, mogu da se predstave sa dva različita nivoa jednosmernog napona. Ova dva nivoa napona mogu da imaju bilo koju diskretnu vrednost. Obično se viši nivo napona naziva pozitivan, a niži nivo — negativan. Svaki od tih nivoa

može da se obeleži bilo jednim ili drugim binarnim simbolom. U vezi s tim nastaje razlika i u osnovnoj koncepciji izvođenja digitalnih sistema tako da se za jedne kaže da rade sa pozitivnom, a za druge — sa negativnom logikom. Ako se višem nivou napona pripisuje vrednost logičke jedinice, onda se radi o pozitivnoj logici. Kod negativne logike, međutim, vrednost logičke jedinice vezana je za niži nivo napona. Pri tome ne treba gubiti iz vida da su apsolutne vrednosti nivoa napona proizvoljne, što, na primer, znači da napon sa vrednošću logičke nule ni u kom slučaju ne mora da ima vrednost „nula volti". Na sl. 4.1 dati su primeri pozitivne i negativne logike sa naznačenim stvarnim vrednostima napona za logičku jedinicu $V(1)$ i nulu $V(0)$. Naglasimo ovom prilikom da se primenjena polarizacija logike odražava i na logičku funkciju kola, što znači da jedna ista konfiguracija kola može da posluži za realizaciju različite prekidačke funkcije.



Sl. 4.1. Predstavljanje logičkih vrednosti $V(0)$ i $V(1)$
(a) pozitivna logika
(b) negativna logika



Sl. 4.2. Predstavljanje informacije 101 101 pomoću:
(a) nivoa napona
(b) impulsa jednog polariteta
(c) impulsa oba polariteta

Vrednosti logičke promenljive predstavljaju se i pomoću impulsa napona. U ovom slučaju postojanje impulsa označava vrednost logičke jedinice, a ako nema impulsa — to je stanje logičke nule. Razume se da pri ovakvom predstavljanju logičkih vrednosti, impulsi moraju da budu razdvojeni pauzama, što uslovljava određenu periodu ponavljanja impulsa. U sinhronizovanim digitalnim sistemima ovu periodu kontrolišu impulsi iz takt-generatora.

Na sl. 4.2 pokazano je predstavljanje informacije 101101. U sinhronizaciji sa takt-impulsima *TI* data informacija je predstavljena pomoću nivoa napona (a) kao i pomoću impulsa (b). Ovde je istovremeno pokazana i mogućnost predstavljanja binarnih vrednosti pomoću impulsa oba polariteta (c), pri čemu je logička jedinica prikazana pozitivnim, a logička nula — negativnim impulsom.

Očigledno je, da primena logike nivoa jednosmernog napona ili logike impulsa uslovljava pored ostalog i tehničku realizaciju kola. Naime, ako su kola međusobno povezana pomoću induktivnih ili kapacitivnih elemenata fizičko predstavljanje informacije ograničeno je samo na logiku impulsa. Ovakva logika kod nekih operacija zahteva strogu koincidenciju signala, ali s druge strane omogućava veće tolerancije u pogledu logičke amplitude, odnosno logičkih nivoa napona. Direktna sprega kola, međutim, omogućava primenu obe logike za predstavljanje informacija u binarnom obliku. Stoga je ovakva tehnika kola više rasprostranjena, jer omogućava neposrednu povezanost ne samo logičkih već i memorijskih elemenata, koji su — kao što znamo — okarakterisani dužim zadržavanjem uspostavljenog logičkog stanja.

Na kraju ukažimo još jednom na postojanje sinhronih i asinhronih digitalnih sistema. Kod prvih se predstavljanje svake logičke vrednosti kao i izvođenje logičkih operacija vrši u sinhronizaciji sa takt-impulsima. Drugim rečima, brzina rada digitalnog uređaja određena je usvojenim trajanjem periode takt-generatora, odnosno dužinom takt-intervala T_1, T_2, T_3 itd. na sl. 4.2. Pri tome se za svaku logičku operaciju mora da predvidi najveći broj taktova, koji u nekom slučaju može da zatreba.

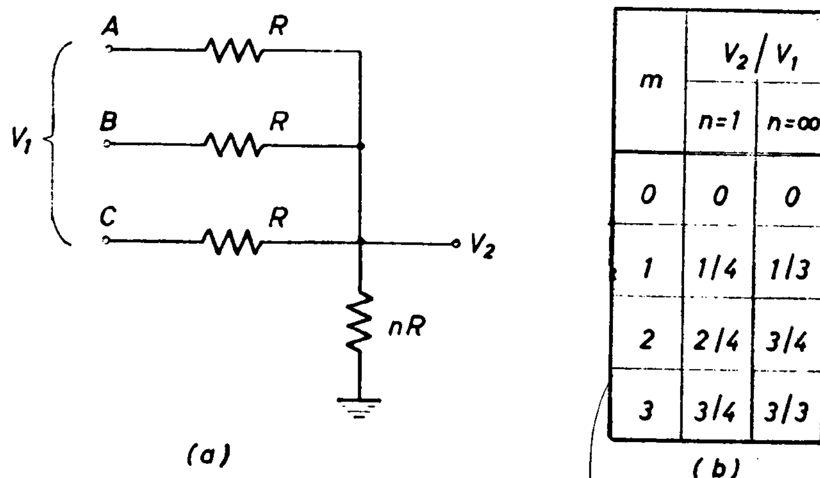
Kod asinhronih digitalnih sistema ne postoji referentni vremenski interval za izvođenje logičkih operacija. Prema tome, čim se jedna operacija završi, generiše se određeni impuls koji započinje sledeću operaciju. Na taj način se ubrzava rad sistema, ali je s druge strane njegova realizacija nešto složenija.

4.2. OTPORNA LOGIKA — RL

Realizacija logičkih kola u otpornoj tehnici zasniva se na korišćenju mreže otpora za linearno sabiranje binarnih vrednosti napona, sl. 4.3. Pretpostavimo da ovakva mreža sa ukupno M ulaznih priključaka ima na m ulaza napon $V(1)=V_1$, a na preostalih $(M-m)$ ulaza — napon $V(0)=0$. U tom slučaju na zbirnom otporu, čija je vrednost nR, gde je n proizvoljan pozitivan broj, ostvaruje se pad napona dat izrazom:

$$V_2=\frac{m \cdot V_1}{M+\frac{1}{n}}. \tag{4.1}$$

Gornji izraz pokazuje da je u normalnim uslovima napon na izlazu kola uvek manji od vrednosti logičke amplitude napona na ulazu, tj. $V_2<V(1)=V_1$. Šta više izlazni napon se skokovito menja u zavisnosti od broja ulaza m na koje je doveden napon V_1, sl. 4.3b. Prema tome, ovakvo kolo nije pogodno za izvođenje Bulovih operacija jer se kompletna logička amplituda napona na izlazu može da dobije jedino pri $m=M$ i $n=\infty$.

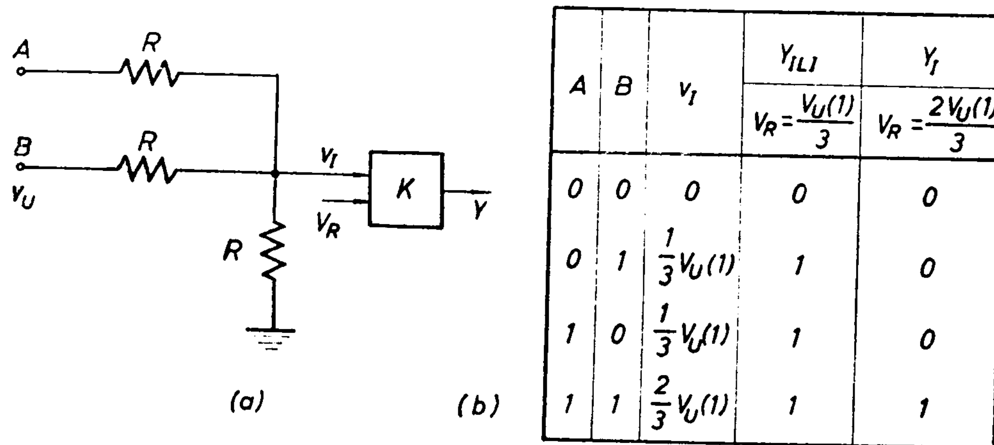


m	V_2/V_1 $n=1$	V_2/V_1 $n=\infty$
0	0	0
1	1/4	1/3
2	2/4	3/4
3	3/4	3/3

Sl. 4.3. Linearno sabiranje napona
(a) razdelnik napona (b) zavisnost V_2/V_1

Pa ipak, postojanje različitih diskretnih vrednosti izlaznog napona omogućava primenu pokazane otporne mreže za logičke *ILI* i *I* operacije, ako se na izlaz mreže postavi pogodan komparator napona, sl. 4.4. Upotrebljeni komparator, pored detekcije određenog nivoa napona, treba na svom izlazu da formira promenu na-

pona jednaku logičkoj amplitudi. Drugim rečima, dodato kolo vrši transformaciju detektovanog nivoa napona na izlazu otporne mreže u napon koji odgovara vrednosti logičke jedinice. Prema tome za ovu svrhu može dobro da posluži Šmitovo kolo, koje istovremeno radi i kao komparator i kao uobličavač. Dodajmo da se logička kola izvedena prema sl. 4.4 ponekad nazivaju i pragovski elementi.



A	B	V_I	Y_{ILI} ($V_R=\frac{V_U(1)}{3}$)	Y_I ($V_R=\frac{2V_U(1)}{3}$)
0	0	0	0	0
0	1	$\frac{1}{3}V_U(1)$	1	0
1	0	$\frac{1}{3}V_U(1)$	1	0
1	1	$\frac{2}{3}V_U(1)$	1	1

Sl. 4.4. Logičke *ILI* i *I* operacije
(a) logičko *ILI*/*I* kolo (b) kombinaciona tabela

Kolo na sl. 4.4a može da se koristi za obavljanje dve osnovne logičke operacije: *ILI* i *I*. Na ulaze kola *A* i *B* dovode se naponi vrednosti logičke nule ili jedinice. Za razne kombinacije tih napona dobijaju se različite diskretne vrednosti napona na izlazu, date u kombinacionoj tabeli, sl. 4.4b, uz pretpostavku da je napon logičke nule $V_U(0)=0$. Ako je referentni napon komparatora V_R podešen tako da se detektuju nivoi koji su jednaki ili veći od vrednosti $V_U(1)/3$, onda pokazano kolo obavlja *ILI* operaciju. Međutim, ako se napon V_R podesi tako da komparator detektuje samo nivo koji odgovara vrednosti $2V_U(1)/3$ onda kolo obavlja logičku *I* operaciju. Očigledno je da sa povećanjem broja ulaza ovakvog logičkog kola mora da se poboljšava i preciznost praga okidanja komparatora, na što ukazuju i vrednosti u tabelama na sl. 4.3b i 4.4b.

Na kraju mora se istaći da pokazano logičko kolo nema neku veću praktičnu primenu jer je u principu dosta složeno. Pored toga što iziskuje upotrebu komparatora, referentni napon komparatora mora da se posebno podešava za svaki novi slučaj primene. Osim toga, izolacija između ulaza kola je nedovoljna, zbog čega nastaju i međusobni uticaji ulaznih signala. No, i pored svega, ovakvo kolo je pogodno za neke specifične potrebe kao, na primer, za detekciju određenog broja eksitovanih ulaza.

4.3. DIODNA LOGIKA — DL

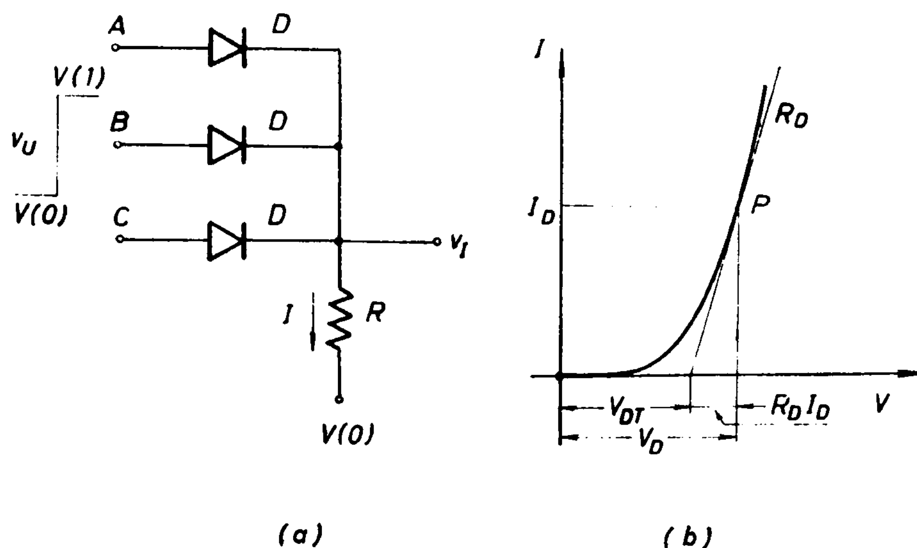
Da bi se izvela potrebna diskriminacija logičkih vrednosti napona na izlazu digitalnog kola rečeno je da kolo treba da sadrži i neki prekidački element. U otpornoj logici ulogu takvog elementa preuzeo je komparator. Međutim, zahvaljujući nelinearnoj karakteristici obične diode, moguće je ostvariti logička *ILI* i *I* kola na mnogo jednostavniji način, pa čak i sa daleko boljim karakteristikama.

Diodna logika predstavlja najjednostavniju tehniku izvođenja pomenutih digitalnih kola sa diskretnim komponentama. Zbog toga ćemo im posvetiti nešto

veću pažnju, iako ih savremena tehnologija izrade kola sve više potiskuje iz opšte upotrebe. No, bez obzira na to, proučavanjem diodne logike stiče se potreban uvid o problemima realizacije logičkih kola uopšte, što omogućava i bolje razumevanje potrebe razvoja raznovrsnih tehnika ovakvih kola.

4.3.1. Diodna ILI i I kola

Na sl. 4.5a pokazano je diodno logičko *ILI* kolo za pozitivnu logiku. Logička amplituda ulaznih signala V_U određena je razlikom nivoa $V(1)$ i $V(0)$. Unutrašnja otpornost generatora ulaznih signala je najčešće izlazni otpor prethodnog logičkog



Sl. 4.5. Diodna logika
(a) logičko *ILI* kolo (b) aproksimacija karakteristike diode

kola. Obeležimo je sa R_S. Smatraćemo, dalje, da su sve upotrebljene diode identične, a njihovu karakteristiku ćemo da linearizujemo pomoću dva segmenta, sl. 4.5b, tako da je napon na diodi

$$V_D = V_{DT} + R_D I_D, \tag{4.2}$$

gde je: V_{DT} — napon praga provođenja diode
R_D — direktna otpornost diode.

Način rada kola je vrlo jednostavan. Pri naponu $v_U = V(0)$ na svim ulazima kola, izlazni napon će takođe da bude na nivou logičke nule tj. $v_I = V(0)$. Međutim, ako se na bilo koji ulaz dovede napon signala $v_U = V(1)$, odgovarajuća dioda će da provede vezujući izlaz kola približno na potencijal $V(1)$. Pošto su pri tome diode nepobuđenih ulaza inverzno polarizovane, ostvarena je velika izolacija između generatora ulaznih signala.

Izlazni napon kola na sl. 4.5a može da se odredi pomoću analitičkog izraza:

$$\begin{aligned} v_I &= V(0) + RI \\ &= V(0) + [V(1) - V_{DT} - V(0)] \frac{R}{R + \dfrac{R_S + R_D}{m}}, \end{aligned} \tag{4.3}$$

gde je m broj eksitovanih ulaza. Pošto *ILI* operacija predviđa prisustvo jednog ili više ulaznih signala istovremeno, vrednost izlaznog napona će time da se menja. Međutim, ako se zbirni otpornik R odabere tako da je

$$R \gg R_S + R_D \tag{4.4}$$

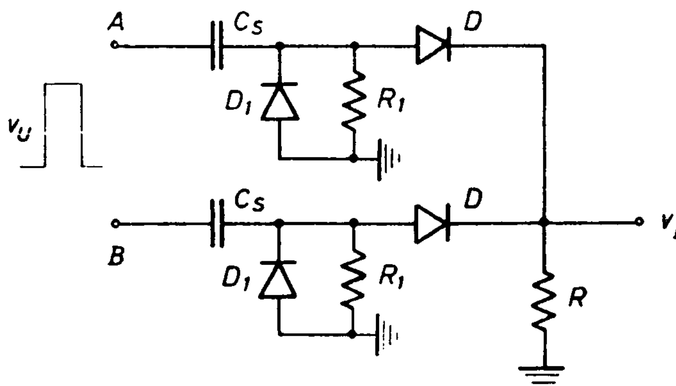
izlazni napon će da ima praktično istu vrednost bez obzira na broj eksitovanih ulaza. U ovom slučaju izraz (4.3) se svodi na

$$v_I = V(1) - V_{DT}. \tag{4.5}$$

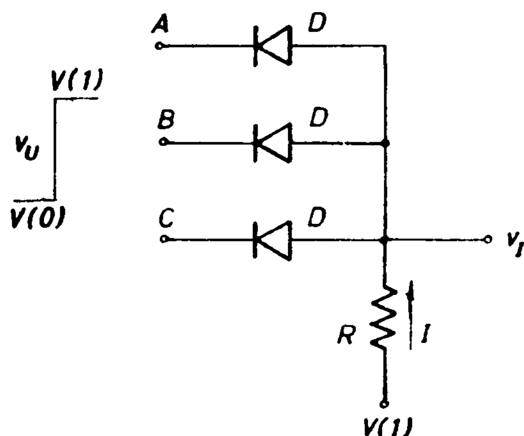
Odavde vidimo, dakle, da je logička amplituda izlaznog napona manja od logičke amplitude napona dovedenog signala za pad napona na diodi $V_D \approx V_{DT}$. Veličina smanjenja logičke amplitude, znači, prvenstveno će da zavisi od vrste upotrebljene diode. Pri strujama diode u opsegu od 0,1—10 mA njihov napon je prilično konstantan i iznosi oko 0,2 V za germanijumske, odnosno 0,6 V za silicijumske. Napomenimo da u mnogim primenama logičkih kola pokazana promena logičke amplitude nema nekog naročitog značaja s obzirom da se obično predviđa da ulazni signali imaju dosta veću amplitudu od neke kritične vrednosti.

U prethodnom izlaganju pretpostavljeno je da svi ulazni signali imaju istu vrednost napona logičke jedinice $V(1)$. Ako to, međutim, nije slučaj, odnosno ako istovremeno deluju ulazni signali različitih vrednosti, lako se dolazi do zaključka, da će izlazni napon biti određen prema najvećem ulaznom naponu, tj. $v_I \approx V_U(1)_{max} - V_D$.

U dinamičkom sistemu u kome se umesto logike jednosmernih nivoa napona, mora da primeni logika impulsa, obično su logička kola povezana preko spréžnih kapaciteta C_S, sl. 4.6. Zbog postojanja kapaciteta za spregu jednosmerni nivoi ulaznih impulsa više nisu bitni, te se otpor R može da veže direktno na masu. Delovanjem impulsa na određenom ulazu, odgovarajuća dioda D će da provede, usled čega dolazi do punjenja kondenzatora C_S. Da bi se i sledeći impuls mogao u potpunosti da prenese na izlaz, kapacitet C_S se mora u međuvremenu da isprazni. Zbog toga su paralelno svakom ulazu kola dodati još po jedna dioda D_1 i otpornost R_1 vrlo velike vrednosti.



Sl. 4.6. Dinamičko *ILI* kolo



Sl. 4.7. Logičko *I* kolo

Na sl. 4.7 data je šema diodnog logičkog *I* kola za pozitivnu logiku. Način rada kola i u ovom slučaju je vrlo jednostavan. Pri naponu signala $v_U = V(0)$ na ulazima A, B i C, sve diode D su polarizovane u direktnom smeru. Ako se sa I

obeleži ukupna struja koja u ovom slučaju teče kroz otpornost R, vrednost izlaznog napona može da se odredi pomoću analitičkog izraza:

$$v_I = V(1) - RI =$$
$$= V(1) - [V(1) - V_{DT} - V(0)] \frac{R}{R + \frac{R_S + R_D}{M}}, \qquad (4.6)$$

gde je M ukupan broj ulaza I kola. U slučaju da je i ovde zadovoljen uslov (4.4), gornji izraz se svodi na oblik

$$v_I \approx V(0) + V_{DT}, \qquad (4.7)$$

koji pokazuje da je izlazni napon praktično vezan na nivo napona $V(0)$.

Pri naponu $v_U = V(1)$ na svim ulazima kola diode D su neprovodne usled čega se struja kroz otpornost R svodi na nulu. Prema tome izlazni napon u ovom slučaju ima vrednost

$$v_I = V(1), \qquad (4.8)$$

tj. jednak je naponu na koji je priključena otpornost R. Imajući u vidu dobijene vrednosti izlaznih nivoa napona u izrazima (4.7) i (4.8), možemo konstatovati da i kod diodnog I kola nastaje smanjenje logičke amplitude za vrednost pada napona na diodama D. Uočimo da smanjenje logičke amplitude kod I kola nastaje zbog promene nivoa $V(0)$, a kod ILI kola zbog promene nivoa $V(1)$.

Osim pokazanih slučajeva koincidentnog delovanja ulaznih signala iste logičke vrednosti na svim ulazima kola, mogu da nastanu i takve kombinacije, kod kojih su na neke ulaze dovedeni signali vrednosti $V(0)$, a na druge signali vrednosti $V(1)$. Ako je sa M obeležen ukupan broj ulaza, a sa m — broj eksitovanih ulaza, tj. ulaza na koje su dovedeni signali $v_U = V(1)$, onda se vrednost izlaznog napona nalazi pomoću relacije

$$v_I = V(1) - [V(1) - V_{DT} - V(0)] \frac{R}{R + \frac{R_S + R_D}{M - m}}. \qquad (4.9)$$

Očigledno je da ova relacija obuhvata oba prethodna slučaja, jer se za $m = 0$ dobija izraz (4.6), a za $m = M$ svodi se na jednakost (4.8). Prema tome relacija (4.9) može da se primeni za bilo kakvu kombinaciju vrednosti signala na ulazima I kola.

Izraz (4.9) pokazuje da napon na izlazu I kola zavisi od broja eksitovanih ulaza. Ova zavisnost ispoljava se na taj način što nivo izlaznog napona skokovito raste sa povećanjem broja m. Ovakva varijacija izlaznog nivoa tretira se kao logički šum, koji u nekim slučajevima primene pričinjava posebne teškoće. U cilju smanjenja pomenutog efekta, otpornost R treba odabrati tako, da bude u što većoj meri ispunjen uslov dat izrazom (4.4).

Efikasnije otklanjanje logičkog šuma postiže se pomoću ograničavačke diode D_R ugrađene na izlazu I kola, sl. 4.8. Referentni napon V_R uzima se tako da dioda D_R bude u normalnom provodnom režimu pri ulaznom naponu $v_U = V(0)$, a zakočena pri koincidenciji ulaznih napona $v_U = V(1)$. Prema tome, referentni napon se bira u granicama:

$$V(0) + V_D + V_{DR} < V_R < V(1) - V_D - V_{DR}. \qquad (4.10)$$

Dok za eksitovane sve ulaze i ovde važi relacija (4.8), pri postojanju bilo kog ulaza sa vrednošću $v_U = V(0)$, izlazni napon biće vezan na nivo

$$v_I = V_R - V_{DR} \tag{4.11}$$

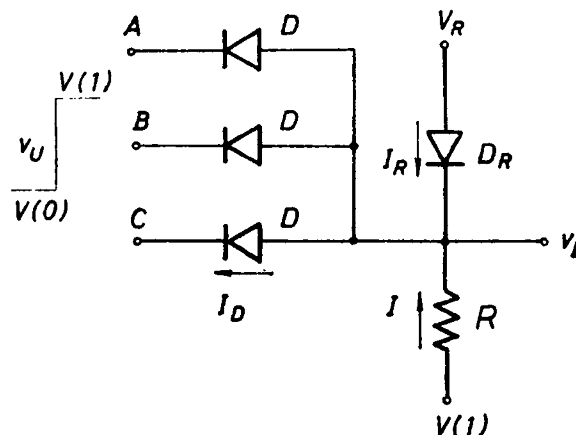
Da bi ovaj napon imao što manje varijacije pored izbora diode D_R sa što manjom otpornošću, treba podesiti da i promene njene struje budu što manje. Kako je prema sl. 4.8, struja referenne diode

$$I_R = (M-m) I_D - I, \tag{4.12}$$

to izlazi da struja kroz otpornost R

$$I = \frac{V(1)-(V_R+V_{DR})}{R} \tag{4.13}$$

treba da bude što veća. Stoga se otpornost R ponekad priključuje na napon veći od vrednosti $V(1)$. U ovom slučaju, pri eksitaciji svih ulaza, izlazni napon će biti uvećan za pad napona na diodama D u poređenju sa vrednošću u izrazu (4.8). Primetimo još da će u slučaju različitih vrednosti $V(1)$ ulaznih signala, izlazni napon da bude određen prema najmanjem ulazu, tj. $v_I \approx V_U(1)_{min} + V_D$.



Sl. 4.8. *I* kolo sa stabilisanim izlazom

Kao što je pokazano, logičko kolo na sl. 4.7 obavlja logičku *I* operaciju. Međutim ista konfiguracija kola može da posluži i za izvođenje logičke *ILI* operacije. U ovom slučaju umesto pozitivne mora da se primeni negativna logika, tj. vrednost napona $V(1)$ treba da bude negativnija od vrednosti $V(0)$. Kako je sada i otpornost R vezana na izvor napona vrednosti $V(0)$ (videti sl. 4.5) to pri $v_U = V(0)$ biće i $v_I \approx V(0)$. Međutim pri $v_U = V(1) < V(0)$, diode D su direktno polarizovane pa je $v_I \approx V(1) + V_D$. Zapazimo da se u ovom slučaju, za razliku od *ILI* kola za pozitivnu logiku na sl. 4.5, logički nivo $V(1)$ na izlazu povećava za pad napona na prekidačkoj diodi D. Imajući u vidu da je $V(1) < V(0)$, logička amplituda na izlazu kola se smanjuje bez obzira na primenjenu logiku.

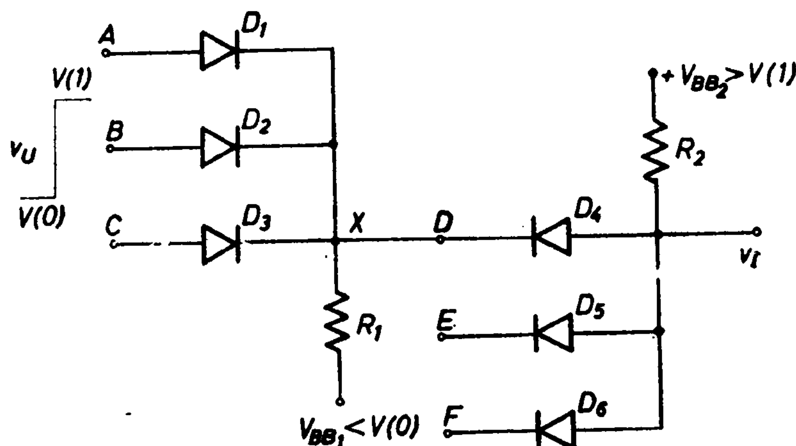
Analogno prethodnom, logičko *ILI* kolo na sl. 4.5 može da se koristi još i kao *I* kolo ako se primeni negativna logika. Otuda se kaže da logička *I* i *ILI* kola imaju dvojnu prirodu zavisno od primenjene logike. U vezi s tim se često pokazana konfiguracija kola označava simbolima obe logičke operacije, pri čemu se prvi simbol odnosi na pozitivnu, a drugi na negativnu logiku. Tako se, na primer, konfiguracija kola na sl. 4.5 naziva logičko *ILI/I* kolo, a ona na sl. 4.7 — *I/ILI* kolo.

4.3.2. Diodna kola u više nivoa

Složene logičke mreže, kao što je poznato, sastoje se od većeg broja osnovnih logičkih kola. Broj logičkih kola, koja su redno vezana u nekoj mreži, određuje i broj nivoa dotične mreže. Mogućnosti formiranja mreže u više nivoa zavisi dobrim delom od tehnike izvođenja logičkih kola. Diodna logika, na primer, pogodna je za sprezanje u više nivoa. S obzirom da je primena ove logike praćena izvesnom promenom vrednosti logičkih nivoa napona, to je broj logičkih nivoa u diodnoj mreži obično ograničen na četiri.

U praktičnoj realizaciji kola diodne logike nastoji se da izlazni nivoi napona budu uvek vezani — klempovani za ulazne logičke nivoe. Zbog toga diode u ulaznim granama razmatranih diodnih logičkih kola moraju da budu direktno polarizovane pri oba logička stanja ulaznih signala. Da bi se to postiglo zbirni otpor u *ILI* kolu na sl. 4.5a treba da se priključi na napon $V_{BB} < V(0)$. Ako je napon V_{BB} dovoljno negativan da diode vode i pri naponu $v_U = V(0)$, onda izlazni napon u ovom slučaju više nije $V(0)$ već $V(0) - V_D$. Kako je s druge strane pri $v_U = V(1)$. izlazni nivo napona takođe pomeren za isti iznos, jedn. (4.5), logička amplituda *ILI* kola u ovom slučaju ostaje praktično jednaka logičkoj amplitudi ulaznog signala.

Da bi izlazni nivoi *I* kola bili takođe vezani za nivoe ulaznog signala, zbirni otpor R kola na sl. 4.7 treba da bude priključen na napon $V_{BB} > V(1)$. Prema tome ako je napon V_{BB} dovoljno veliki, nivoi izlaznog signala biće $V(0) + V_D$, odnosno $V(1) + V_D$ pri vrednostima pobude $v_U = V(0)$, odnosno $v_U = V(1)$. I kod ovog kola, znači, logičke amplitude ulaznog i izlaznog signala su praktično iste.



Sl. 4.9. Logička mreža sa dva nivoa

Na sl. 4.9 predstavljena je logička mreža za pozitivnu logiku u dva nivoa. Zbirni otpor R_1 logičkog *ILI* kola priključen je na napon $V_{BB1} < V(0)$, a otpornost R_2 u *I* kolu vezana je na napon $V_{BB2} > V(1)$. Pretpostavimo da naponi na ulazima E i F imaju vrednost $V(1)$. Izlazni napon v_I u ovom slučaju zavisi od vrednosti signala v_U. Kada je na ulazima A, B i C napon $v_U = V(0)$, onda je izlazni napon

$$v_I = V(0) - V_{D1-3} + V_{D4}. \tag{4.14}$$

Kada je, međutim, $v_U = V(1)$ bilo na kom ulazu — na primer na A, onda izlazni napon ima vrednost

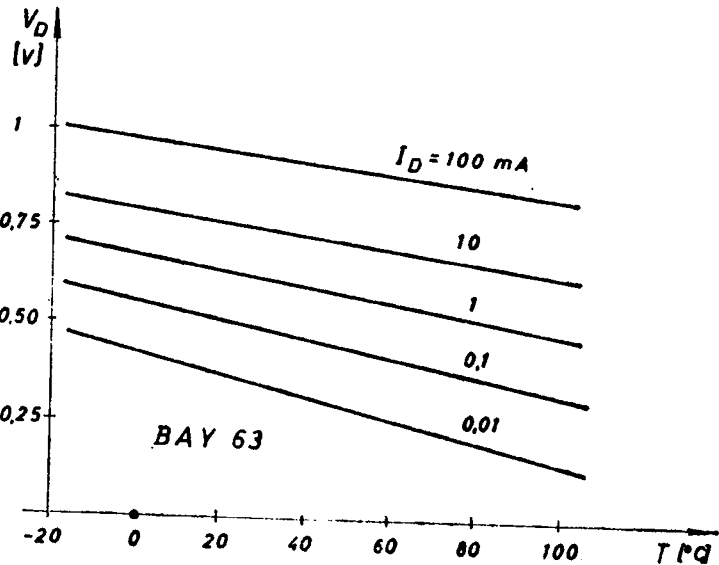
$$v_I = V(1) - V_{D1} + V_{D4}. \tag{4.15}$$

Pretpostavljajući da su upotrebljene diode D_{1-6} identične, iz izraza (4.14) i (4.15) vidimo da su $V_I(0) = V_U(0)$ i $V_I(1) = V_U(1)$. Prema tome, kombinacijom *ILI* i *I* kola kao i obrnuto ne samo da se zadržava prvobitna vrednost logičke amplitude, već i apsolutna vrednost logičkih nivoa napona.

4.3.3. Multiplikacija priključaka diodnih kola

Pre nego što pristupimo razmatranju mogućnosti multiplikacije ulaznih i izlaznih priključaka logičkih kola, moramo da pomenemo parametre koji ograničavaju primenu kola diodne logike uopšte. Tu je pre svega u pitanju stabilnost

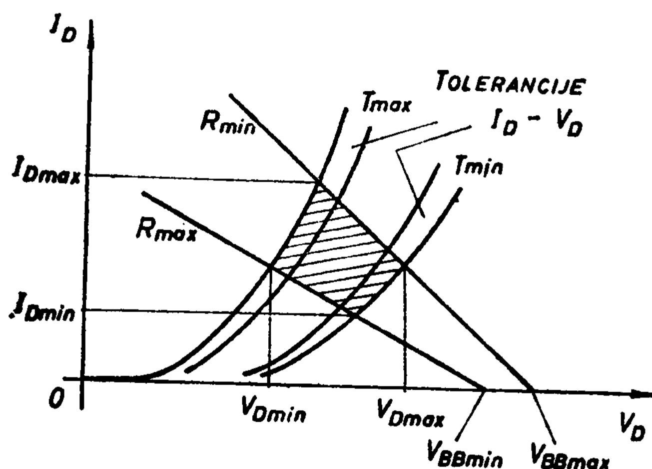
karakteristike nelinearnog elementa. Poznato je, naime, da napon provodne diode bilo silicijumske ili germanijumske zavisi od veličine struje kao i od temperature. Za konkretno upotrebljenu diodu u katalozima proizvođača se obično nalaze ucrtane karakteristike kao na sl. 4.10, ili specificirani numerički podaci. No i pored toga istaknimo i ovom prilikom da napon diode raste sa povećanjem struje i smanjenjem temperature. Za izračunavanje temperaturske promene napona obično se koristi temperaturski koeficijent $TK = -2\,mV/°C$. Napomenimo da se ovaj koeficijent smanjuje sa povećanjem struje diode tako da se za silicijumske diode kreće obično od $-2{,}5\ mV/°C$ do $-1\ mV/°C$ u opsegu struja od $100\mu A$ do $100\,mA$.



Sl. 4.10. Napon silicijumske diode

Inverzna struja diode takođe je od uticaja na njenu primenu u logičkim kolima. Karakteristike promene ove struje u zavisnosti od temperature takođe se nalaze u katalozima proizvođača. Podsetimo se da je ova karakteristika uglavnom linearna i obično se uzima da se ona udvostručava pri promeni temperature za oko 10°C. Pošto je vrednost ove struje za silicijumske diode reda mikroampera tek negde na oko 100°C, to se njen uticaj na rad logičkih kola često može da zanemari.

Najzad skrenimo pažnju i na ograničenja koja su posledica tolerancija primenjenih komponenata: dioda, otpora, napona napajanja itd. Da bi se bolje shvatio uticaj svih ovih faktora na rad logičkog kola, najbolje je sprovesti analizu najnepovoljnijeg slučaja rada kola. Na sl. 4.11 ilustrovan je takav slučaj za jedno prosto *I* kolo sa jednim ulazom pri $v_U = V(0) = 0\ V$. Fabričke tolerancije karakteristika diode, otpora i napona napajanja $\Delta(I_D - V_D)$, ΔR i ΔV_{BB} određuju u datom opsegu temperatura ΔT najveće i najmanje vrednosti napona i struje provodne diode. Zapazimo da ekstremne vrednosti napona na diodi određuju najmanji napon V_{BB} i najveći otpor R s jedne, odnosno najveće V_{BB} i najmanje R s druge strane. Pri tome su, kao što se vidi, i tolerancije upotrebljene diode suprotnog znaka.

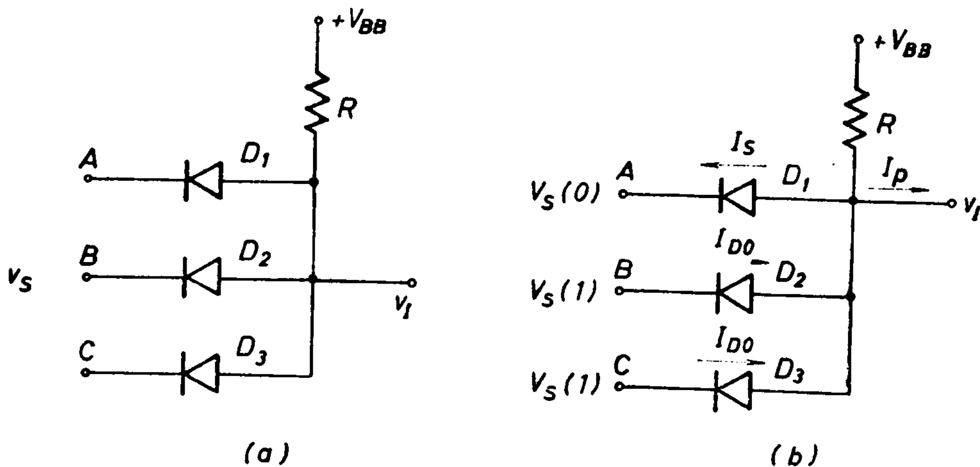


Sl. 4.11. Iznalaženje najnepovoljnijeg slučaja za diodnu logiku

Pitanje multiplikacije priključaka logičkog kola svodi se uglavnom na razmatranje uslova pod kojim će struje ulaznih, odnosno izlaznih priključaka kola imati odgovarajuće ekstremne vrednosti. S obzirom da maksimalni broj priključa-

ka treba da bude određen za najnepovoljnije uslove rada kola, to će biti potrebno da se odrede uslovi pod kojima nastaje najveća struja na ulazu, kao i najmanja struja na izlazu kola.

Struja na ulazu kola je u stvari struja opterećenja izvora pobudnog signala I_S. Da bi se našla vrednost ove struje u najnepovoljnijim uslovima rada kola biće potrebno da se izvedu sledeći postupci: prvo, da se odrede stanja prekidačkog elementa definišući vrednosti $V(0)$ i $V(1)$; drugo, da se uspostave odgovarajuće zavisnosti između parametara kola i zadate promenljive I_S i treće, da se odrede najnepovoljnije vrednosti parametara u dobijenim jednačinama. Tako se, na primer, za I kolo na sl. 4.12a rezonovanjem dolazi do zaključka, da će najveća struja opte-



Sl. 4.12. Iznalaženje struje opterećenja pobudnog izvora
(a) logičko I kolo (b) ekvivalentna šema kola za $I_s$max

rećenja izvora pobudnog signala nastati kada je samo na jednom ulazu stanje signala $V_S(0)$, a na svim ostalim je $V_S(1)$, sl. 4.12b. Pošto je tada $V_I(0)=V_S(0)+V_{D1}<$ $<V_S(1)$, diode D_2 i D_3 su inverzno polarizovane, te kroz njih teku inverzne struje I_{DO}. Kroz diodu D_1 teče struja opterećenja izvora I_S, čiju najveću moguću vrednost treba da odredimo. Da bi analiza bila potpunija pokazana je i struja opterećenja I_P na izlazu I kola, čija vrednost, naravno, zavisi od ulazne otpornosti R_U sledećeg priključenog kola.

Radi iznalaženja veze između struje I_S i parametara kola u datim uslovima treba odrediti ekvivalentno opterećenje provodne diode D_1. U vezi s tim za kolo na sl. 4.12b nalaze se sledeće ekvivalentne vrednosti radnog otpora R' i napona napajanja V'_{BB}:

$$R'=\frac{RR_U}{R+R_U} \tag{4.16}$$

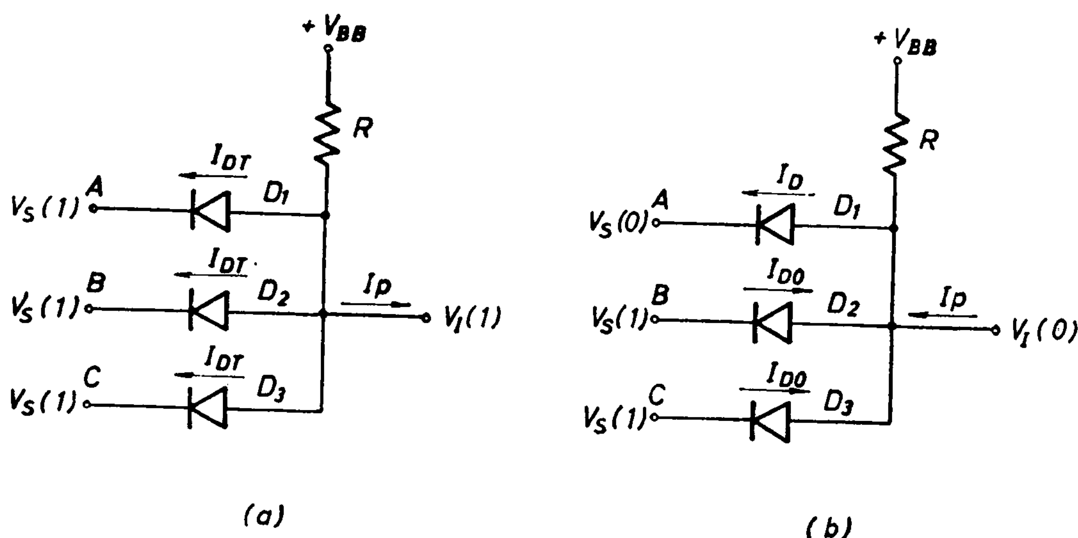
i

$$V'_{BB}=V_{BB}+R(M-1)\,I_{DO}-RI_P-V_S\,(0) \tag{4.17}$$

gde M označava multiplikaciju ulaza odnosno broj ulaza logičkog kola. Dalji postupak za određivanje struje I_S svodi se na grafičko iznalaženje maksimalne struje diode $I_{D\max}$ prema sl. 4.11. U vezi s tim u jednačine (4.16) i (4.17) treba uneti takve podatke, koji daju najveću vrednost za V'_{BB} i najmanju za otpornost R'. To znači da će najveća struja opterećenja izvora signala da bude pri najvećoj vrednosti napona baterije V_{BB}, pri najmanjoj vrednosti nivoa $V_S(0)$ i pri najvećoj vrednosti inverzne struje diode I_{DO}. S tim u vezi uočimo da je za ovo izračunavanje

merodavna karakteristika diode koja daje najmanje vrednosti napona V_D pri najvećim temperaturama posmatranog opsega.

Što se tiče zavisnosti struje I_S od otpornosti R, ona je veća pri manjim vrednostima R, jer je obično inverzna struja I_{DO} zanemarljivo mala, pa odgovarajući član $R(M-1)\,I_{DO}$ u jedn. (4.17) nije dominantan. Naglasimo još i to, da veličina struje I_S zavisi i od opterećenja na izlazu logičkog kola. U ovom pogledu maksimalna struja I_S nastaje pri maloj struji I_P, odnosno pri velikoj ulaznoj otpornosti R_U priključenog logičkog kola. Prema tome, struja opterećenja pobudnog generatora biće, dakle, maksimalna pri najvećim vrednostima za V_{BB}, T i I_{DO} i najmanjim vrednostima za R, I_P i $V_S(0)$.



Sl. 4.13. Određivanje struje opterećenja izlaza
(a) za spregu *I—ILI* elemenata (b) za spregu *I—I* elemenata

Određivanje struje opterećenja na izlazu logičkog kola od većeg je interesa, jer se time određuje multiplikacija izlaza, odnosno broj izlaznih priključaka N, koji se može da veže na dato logičko kolo. Ovde mogu da nastanu dva slučaja zavisno od toga da li je izlazni signal u stanju $V(1)$ ili $V(0)$. Ako logičko *I* kolo na sl. 4.12a treba da pobuđuje neko *ILI* kolo za pozitivnu logiku, onda izlaz *I* kola pri iznalaženju struje opterećenja I_P treba da je u stanju $V_I(1)$. Ako je, međutim, na dato *I* kolo priključeno neko drugo *I* kolo za pozitivnu logiku, izlaz prvog *I* kola pri određivanju struje I_P je u stanju $V_I(0)$. Najnepovoljniji uslovi rada ovog kola s obzirom na vrednost struje opterećenja I_P, tj. stanja na ulazima kola, pri kojima nastaje minimalna struja na izlazu, prikazana su za oba slučaja na sl. 4.13. Primetimo ovde da minimalna vrednost struje opterećenja I_P ograničava multiplikaciju izlaza, tj. određuje najveći broj izlaznih priključaka.

Na sl. 4.13a pokazano je stanje kola za slučaj da je na svim ulazima prisutno stanje signala $V_S(1)$. Da bi izlazni signal bio vezan za ulazni nivo, kroz sve diode mora teći struja I_{DT} uslovljena graničnim naponom provođenja V_{DT}. Prema tome, struja opterećenja datog *I* kola je:

$$I_P=\frac{V_{BB}-[V_S(1)+V_{DT}]}{R}-MI_{DT}. \qquad (4.18)$$

Gornji izraz pokazuje da će struja I_P da bude najmanja pri najmanjoj vrednosti za V_{BB} i najvećim vrednostima za $V_S(1)$, V_{DT} i R. U vezi sa ovim naglasimo dalje da je struja I_P kritičnija pri niskim temperaturama, kao i pri većoj multiplikaciji ulaza. Međutim, pri dovoljno velikom naponu napajanja V_{BB}, struja opterećenja datog logičkog kola zavisiće uglavnom od odnosa V_{BB}/R.

Na sl. 4.13b prikazano je stanje kola za slučaj da je na jednom ulazu stanje signala $V_S(0)$. Zbog toga je nivo napona na izlazu $V_I(0)$, te struja opterećenja kola I_P ima obrnuti smer. Analitički izraz za ovu struju je:

$$I_P = I_D - \frac{V_{BB} - [V_S(0) + V_D]}{R} - (M-1)\, I_{DO}. \tag{4.19}$$

Desna strana ovog izraza biće minimalna ako su drugi i treći član maksimalni. To znači da posmatrano kolo ima najmanju struju opterećenja pri najvećim vrednostima za V_{BB} i I_{DO}, odnosno T i pri najmanjim vrednostima za R, $V_S(0)$ i V_D. Razumljivo je da će pri minimalnoj vrednosti parametra V_D biti i struja provodne diode minimalna. Sve u svemu ovi uslovi najnepovoljnijeg opterećenja kola podudaraju se sa ranije navedenim uslovima za najnepovoljnije opterećenje pobudnog generatora. U vezi s tim istaknimo još da je struja opterećenja $I_P < I_D = I_{Smax}$. Ovo znači da je u slučaju sprege dva *I* kola moguće ostvariti veći broj izlaza samo ako su struje ulaznih grana drugog kola manje od odgovarajućih struja u prvom kolu.

4.3.4. Proračunski postupci u diodnoj logici

Proračun kola u diodnoj logici može se izvesti sa različitih aspekata. U prethodnom odeljku razmatrano je pitanje multiplikacije priključaka određivanjem ulaznih i izlaznih struja logičkog kola pri najnepovoljnijim vrednostima odgovarajućih parametara. Prema tome, proračun logičkih kola može da bude izveden na bazi već pokazanih razmatranja. Pri tome se najčešće pojavljuje potreba određivanja graničnih vrednosti za zbirnu otpornost R u datom logičkom kolu. Tako je, na primer, gornja granična vrednost otpornosti R za kolo na sl. 4.12a određena uslovima rada pokazanim na sl. 4.13a. To dolazi otuda što pri povećanju ove otpornosti iznad neke određene vrednosti struje I_{DT} ne bi bile više dovoljne da održavaju provodno stanje dioda D_{1-3}. Prema tome, ako se izraz (4.18) napiše u obliku

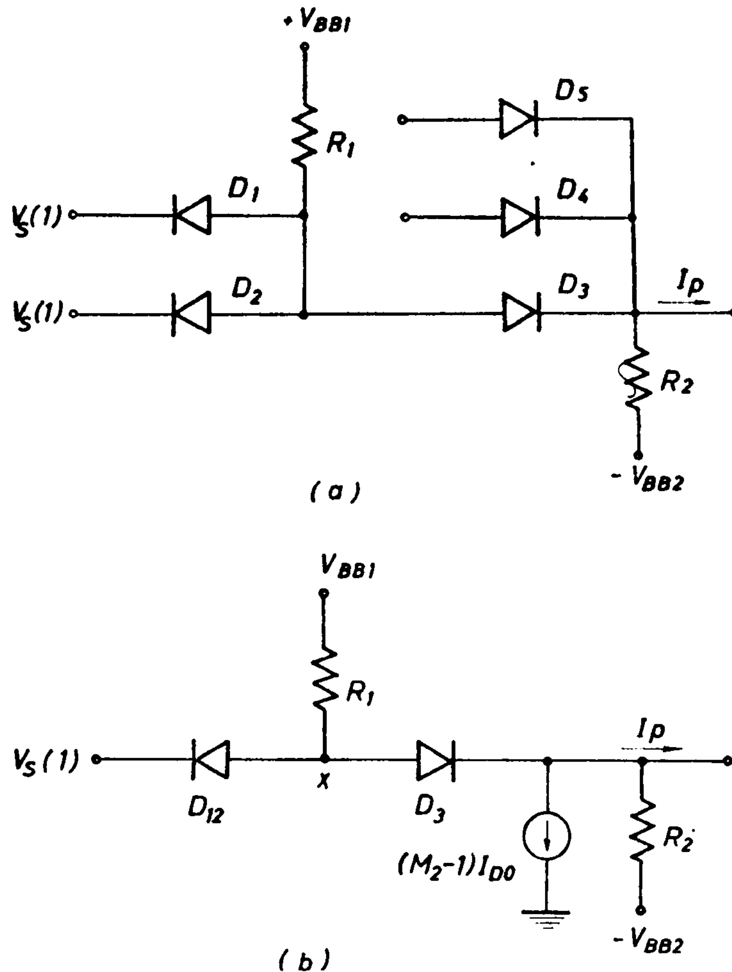
$$R = \frac{V_{BB} - [V_S(1) + V_{DT}]}{I_P + M I_{DT}}, \tag{4.20}$$

može se lako ustanoviti maksimalna vrednost zbirne otpornosti R, koja ne sme biti veća od minimalne moguće vrednosti izraza na desnoj strani jedn. (4.20).

S druge strane, uslovi rada *I* kola na sl. 4.13b određuju donju graničnu vrednost otpornosti R. Ovo postaje očigledno kad se ima u vidu da se pri smanjivanju otpornosti R povećava struja provodne diode I_D, a time i opterećenje pobudnog generatora. Prema tome, minimalna vrednost otpora R određena je maksimalnom strujom diode, te se dalja diskusija može upotpuniti korišćenjem izraza (4.19).

Praktični proračun kaskadne veze logičkih kola u diodnoj tehnici obično bazira samo na uslovu, da izlazni signal bude što sigurnije vezan za nivo odlučujućeg ulaznog signala. Na sl. 4.14a dat je primer logičke *I—ILI* kaskade, kod koje *I* kolo ima M_1 a *ILI*—M_2 ulaznih priključaka. Radi ilustracije uticaja inverzne struje dioda, pretpostavlja se da su (M_2-1) dioda *ILI* kola inverzno polarizovane. Na

sl. 4.14b pokazana je ekvivalentna šema kola u slučaju da na svim ulazima I kola deluju signali vrednosti $V_S(1)$.



Sl. 4.14. Dvostepena logička mreža
(a) kaskada I—ILI (b) ekvivalentno kolo

Da bi nivo napona na izlazu $V_I(1)$ bio po vrednosti što bliži nivou napona na ulazu $V_S(1)$, napon u tački X treba da je preko dioda D_1 i D_2 sigurno vezan na nivo $V_S(1)$. Zbog toga napon u tački X mora da ima vrednost

$$V_X > V_S(1) + V_{D12}. \tag{4.21}$$

Pri otkačenim diodama D_1 i D_2 za napon V_X može da se napiše izraz

$$V_X = V_{BB_1} - R_1[(M_2 - 1)\, I_{DO} + I_2 + I_P] \tag{4.22}$$

gde je

$$I_2 = \frac{V_X - V_{D3} + V_{BB2}}{R_2}. \tag{4.23}$$

Iz jedn. (4.22) i (4.23) nalazi se da je

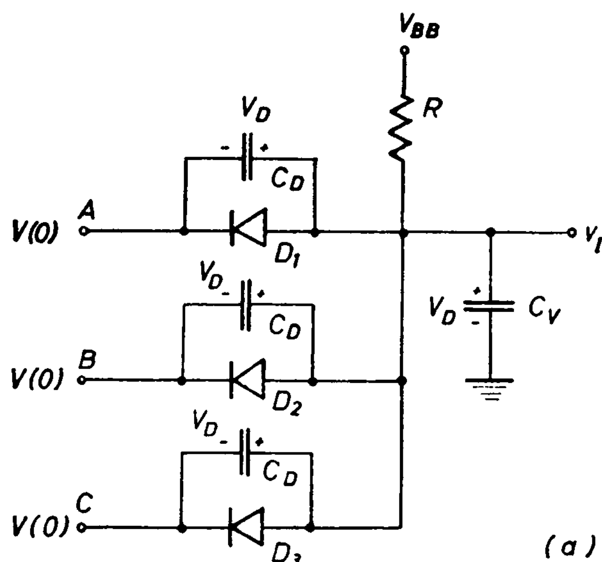
$$V_X = \frac{R_2}{R_1 + R_2} V_{BB1} - \frac{R_1}{R_1 + R_2}(V_{BB} - V_{D3}) - \frac{R_1 R_2}{R_1 + R_2}[(M_2 - 1) I_{DO} + I_P). \tag{4.24}$$

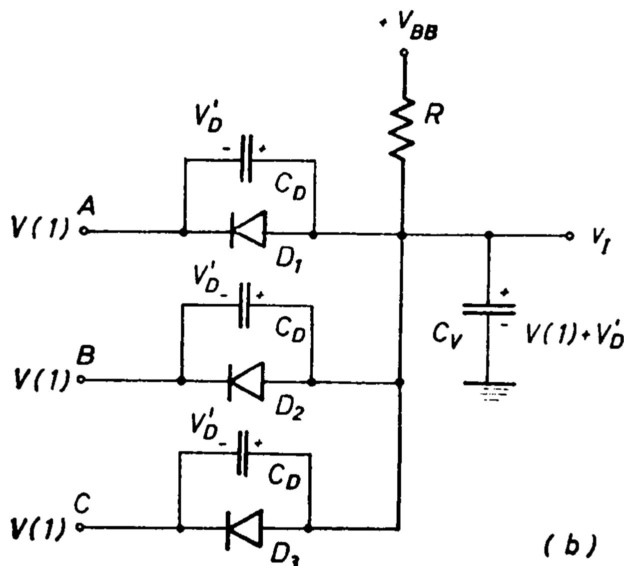
Nađeni napon V_X treba da zadovolji uslov (4.21). Svaka odabrana vrednost napona V_X može da se ostvari čitavim nizom parova vrednosti za R_1 i R_2. Zbog toga pri

izboru ovih otpornosti valja imati u vidu njihov uticaj na brzinu rada kola, ali i na disipaciju. U svakom slučaju, pri većoj vrednosti V_X tolerancije napona i otpora mogu da budu veće.

4.3.5. Prelazne karakteristike diodnih kola

Pri projektovanju logičkih kola izvesne izmene u proračunu parametara kola na bazi jednosmernog režima rada mogu da nastanu kao posledica postojanja kapacitivnosti u kolu. Procesi punjenja i pražnjenja ovih kapacitivnosti smanjuju brzinu rada kola. Zbog toga se pri proračunu logičkih kola nastoji, da se odaberu takve komponente, koje omogućuju brže obavljanje pomenutih procesa u kondenzatorima. U principu to se postiže smanjivanjem vremenskih konstanti kola, što u krajnjoj liniji upućuje na povećanje struja u kolu.





Sl. 4.15. Konačna raspodela napona u *I* kolu
(a) nijedan ulaz nije eksitovan
(b) svi ulazi eksitovani

Kapacitivnosti u kolima diodne logike sačinjavaju uglavnom kapaciteti dioda C_D i kapaciteti veza C_V, sl. 4.15. Ukoliko je izlaz kola opterećen potrošačom, koji se može da predstavi paralelnom vezom otpornosti R_P i kapacitivnosti C_P, onda umesto kapaciteta C_V treba računati sa uvećanom vrednošću $C_V' = C_V + C_P$. Isto tako otpor R i napon V_{BB} moraju se zameniti odgovarajućim Teveninovim ekvivalentima R' i V'_{BB}.

Konačna raspodela opterećenja u pojedinim kapacitetima zavisi od stanja signala na ulazima logičkog kola. Na sl. 4.15a i b pokazane su vrednosti napona na kapacitetima u datom *I* kolu za slučaj da su svi ulazi na nultom potencijalu $V(0)=0\,V$, odnosno da su svi ulazi na potencijalu logičke jedinice, čija je vrednost $V(1)<V_{BB}$. U oba slučaja su, dakle, sve diode provodne. Pa ipak, u slučaju (b) struje dioda su nešto manje nego u slučaju (a), te su i odgovarajući naponi $V'_D < V_D$. Kako napon V'_D mora da bude veći od graničnog napona provođenja diode V_{DT} to se može smatrati da su opterećenja kondenzatora C_D u oba pokazana slučaja ista. Otuda bi se na prvi pogled moglo da zaključi, da u prelaznom režimu kola efektivno sudeluje samo kapacitivnost na izlazu C_V. Međutim, ako se prati proces prelaženja kola iz neeksitovanog u eksitovano stanje, uočava se da postoji vremenski period u kome su sve diode neprovodne, jer su im katode na potencijalu $V(1)$, a potencijal anoda postepeno raste od vrednosti

V_D ka vrednosti $V(1)+V'_D$. U tom intervalu, znači, nastaje punjenje ne samo kapaciteta C_V već i svih kapacitivnosti C_D preko otpornosti R. Relativno velika vremenska konstanta kola

$$\tau_r \approx R(C_V+MC_D) \tag{4.25}$$

usporava porast prednje ivice izlaznog impulsa. Zbog toga postavljeni uslovi za vreme uspostavljanja izlaznog signala mogu ponekad da ograniče multiplikaciju ulaza logičkog kola. Razumljivo je da će pri kraju procesa uspostavljanja napona na izlazu da dođe do ponovnog provođenja dioda, pa prema tome i do naglog pražnjenja kondenzatora C_D na odgovarajuće ustaljene vrednosti.

Pri promeni ulaznih signala sa vrednosti $V(1)$ na vrednost $V(0)$, sve diode u kolu ostaju stalno u provodnom stanju. Zbog toga je odgovarajuća vremenska konstanta kola pražnjenja kondenzatora vrlo mala i približno iznosi

$$\tau_f \approx C_V R_D/M. \tag{4.26}$$

Prema tome, formiranje zadnje ivice izlaznog impulsa je znatno brže od prednje.

Prelazni režim zadnje ivice može da bude nešto malo duži, ako se samo jedan ulaz kola dovede u stanje $V(0)$, sl. 4.16. U ovom slučaju diode D_2 i D_3 postaju neprovodne, a njihove kapacitivnosti se najpre prazne, a zatim pune u suprotnom smeru do vrednosti napona $V_C=V(1)-V_D$. Pošto se i napon kondenzatora C_V menja za isti iznos, to vremenska konstanta kola pražnjenja u ovom slučaju približno iznosi

$$\tau'_f \approx R_D[C_V+(M-1)C_D]. \tag{4.27}$$

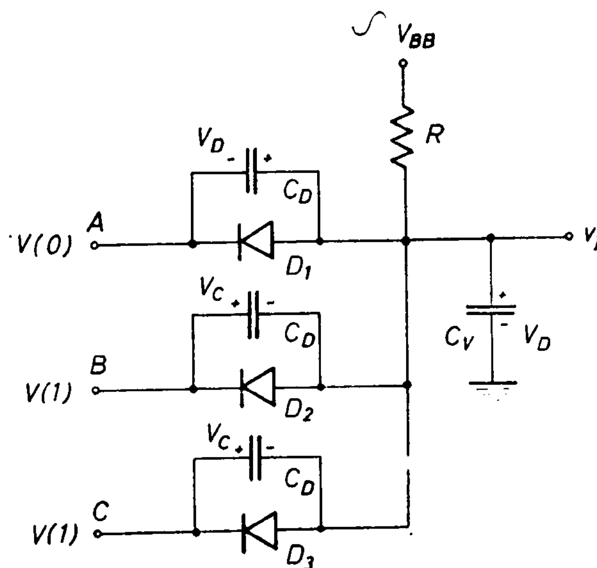
Što se tiče brzine porasta izlaznog napona pri eksitaciji ulaza A u kolu na sl. 4.16, nju i ovde karakteriše vremenska konstanta kola data izrazom (4.25), iako su prelazni procesi u ovom slučaju nešto drugačiji. Smatrajući da su kapacitivnosti dioda vrlo male, vremenska zavisnost napona na izlazu kola može da se predstavi izrazom

$$v_I(t)=V_{BB}+RMI_{DO}-[V_{BB}+RMI_{DO}-$$

$$-V(0)-V_D]\,e^{-t/RC_v} \tag{4.28}$$

jer su: $v_I(t=0)=V(0)+V_D$ (4.29)

i $v_I(t=\infty)=V_{BB}+RMI_{DO}$. (4.30)



Sl. 4.16. Raspodela napona u I kolu pri jednom neeksitovanom ulazu

Ako se sa $t=t_r$ obeleži vreme porasta napona na vrednost

$$v_I(t=t_r)=V(1)+V'_D \tag{4.31}$$

onda se izjednačenjem izraza (4.28) i (4.31) nalazi prelazno vreme uspostavljanja stanja logičke jedinice na izlazu kola

$$t_r=RC_V\,ln\frac{V_{BB}+RMI_{DO}-V(0)-V_D}{V_{BB}+RMI_{DO}-V(1)-V'_D}. \tag{4.32}$$

Interesantno je ovde uočiti da se brzina prelaznog režima unekoliko poboljšava sa povećanjem inverzne struje diode I_{DO}. Imajući, međutim, u vidu praktične vrednosti pojedinih članova u nađenom izrazu, on se može da svede na oblik

$$t_r \approx RC_V \ln \frac{V_{BB} - V(0)}{V_{BB} - V(1)} \approx RC_V \frac{\Delta V}{V_{BB}}, \tag{4.33}$$

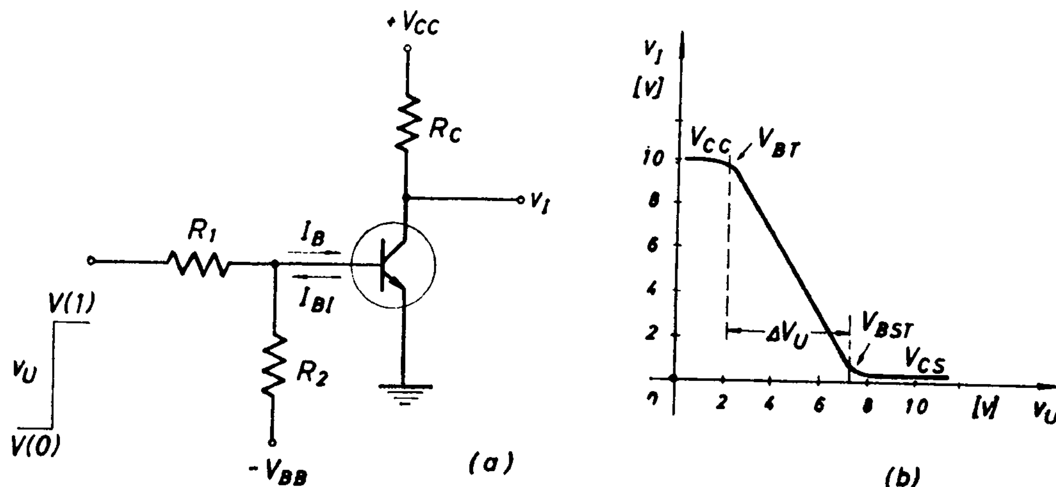
gde je $\Delta V = V(1) - V(0)$ logička amplituda napona. Krajnji izraz ubedljivo pokazuje da se povećanjem napona napajanja V_{BB}, pored ostalog, povećava i brzina rada kola.

4.4. INVERTOR

U ranijem izlaganju pokazano je da se osnovne Bulove operacije sabiranja i množenja mogu da izvode pomoću logičkih *ILI* i *I* kola, a komplementiranja — pomoću negatora ili invertora. Videli smo, dalje, da se jednostavna realizacija logikčih *ILI* i *I* kola može da ostvari sa pasivnim elementima u diodnoj logici. Za realizaciju invertora, međutim, potreban je aktivni prekidački element, odnosno tranzistor u poluprovodničkoj tehnici. U principu invertor može da bude svaki pojačavački stepen kod koga su ulazni i izlazni signali protivfazni. Stoga se proučavanje invertora svodi na upoznavanje ustaljenih i prelaznih stanja prekidačkog tranzistora, koji radi sa uzemljenim emitorom.

4.4.1. Ustaljena stanja invertora

Na sl. 4.17a pokazano je invertorsko kolo, koje se najčešće susreće u logičkim mrežama. Komponente kola su tako odabrane da se pri naponu pobudnog signala $v_U = V$ (1) tranzistor nalazi u provodnom, a pri $v_U = V$ (0) — u neprovodnom stanju. Prema tome, pri ulaznom naponu $v_U = V(0)$, na izlazu se uspostavlja stanje $V_I = V(1)$, a pri $v_U = V(1)$ biće $V_I = V(0)$. Na taj način je ostvarena logička operacija komplementiranja, odnosno negiranja pobudnog signala.



Sl. 4.17. Logička operacija komplementiranja
(a) invertor (b) prenosna karakteristika

U jednostavnijim šemama invertora mogu da budu izostavljene komponente V_{BB} i R_2. Pouzdan rad kola u tom slučaju bio bi ostvaren ako bi nivo $V(0)$ ulaznog signala V_U bio negativan. Međutim, ako nivo $V(0)$ ima približno nulti poten-

cijal, onda pad napona na otporu R_1 usled inverzne struje u baznom dovodu može da dovede u pitanje pouzdanost blokiranja tranzistora. U slučaju postojanja baterije V_{BB}, međutim, logička nula ulaznog signala može da bude čak i na izvesnom pozitivnom potencijalu, što je inače vrlo čest slučaj u praktičnoj primeni. No, i pored navedenog razloga, primena baterije V_{BB} je opravdana i zbog njenog uticaja na smanjenje vremena isključivanja tranzistorskog prekidača. Kao što je poznato, brzina isključivanja biće veća što je veći napon V_{BB}. Međutim, pri izboru ovog napona treba imati u vidu i probojni napon emitorskog spoja tranzistora.

Dva logička stanja invertora uslovljena su vrednošću bazne struje tranzistora. Radna tačka tranzistora u provodnom stanju može da se nalazi u aktivnoj oblasti ili u oblasti zasićenja. Imajući u vidu poznate prednosti rada prekidačkog tranzistora u zasićenju, za posmatrani invertor odredićemo potrebnu struju baze koja će da obezbedi takav režim rada prekidača. Stanje zasićenja tranzistora diktirano je nivoom napona ulaznog signala $v_U = V_U(1)$, pa je struja baze jednaka razlici struja kroz otpornosti R_1 i R_2. Prema tome, bazna struja tranzistora ima vrednost

$$I_B = \frac{V_U(1) - V_{BS}}{R_1} - \frac{V_{BS} + V_{BB}}{R_2}. \tag{4.34}$$

Da bi tranzistor bio u zasićenju, mora da bude i u najnepovoljnijem slučaju zadovoljen uslov

$$I_B > \frac{V_{CC} - V_{CS}}{h_F \cdot R_C}. \tag{4.35}$$

Naglasimo ovde još jedanput da ovaj uslov treba da bude zadovoljen i pri najnepovoljnijim vrednostima parametara i uslovima rada kola. U vezi s tim podsetimo se da koeficijent strujnog pojačanja istog tipa tranzistora obično varira u odnosu 2:1, pa čak i 10:1. Dalje, kolektorska struja tranzistora zavisi od opterećenja, koje kod invertora nije konstantno. Najzad, napomenimo i to, da će brzina uključivanja invertora biti veća, a nivo izlaznog napona $V_I(0)$ manji, ako je faktor zasićenosti $F_S = h_{FE} I_B / I_{CS}$ veći. Prema tome, komponente invertora treba tako dimenzionirati da direktna struja baze tranzistora bude što veća. Pri tome valja imati u vidu da sa povećanjem struje I_B raste i napon V_{BS} tranzistora, jer su karakteristike emitorske diode analogne onima, koje su date za običnu diodu na sl. [illegible]0.

Neprovodno stanje tranzistora diktirano je ulaznim naponom $v_U = V_U(0)$. Pošto je $V_U(0) < V_{BS}$, to je struja isključivanja tranzistora jednaka zbiru struja kroz otpore R_1 i R_2. Prema tome, struja isključivanja ima vrednost

$$I_{BI} = \frac{V_{BS} - V_U(0)}{R_1} + \frac{V_{BS} + V_{BB}}{R_2}. \tag{4.36}$$

Obično je ovde prva komponenta struje vrlo mala, što znači da struja isključivanja određuje uglavnom odnos V_{BB}/R_2. U ustaljenom neprovodnom stanju na bazi tranzistora se uspostavlja konačni napon neprovođenja V_{BN}, te tada u baznom dovodu tranzistora teče struja inverznog smera, čija je vrednost I_{BV}. Stavljajući ove vrednosti u jedn. (4.36) umesto V_{BS} i I_{BI} nalazi se da je

$$V_{BN} = V_U(0) - \frac{R_1}{R_1 + R_2} [V_U(0) + V_{BB}] + \frac{R_1 R_2}{R_1 + R_2} I_{BV}. \tag{4.37}$$

Napon neprovođenja V_{BN} kod silicijumskih tranzistora može da bude jednak nuli, ali se češće podešava da bude nešto ispod nule. U svakom slučaju može se uzeti da je $V_{BN} \approx 0$. Osim toga obično je i $V_U(0) \approx 0$, pa se iz jedn. (4.37) nalazi da je

$$R_2 \approx \frac{V_{BB}}{I_{BV}}. \tag{4.38}$$

Pri dimenzionisanju invertora često se uzima da je $|V_{BB}| = V_{CC}$. Ako je napon baterije reda 10V i neka je $I_{BV} \approx I_{CBO}$ u najgorim uslovima reda 100μA, otpornost R_2 biće reda 100 $K\Omega$.

Podsetimo, da su kod neprovodnog tranzistora oba spoja — emitorski i kolektorski — inverzno polarizovana, što se obično označava indeksom X ili V. U vezi s tim, znači, da kroz bazni dovod teku inverzne struje kolektorskog i emitorskog spoja, tako da je ukupna inverzna struja u baznom dovodu I_{BV}. Pošto je, međutim, struja emitorskog spoja vrlo mala, to struja kolektorskog spoja ima pretežni uticaj na rad invertora, pa se često jedino ona i uzima u obzir. Naglasimo da se ova struja nepovoljno odražava na karakteristike invertora u pogledu logičkog nivoa napona $V(1)$, napona V_{BN} kao i disipacije tranzistora u neprovodnom stanju.

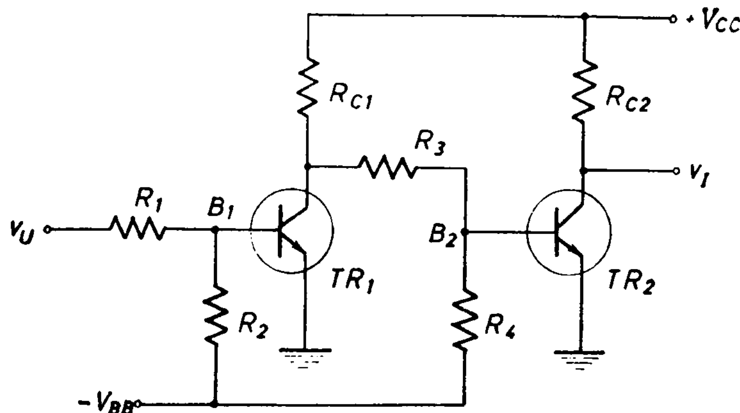
Imajući u vidu da je otpornost R_2 dosta velika, na veličinu direktne bazne struje tranzistora od pretežnog je uticaja otpornost R_1. Stoga se, koristeći jednačine (4.34), (4.35) i (4.38), nalazi približan izraz za određivanje ove otpornosti

$$R_1 < h_F \cdot R_C \frac{V_U(1)}{V_{CC}}. \tag{4.39}$$

Otpornost R_1 je obično za red veličine manja od otpornosti R_2.

Dinamičko ponašanje invertora prikazano je pomoću njegove prenosne karakteristike na sl. 4.17b. Logički nivoi izlaznog napona su $V_I(0) = V_{CS}$ i $V_I(1) = V_{CC} - R_C I_{CBO}$. U prelaznoj oblasti ΔV_U invertor radi kao pojačavač. Širina ove oblasti a u vezi s tim i potrebna logička amplituda pobudnog signala zavisi od veličine pojačanja. U prikazanom primeru najviša vrednost nivoa $V_U(0)$ je oko 2V, a najniža vrednost nivoa $V_U(1)$ je oko 7V. Zapazimo da invertor veoma dobro kvantuje izlazne nivoe napona čak i pri dosta velikim promenama ulaznih nivoa. Tako će, na primer, da bude $V_I(1) \approx V_{CC}$ za veoma različite vrednosti signala $V_U(0)$, koji je inače sa donje strane ograničen jedino probojnim naponom emitorskog spoja tranzistora. S druge strane, napon na izlazu imaće vrednost $V_I(0) = V_{CS}$ za veoma različite vrednosti napona $V_U(1)$, čija je najviša vrednost ograničena uglavnom disipacijom u kolu baze tranzistora.

Invertori se često vezuju u kaskadu tako da izlazni signal jednog stepena služi kao ulazni signal sledećeg stepena, sl. 4.18. Ovakva kaskada vrši dvostruko negiranje ulaznog signala, što znači da se na ulazu i krajnjem izlazu kaskade pojavljuju istovremeno isti logički nivoi napona. Prema tome tranzistori $TR1$ i $TR2$ su uvek u suprotnom režimu rada, tj. kada prvi provodi, drugi ne provodi i obrnuto.



Sl. 4.18. Kaskadna sprega invertora

Statička analiza dvostepenog invertora vrši se na isti način kao i jednostepenog. Očigledno je da će pobudne struje kao i naponski nivoi drugog stepena unekoliko da se razlikuju od nađenih vrednosti za jedan stepen. Tako, na primer, kada je $v_U = V_U(0)$ biće tranzistor $TR1$ blokiran, a visoki napon na njegovom kolektoru obezbeđuje baznu struju zasićenja tranzistora $TR2$. U izrazu za baznu struju u ovom slučaju umesto $V_U(1)$ pojavljuje se vrednost $V_{CC} - R_{C1} I_{CBO1}$. Prema tome bazna struja tranzistora $TR2$ može da se nađe pomoću izraza:

$$I_B = \frac{V'_{CC} - V_{BS2}}{R_{C1} + R_3} - \frac{V_{BS2} + V_{BB}}{R_4}, \tag{4.40}$$

gde je $V'_{CC} = V_{CC} - R_{C1} I_{CBO1}$.

Kada ulazni napon kaskade ima vrednost $V_U(1)$, tranzistor $TR1$ je u zasićenju, pa napon na njegovom kolektoru V_{CS1} blokira tranzistor $TR2$. U ovom slučaju za baznu struju isključivanja tranzistora $TR2$ nalazi se izraz

$$I_{BI} = \frac{V_{BS2} - V_{CS1}}{R_3} + \frac{V_{BS2} + V_{BB}}{R_4}, \tag{4.41}$$

dok se za ustaljeni napon neprovođenja dobija vrednost

$$V_{BN} = V_{CS1} - \frac{R_3}{R_3 + R_4}(V_{CS1} + V_{BB}) + \frac{R_3 R_4}{R_3 + R_4} I_{BV2}. \tag{4.42}$$

Proračunski postupak invertorskog kola može da se izvede sa različitih aspekata. U svakom slučaju proračun se svodi na to da se unapred odaberu vrednosti nekih komponenata kola, zatim da se iz odgovarajućih karakteristika odrede potrebni parametri aktivnog elementa i najzad da se primenom ranije datih relacija izračunaju vrednosti preostalih komponenata. Primera radi pokazaćemo u principu proračunski postupak invertorskog stepena sa tranzistorom $TR2$ na sl. 4.18. Da bi se obezbedio pravilan rad invertora, razdelnik napona R_3—R_4 treba tako dimenzionisati da tranzistor $TR2$ bude zasićen prema datom faktoru F_S, odnosno da bude blokiran naponom V_{BN2}. Struja baze tranzistora određuje se pomoću izraza (4.40). Iz uslova zasićenosti tranzistora $TR2$ nalazi se vrednost ove struje

$$I_{B2} = F_S \cdot \frac{V_{CC} - V_{CS2}}{h_{F2} \cdot R_{C2}}. \tag{4.43}$$

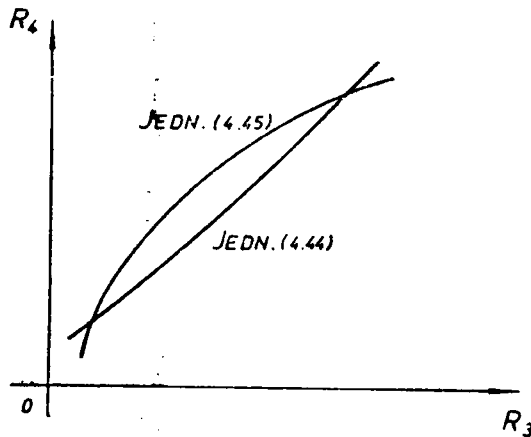
Izjednačenjem izraza (4.40) i (4.43) dobija se

$$R_3 = \frac{V_{BB} + V_{BS2}}{\dfrac{V'_{CC} - V_{BS2}}{R_{C1} + R_3} - F_S \dfrac{V_{CC} - V_{CS2}}{h_{F2} \cdot R_{C2}}}. \tag{4.44}$$

S druge strane, razdelnik napona — kao što je već rečeno — treba da obezbedi i napon V_{BN2} na bazi tranzistora $TR2$ u režimu neprovođenja. Prema tome, iz jedn. (4.42) nalazi se da je

$$R_4 = \frac{R_3(V_{BB} + V_{BN2})}{V_{CS1} - V_{BN2} + R_3 I_{BV2}}. \tag{4.45}$$

Grafičkim predstavljanjem jednačina (4.44) i (4.45) u zavisnosti od vrednosti otpora R_3, sl. 4.19, određuje se oblast rešenja, odnosno parova vrednosti, koje zadovoljavaju postavljene uslove pravilnog rada invertora. Presečne tačke ucrtanih dijagrama pokazuju da postoje dva para vrednosti otpora R_3 i R_4 sa kojima se ostvaruje željena struja I_B i napon V_{BN}. Očigledno je da su vrednosti otpora, određene prema donjoj presečnoj tački, povoljnije s obzirom na veću brzinu rada kola, jer su tada struje u kolu veće. Vrednosti otpora određene prema gornjoj presečnoj tački, međutim, povoljnije su sa gledišta disipacije u kolu. Parovi otpora R_3 i R_4, čije vrednosti padaju između datih dijagrama, obezbeđuju još sigurnije zasićenje i blokiranje tranzistora. Vodeći računa i o tolerancijama komponenata i parametara aktivnog elementa, svakako je najpovoljnije da se odaberu vrednosti za otpore R_3 i R_4 prema tački, koja se nalazi negde u sredini pokazanog polja između ucrtanih dijagrama.



Sl. 4.19. Grafički prikaz jednačina (4.44) i (4.45)

Za ucrtavanje dijagrama na sl. 4.19 potrebno je poznavati parametre koji se pojavljuju u jednačinama (4.44) i (4.45). Radi toga se obično usvajaju vrednosti za V_{CC}, V_{BB}, I_C, I_B, V_{BN} i F_S. Prema usvojenim vrednostima za I_C i I_B iz karakteristika tranzistora se nalaze vrednosti V_{CES} i V_{BES}. Isto tako iz karakteristika se određuju veličine I_{CBO} i I_{BV} za usvojene vrednosti V_{CC} i V_{BEN}. Najzad se očitava i parametar h_{FE} za konkretne vrednosti struje I_C i napona V_{CES}. Pošto su određeni svi ovi parametri, dakle, može da se izračuna otpornost R_C iz jedn. (4.43) i najzad da se ucrtaju dijagrami na sl. 4.19. Zapazimo da u ovom proračunu veliku ulogu igra umešnost inženjerskog rezonovanja, jer se vrednosti većine parametara odabiraju, odnosno usvajaju.

4.4.2. Margine smetnji invertora

Pri projektovanju invertorskog stepena od značaja je i poznavanje njegove osetljivosti na šumove i smetnje. Ova karakteristika se izražava pomoću margine smetnji za oba logička stanja invertora. Prema definiciji margine smetnji, datoj u jedn. (1.7), biće potrebno da se za oba slučaja odrede odgovarajući naponi na baznom priključku tranzistora, ili, pak, na ulaznom priključku invertora. Primera radi odredićemo margine smetnji za drugi stepen invertora na sl. 4.18.

Pretpostavimo da se tranzistor $TR2$ nalazi u neprovodnom stanju. To znači da je tranzistor $TR1$ u zasićenju, pa je napon na ulazu invertora $V_1 = V_{CS1}$. Usled eventualnih šumova ili smetnji, ovaj napon može da poraste tako, da napon u tački B_2 dostigne prag provođenja V_{BT} tranzistora $TR2$. Da bi nastala takva situacija, napon na ulazu invertora mora da ima vrednost $V_2 = V_{BT2} + R_3 I_3$, gde je I_3 struja koja teče kroz otpornost R_3. Razlika potencijala $V_2 - V_1$ predstavlja marginu smetnji za posmatrani invertor u neprovodnom stanju. Prema tome, njena vrednost data je izrazom:

$$V_{MSN} = V_{BT2} - V_{CS1} + R_3 \frac{V_{CS1} + V_{BB}}{R_3 + R_4}. \tag{4.46}$$

Vidimo, dakle, da margina smetnji predstavlja gornju granicu napona, koji može da bude superponiran ustaljenom naponu na ulazu invertora bez rizika da će invertor da izmeni postojeće logičko stanje.

Pretpostavimo sada da se tranzistor $TR2$ nalazi u provodnom stanju. To znači da je tranzistor $TR1$ blokiran, te napon na ulazu invertora (pri otkačenoj bazi tranzistora $TR2$) ima vrednost $V_1 = V_{CC} - R_{C1}(I_{CB01} + I_{BB})$, gde je I_{BB} struja kroz razdelnik otpora $R_{C1} - R_3 - R_4$. Usled napona smetnji potencijal u tački B_2 može da se smanji do praga zasićenja V_{BST} tranzistora $TR2$. Da bi se ostvarila takva situacija, napon na ulazu invertora mora da ima vrednost $V_2 = V_{BST2} + R_3 I_{BB}$. Razlika potencijala $V_1 - V_2$ određuje marginu smetnji provodnog invertora, za koju se nalazi izraz:

$$V_{MSP} = V_{CC} - R_{C1} I_{CB01} - V_{BST2} - (R_{C1} + R_3) I_{BB}, \tag{4.47}$$

gde je $I_{BB} = \dfrac{V_1 + V_{BB}}{R_3 + R_4} = \dfrac{V_{CC} + V_{BB} - R_{C1} I_{CB01}}{R_{C1} + R_3 + R_4}$.

Iznalaženje margine šuma za prvi invertorski stepen na sl. 4.18 ili za jednostepeni invertor na sl. 4.17 izvodi se na isti način, samo što u ovom slučaju naponi V_1 imaju vrednosti $V_U(0)$. odnosno $V_U(1)$. Ukoliko su još invertorski stepeni izvedeni bez baterije V_{BB} i odgovarajućih otpornika vezanih na nju, onda se za prvi invertorski stepen dobijaju vrlo jednostavni izrazi za margine šuma, naime:

$$V_{MSN} = V_{BT1} - V_U(0) \tag{4.48}$$

$$V_{MSP} = V_U(1) - V_{BST1}. \tag{4.49}$$

Zapazimo da je margina smetnji neprovodnog stepena manja od margine provodnog, što znači da je tranzistor osetljiviji na šumove i smetnje u neprovodnom nego u provodnom stanju.

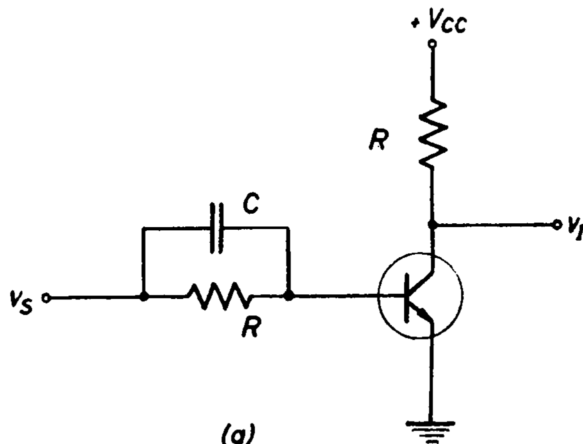
4.4.3. Prelazna stanja invertora

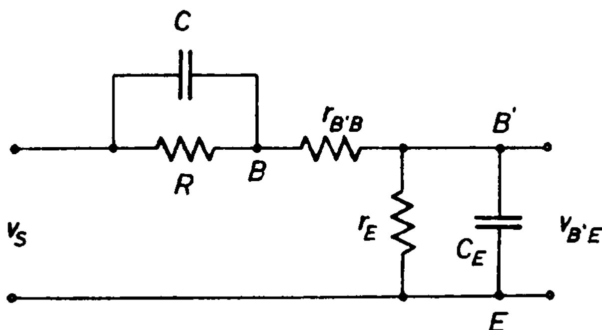
Prelazna stanja invertorskog stepena u suštini nisu ništa drugo do prelazna stanja upotrebljenog prekidačkog elementa. Prema tome, iznalaženje prelaznih vremena t_d, t_r, t_s i t_f može da se izvede poznatim metodama pomoću ekvivalentnog kola ili pomoću kontrolnog električnog tovara u području baze. Imajući u vidu da je faktor zasićenosti tranzistora u invertoru često dosta veliki, vreme nagomilavanja t_s može da bude tako veliko da je veće od zbira svih ostalih vremena prelaznog režima. Stoga je za brži rad invertorskog kola od velikog interesa da se ovo vreme što više smanji.

Vreme nagomilavanja može da se smanji ako u kolu baze tranzistora, kao što smo već istakli, postoji dovoljno velika struja isključivanja I_{BI}. Ova struja ima suprotan smer od struje I_B, te, prema tome, potpomaže uklanjanje viška električnog tovara nagomilanog u bazi pri proticanju struje I_B. U kolu na sl. 4.17 struja isključivanja dobija se iz baterije V_{BB}. Međutim, takva prelazna komponenta bazne struje može da se ostvari i pomoću kapaciteta, koji premošćava radnu otpornost u kolu baze tranzistora.

Na sl. 4.20 a pokazano je invertorsko kolo sa radnim otporom u baznom dovodu R i ubrzavajućim kapacitetom C. U slučaju kada nema kapaciteta C, ulazno kolo invertora ponaša se kao integrator, te je promena napona na baznom priključku tranzistora usporena. Međutim, kada je otpornost R premošćena kapacitetom C početnu raspodelu potencijala u ulaznom kolu pri promeni napona V_S određuju kapacitivnosti C i C_S kao i otpornost $r_{B'B}$, sl. 4.20 b. S obzirom da je uticaj otpornosti $r_{B'B}$ na raspodelu potencijala zanemarljivo mali, to je početni napon na baznom priključku određen relacijom:

$$v_{B'E} = \frac{C}{C + C_E} v_S. \tag{4.50}$$



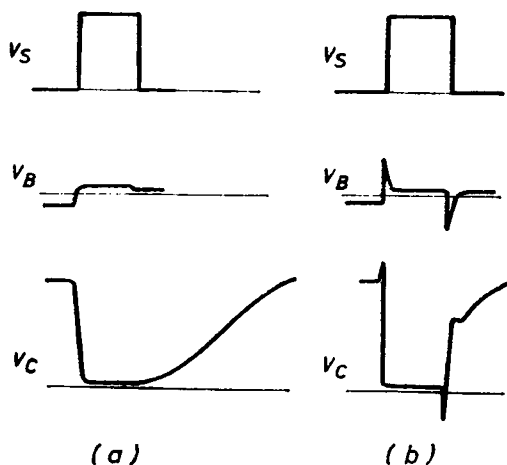


Sl. 4.20. Povećanje brzine rada invertora
(a) invertor sa kapacitetom C
(b) ulazno ekvivalentno kolo

Ovaj izraz pokazuje da će pri većoj vrednosti kapaciteta C biti i napon $v_{B'E}$ veći, a to znači da se time povećava i emitorska struja tranzistora. Drugim rečima, kada ulazni napon naglo poraste na vrednost $v_S = V_S(1)$, veća struja koja prolazi kroz kapacitet C omogućava brže punjenje kapacitivnosti C_E, a time i brže uključivanje tranzistora. U ovom procesu kapacitet C se puni na napon $V_S(1) - V_{BS}$ primajući električni tovar $Q = CRI_B$. Međutim, pri naglој promeni ulaznog napona na vrednost $v_S = V_S(0) = 0$, napunjeni kapacitet C vezuje se direktno između baze i emitora tranzistora sa negativnim polaritetom na bazi. Usled relativno velike inverzne polarizacije emitorskog spoja tranzistora, nastaje velika struja isključenja tranzistora I_{BI}. Ako je kapacitet C odabran tako da je njegov tovar jednak ili veći od nagomilanog tovara u području baze tranzistora, struja, nastala u procesu pražnjenja kapaciteta C, naglo odvodi nagomilani tovar iz baze, smanjujući time ukupno vreme isključivanja tranzistora. U slučaju da ne postoji struja isključivanja baze I_{BI}, nagomilani tovar u bazi smanjivao bi se samo procesom rekombinacije, zbog čega bi, i vreme rasterećenja (nagomilavanja) trajalo znatno duže.

Prema napred izloženom može se zaključiti da kapacitet C skraćuje sva prelazna vremena kako pri uključivanju tako i pri isključivanju aktivnog elementa. Pa ipak treba skrenuti pažnju na to da efikasnost delovanja ubrzavajućeg kapaciteta ne zavisi samo od njegove veličine, već i od oblika pobudnog signala. Naime, u prethodnom razmatranju bilo je pretpostavljeno da se pobudni napon na ulazu kola menja trenutno, ili bar da su njegova prelazna vremena zanemarljivo mala u poređenju sa prelaznim režimima invertora. U stvarnosti, međutim, vremena uspostavljanja i opadanja pobudnog napona mogu da budu istog reda veličine kao i odgovarajuća vremena prekidačkog kola. Stoga se efikasnost delovanja kapaciteta C smanjuje, pa čak može da bude i eliminisana ako ulazni signal mnogo odstupa od idealne odskočne funkcije.

Prelazna stanja invertora prikazana su vremenskim dijagramima na sl. 4.21. Napon pobudnog signala v_S, napon na bazi v_B i napon na kolektoru v_C ucrtani su za dva slučaja: (a) kada nema ubrzavajućeg kapaciteta C i (*b*) kada taj kapacitet postoji. Na dijagramu kolektorskog napona u slučaju (*b*) uočava se izvesno skraćenje vremena uključivanja, kao i znatno smanjenje vremena isključivanja invertora. Zapaziti da zadnja ivica ovog impulsa još uvek nije dobra, što je znak da kapacitet C treba još da se poveća. U slučaju da se pobudni signal v_S dovede na ulaz invertora pre nego što se kondenzator C potpuno isprazni, stvarni ulazni napon biće manji, jer se delimično poništava naponom na kondenzatoru. Zbog toga se smanjuje i pozitivan impuls na bazi tranzistora, uslovljavajući time i duže vreme uključivanja tranzistora. Da bi se ubrzalo pražnjenje kapaciteta C, može da se smanji otpornost R. Time se, međutim, povećava struja baze, pa, prema tome, i bazni tovar, što iziskuje dalje povećanje kapaciteta C. U svakom slučaju preostaje da se najpovoljnija vrednost ubrzavajućeg kapaciteta odredi eksperimentalno. U vezi s tim, treba imati u vidu da on zavisi od ulazne otpornosti baze, opterećenja kolektora, kao i od tipa tranzistora. Kod legiranih tranzistora u principu treba očekivati da će taj kapacitet da bude veći nego kod tranzistora sa difundovanom bazom.



Sl. 4.21. Prelazna stanja invertora na sl. 4.20a
(a) bez kapaciteta C
(b) sa kapacitetom C

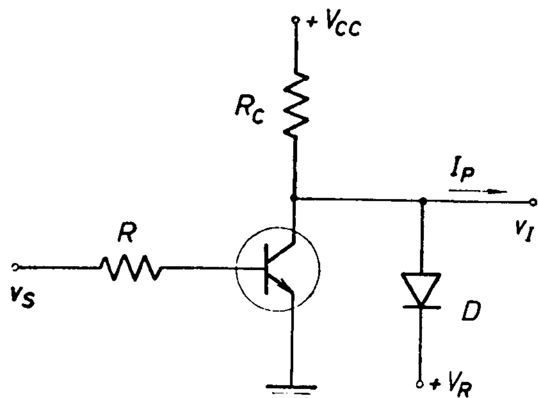
Videli smo da se kapacitivnim premoštavanjem redne otpornosti u baznom dovodu tranzistora povećava brzina rada invertorskog stepena. U slučaju kaskadne sprege dva invertorska stepena, međutim, ubrzavajuća kapacitivnost C opterećuje kolektor tranzistora u prethodnom stepenu. Zbog toga je promena napona na izlazu prvog invertorskog stepena sporija, a to se, kao što smo rekli, odražava i na efikasnost delovanja kapaciteta C na prelazne režime drugog stepena. Osim toga, obratimo pažnju i na to, da je pri pobudnom signalu $v_S = V_S(1)$ tranzistor prvog stepena izložen povećanoj disipaciji, jer kroz njega protiče i struja isključivanja I_{BI} sledećeg stepena. Iako ova struja obično nije kritična, ipak je u praktičnim kolima treba imati u vidu.

I pored navedenih nedostataka pri korišćenju invertorske kaskade, ubrzavajući kapacitet smanjuje ukupno trajanje prelaznih stanja invertora. Uopšte gledano, istaknimo i ovom prilikom, da se brži rad invertora postiže povećanjem pobudnih struja, jer se time ubrzavaju promene unutrašnjih nagomilanih tovara u tranzistoru. Zbog toga će često da bude i ograničena multiplikacija izlaznih priključaka invertora na možda svega jedno logičko kolo.

4.4.4. Opterećenje invertora

Izlazni napon invertora pri pobudnom signalu $v_S = V_S(0)$ zavisi od opterećenja koja su priključena na izlazu. Taj napon u stvari određuje razdelnik koga čine kolektorska otpornost tranzistora i ulazne otpornosti priključenih kola. Kako se ekvivalentna otpornost opterećenja menja od slučaja do slučaja, to i izlazni nivo napona invertora pri logičkoj jedinici nije konstantan.

Na sl. 4.22 pokazana je mogućnost stabilizacije izlaznog nivoa napona invertora pomoću ograničavačke diode D i referentnog napona V_R. Najveći napon na anodi diode nastaje kada je struja potrošača $I_P = 0$. Prema tome, struja diode kreće se od nule, kada je tranzistor u zasićenju, pa do maksimalne vrednosti koja iznosi



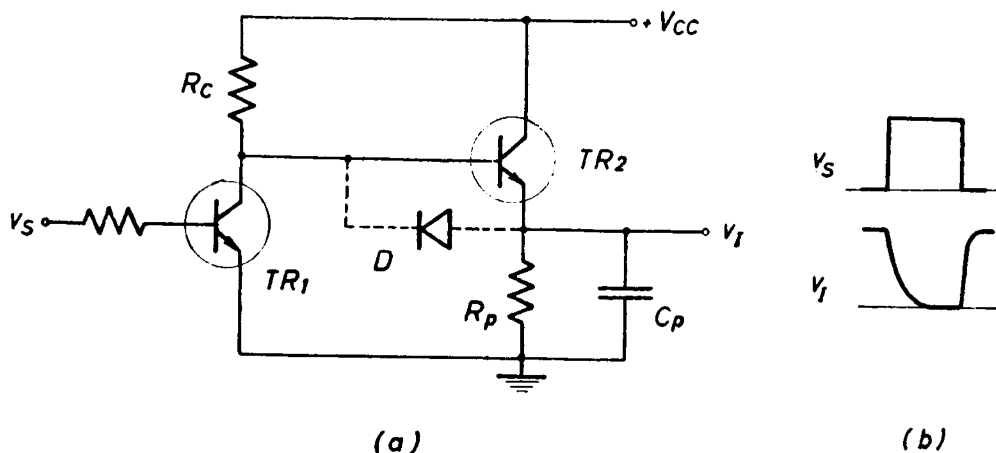
Sl. 4.22. Stabilizacija izlaznog napona invertora

$$I_D = \frac{V_{CC} - R_C I_{CBO} - V_{DT} - V_R}{R_C + R_D}. \qquad (5.51)$$

Ograničavačka dioda, dakle, povećava stabilnost izlaznog nivoa invertora pri neprovodnom stanju tranzistora. Poboljšanje stabilnosti ne odnosi se samo na promenljivo opterećenje izlaza već i na varijacije napona napajanja. Osim toga, ova dioda smanjuje i trajanje prelaznog stanja uspostavljanja izlaznog nivoa napona, ograničavajući ga samo na početni deo eksponencijalnog toka. Pa ipak, ukažimo i na jednu lošu stranu dodate diode, koja se ogleda u povećanju disipacije invertorskog stepena.

Invertorski stepen u principu nije pogodan za napajanje potrošača kapacitivnog karaktera. Naime, ako se na izlaz invertora, na primer na sl. 4.20a, priključi potrošač predstavljen kapacitetom C_P, onda će oblik napona na kolektoru tranzistora prilično da se izmeni u poređenju sa naponima prikazanim na sl. 4.21b. Izmena oblika napona ogleda se u povećanju trajanja prelaznih stanja, što se naročito odnosi na uspostavljanje gornjeg nivoa izlaznog napona. Ovo je potpuno razumljivo ako se ima u vidu da porast napona na kolektoru tranzistora određuje struja u kolu, čija vremenska konstanta $C_P R_C$ može da bude dosta velika.

Da bi se smanjila pomenuta vremenska konstanta punjenja kapacitivnosti C_P, kapacitivno opterećenje se priključuje na invertor preko emitorfolovera, sl. 4.23 a. U ovom slučaju uspostavljanje gornjeg nivoa napona v_I je znatno ubrzano, jer se

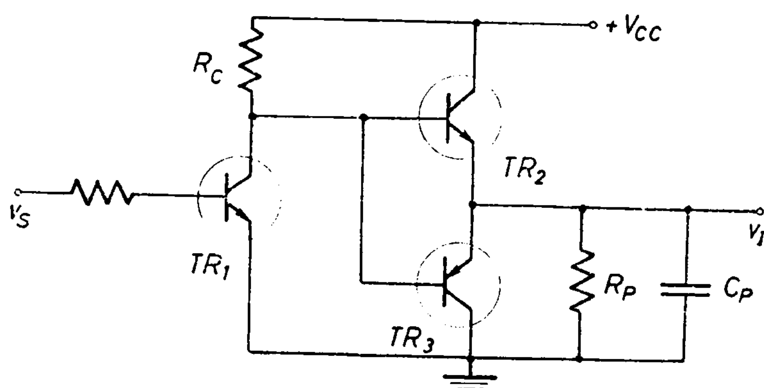


Sl. 4.23. Poboljšanje opteretljivosti invertora
(a) invertor sa emitorfoloverom (b) naponski oblici invertora

ranije vremenska konstanta kola $C_P R_C$ sada smanjuje približno sa faktorom h_{fe2}. Do ovog zaključka dolazi se određivanjem izlazne impedanse emitor-folovera, za koju se pretpostavlja da je znatno manja od otpornosti R_P.

Formiranje donjeg nivoa izlaznog napona, kao što se vidi na sl. 4.23b, je dosta sporo, jer se pražnjenje kondenzatora vrši kroz otpornost R_P. Na sl. 4.23a pokazana je mogućnost poboljšanja ovog prelaznog stanja pomoću diode D. Naime, preko ove diode vezuje se paralelno otporu R_P otpornost tranzistora $TR1$ u toku njegovog zasićenja, čime se smanjuje vremenska konstanta kola pražnjenja kondenzatora C_P.

Praktično podjednaka brzina formiranja oba nivoa izlaznog napona invertora postiže se priključivanjem kapacitivnog opterećenja na invertor preko komplementarnog emitorfolovera, sl. 4.24. Pri ulaznom naponu $v_S = V_S(0)$, napon na kolektoru tranzistora $TR1$ je visok, pa je tranzistor $TR2$ u provodnom, a $TR1$ u neprovodnom stanju. Prema tome, kapacitivnost C_P se puni preko male izlazne impedanse tranzistora $TR2$. Kada je, međutim, ulazni napon $v_S = V_S(1)$, napon na kolektoru tranzistora $TR1$ je nizak, te sada provodi tranzistor $TR3$, a tranzistor $TR2$ je blokiran. Zahvaljujući tome pražnjenje kapacitivnosti C_P vrši se preko male izlazne



Sl. 4.24. Invertor sa komplementarnim emitor-foloverom

impedanse tranzistora $TR3$. To konačno znači da se u oba procesa, kako pri punjenju tako i pri pražnjenju izlaznog kapaciteta C_P, javlja strujno pojačanje u odgovarajućim tranzistorima $TR2$ i $TR3$, usled čega i dolazi do bržeg odvijanja tih procesa, a u vezi s tim i do smanjenja trajanja prelaznih režima invertora.

LITERATURA

1. *Blitzer, R.:* Basic Pulse Circuits, McGraw-Hill, New York, 1964, gl. 8
2. *Millman, J., Taub, H.:* Pulse, Digital and Switching Waveforms, McGraw-Hill, New York, 1965, gl. 9
3. *Harris, J., Gray, P., Searle, C.:* Digital Transistor Circuits, John Wiley, New York, 1966, gl. 2 i 5
4. *Delhom, L.:* Design and Application of Transistor Switching Circuits, McGraw-Hill, New York, 1968. gl. 6 i 10
5. *Turner, J.:* Digital Computer Analysis, Merrill Publ. Comp., Columbus, Ohio, 1968, gl. 6 i 7
6. *Raković, B.:* Logička kola. FOSS Elektrotehn. fakulteta, Beograd, 1971.

G L A V A 5.

SISTEMI IZVOĐENJA LOGIČKIH KOLA

U prethodnoj glavi iznete su karakteristike elementarnih logičkih kola *I*, *ILI* i *NE*. Pokazana tehnika izvođenja tih kola u stvari je tranzistorizovana verzija prvobitne realizacije logičkih kola sa elektronskim cevima. To znači da je tehnika izvođenja logičkih kola pomoću otpora — *RL*, dioda — *DL* ili tranzistora — *TL* vezana praktično za početak razvoja logičkih mreža pomoću diskretnih elemenata. No i pored toga, navedene tehnike izvođenja logičkih kola mogu da budu od interesa i u razradi savremenih prekidačkih mreža digitalne elektronike. U svakom slučaju — kao što je već i istaknuto — poznavanje problema koji prate logička kola izvedena u klasičnoj tehnici, od koristi je za lakše shvatanje potrebe drugih sistema logičkih kola, primenjenih u složenijim mrežama i sklopovima.

Dalji razvoj tehnike izvođenja logičkih kola išao je za tim, da se formiraju osnovna kola nešto složenijeg oblika, koja sadrže određene kombinacije ranijih komponenata: otpornika, dioda i tranzistora. Tako su nastali logički sistemi poznati pod nazivom otporno-tranzistorska logika — *RTL* (resistor-transistor-logic), kao i diodno-tranzistorska logika — *DTL* (diode-tranšistor-logic). Pomenuti sistemi imaju kao osnovne elemente ne prekidačka *I* i *ILI*, već *NI* i *NILI* kola, sa kojima se, kao što je ranije pokazano, mogu da ostvare sve osnovne Bulove operacije. Kao što je poznato, logička kola ove vrste sadrže aktivni element — tranzistor, koji se skoro isključivo upotrebljava u emitorskoj vezi i radi u oblasti zasićenja. Postojanje aktivnog elementa omogućava automatsko restauriranje određenih logičkih nivoa, što predstavlja jednu od bitnih prednosti logičkih *NI* i *NILI* kola nad elementarnim *I* i *ILI* kolima.

Najnoviji sistemi logičkih kola nastali su kao posledica razvoja tehnologije integrisanih elemenata. Zahvaljujući tome, osnovne komponente kola su unificirane u najvećoj mogućoj meri, zadržavajući pri tome aktivni element — tranzistor kao prekidač. Na taj način je nastala tehnika ili logika direktno spregnutih tranzistora — *DCTL* (direct-coupled-transistor-logic), kao i tranzistorsko-tranzistorska logika — *TTL* (transitor-transitor-logic). Osnovni elementi u ovim sistemima često ne sadrže samo pojedinačna logička kola već i znatno složenije sklopove. Otuda takvi elementi obično imaju veći broj tranzitora nego što je to slučaj u drugim sistemima. No i pored toga navedena činjenica ne predstavlja neki značajan nedostatak, imajući u vidu da je u integrisanoj tehnologiji, na primer, ekonomičnija izrada tranzistora nego otpornika.

Osim navedenih sistema postoje i drugi, čija tehnika izvođenja logičkih kola poseduje i neka specifična svojstva. Tu pre svega pomenimo logiku emitorske sprege *ECL* (emitter-coupled-logic) ili preciznije *ECTL* (emitter-coupled-transistor-logic). Ova logika, ili neke njene modifikacije, označava se ponekad i drugačije, na primer

logika sa emitorfoloverima — *EFL* (emitter-folower-logic), ili još češće kao logika konstantnih struja — *CML* (current-mode-logic) itd. Očigledno je da se ovde radi samo o tome, koja se osobina ovih kola želi više da istakne u nazivu dotičnog sistema.

Isto tako kao specifični logički sistemi navode se: logika niskih nivoa — *LLL* (low-level-logic), zatim logika visokih nivoa — *HLL* (high-level-logic) ili logika viskog praga provođenja — *HTL* (high-treshold-logic) itd. Razumljivo je da i različite tehnologije integrisanih sklopova stvaraju određene specifičnosti u tehnici izvođenja logičkih kola. U vezi s tim nastala je, na primer, tehnika logičkih kola metal-oksid-poluprovodnik — *MOSL* (metal-oxide-semiconductor-logic). Ova tehnika pokazuje neke značajne prednosti nad drugim u pogledu proizvodnje integrisanih sklopova.

U ovoj glavi biće izložene osnovne karakteristike navedenih sistema logičkih kola. Pri tome treba imati u vidu da jedan sistem ili tehniku izvođenja logičkih kola karakterišu mnogi faktori kao što su: fleksibilnost, pogodnost za sintezu složenih mreža, brzina, imunost na smetnje, generisani šum, temperaturski opseg, disipacija, cena koštanja i drugi.

Fleksibilnost se ogleda u pogodnosti kola za mnogostranu upotrebu. Drugim rečima, to je mera korisnosti, primenljivosti logičkog sistema u različitim slučajevima koji se susreću u eksploataciji. Tako, na primer, fleksibilnost jednog sistema logičkih kola karakterišu raznovrsnost tipova kola, komplementarnost izlaza, mogućnost napajanja linija, pobuđivanja indikatora, eksitovanje logičkih kola drugih sistema, realizacija dodatne logike bez angažovanja novih komponenata itd.

Pogodnost logičkog sistema za sintezu složene mreže uslovljena je poznatim principom projektovanja da se i najsloženije Bulove funkcije realizuju posredstvom što manjeg broja specifičnih osnovnih kola. U integrisanoj tehnici umesto toga koriste se čitavi sklopovi, koji svaki za sebe sadrži veći broj elementarnih logičkih kola. Razumljivo je da se sa povećanjem složenosti ovakvih jedinica prvenstveno želi da ostvari manja cena po logičkom elementu, manji gabarit kao i veća pouzdanost u toku rada.

O brzini kao i o imunosti logičkih kola na šumove i smetnje govoreno je ranije (čl. 1.5.1). Potsetimo se da se brzina izražava logičkim kašnjenjem, koje se ponekad daje ne za jedno već za dva, odnosno za par sukcesivnih invertorskih kola.

Sistemi logičkih kola, kod kojih je generisanje šuma svedeno na minimum, imaju prednosti u pogledu razvođenja energije za napajanja kao i postavljanje uzemljenih vodova. Očigledno je da će maksimalne dužine vodova i veza da zavise od preslušavanja, koje nastaje pri izmeni logičkih stanja u kolima. U tom pogledu mogao bi se smatrati idealnim onaj sistem kod koga teku iste struje u oba logička stanja, tj. kod koga nema promene struje napajanja izazvane prekidačkim procesima.

Širok temperaturski opseg je uvek poželjan. Za komercijalne i industrijske potrebe ovaj opseg se kreće od —30°C ili samo od 0°C pa do 55, 70 ili 75°C. Za vojne svrhe temperaturski opseg se proširuje na raspon od —55°C pa sve do 125°C. Logično je očekivati da se povećanje temperaturskog opsega odražava i na povećanje troškova izrade logičkih kola u bilo kojoj tehnici.

Logički sistemi, koje karakteriše mala disipacija, imaju prednosti u pogledu hlađenja kao i snabdevanja i razvođenja električne energije za napajanje. U nekim primenama ovaj faktor može da igra presudnu ulogu, kao na primer u satelitskim uređajima.

Cena koštanja logičkih elemenata izvedenih u različitim tehnikama svakako je jedan od najvažnijih faktora koji karakteriše dotični sistem. Upoređivanja sistema u

ovom pogledu mogu da budu izvedena s obzirom na cenu koštanja svedenu na neko osnovno kolo. Ovakva računica je, razumljivo, u najboljem slučaju samo približna.

S obzirom da su navedene osobine, koje karakterišu tehnike izvođenja logičkih kola, zastupljene u različitoj meri u pojedinim sistemima, to se prema postavljenim zahtevima pri projektovanju logičke mreže, mora da odabere najpovoljniji sistem za dati slučaj. Drugim rečima, to znači da još ne postoji apsolutno najbolji sistem logičkih kola, te se stoga pri projektovanju može da izvede optimizacija u pogledu samo nekih željenih parametara. Poznavanje opštih karakteristika pojedinih sistema logičkih kola, svakako će da olakša pravilan izbor one tehnike, koja će najbolje da odgovori kritičnim zahtevima postavljenog problema.

5.1. OTPORNO-TRANZISTORSKA LOGIKA — RTL

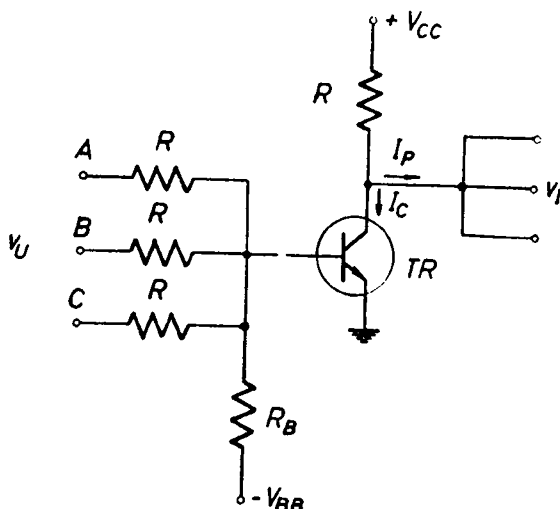
Linearno sabiranje binarnih vrednosti primenom otporne logike — *RL* prikazane u prethodnoj glavi, pričinjava posebne teškoće pri detektovanju i uspostavljanju određenih logičkih nivoa. Međutim, dodavanjem samo jednog tranzistora na izlaz ovakve mreže istovremeno se poboljšava osetljivost kola i omogućava ponovno uspostavljanje potrebnih logičkih nivoa. Na taj način se formira otporno-tranzistorska logika — *RTL* (resitor-transitor-logic) za izvođenje logičkih kola.

5.1.1. Konfiguracija NILI kola

Na sl. 5.1 prikazano je *NILI* kolo u *RTL*-sistemu. Ako na bilo kom ulazu kola deluje pozitivan ili visoki napon, odnosno nivo napona logičke jedinice, na izlazu tranzistora uspostaviće se negativan ili niski napon, odnosno nivo napona koji odgovara logičkoj nuli:

$$v_I = V_{CS}. \tag{5.1}$$

Ako je ostvaren režim rada tranzistora sa većim faktorom zasićenja F_S, onda je izlazni napon praktično konstantan, odnosno nezavisan je od veličine pobudne struje u kolu baze. Prema tome, ukoliko je na više ulaza istovremeno doveden pozitivan napon, izlazni napon će samo neznatno da se promeni zbog povećanog faktora zasićenja tranzistora.



Sl. 5.1. *NILI* kolo u *RTL* tehnici

Kada se, međutim, dovede napon logičke nule na sve ulaze kola istovremeno, tranzistor će biti zakočen, pa je izlazni napon

$$v'_I = V_{CC} - R_C (I_{CBO} + I_P). \tag{5.2}$$

Vidimo da ovaj napon zavisi od struje potrošača I_P. Kako njegova vrednost ne sme da bude manja od definisanog nivoa logičke jedinice, to je neophodno da otpor opterećenja bude unapred određen.

Prema izloženom načinu rada prikazanog kola u pozitivnoj logici videli smo da ono obavlja logičku *NILI* operaciju. Međutim, lako je proveriti da to kolo ima dualističku prirodu. Naime, kada se dato

kolo koristi za negativnu logiku, ono će da obavlja — kao što znamo — logičku *NI* operaciju. Stoga je mreža na sl. 5.1 u stvari *NILI/NI* kolo.

Uočimo da u baznom dovodu tranzistora posmatranog *NILI* kola postoji otpornost R_B i baterija V_{BB}. Njihova uloga je već poznata: obezbeđenje pouzdanog blokiranja tranzistora i u najnepovoljnijim uslovima rada. Ukoliko se radi o silicijumskom tranzistoru, komponente R_B i V_{BB} mogu da budu i izostavljene. Kako je ulazni napon blokiranja obično nešto malo pozitivan (na primer V_{CES} prethodnog stepena), da će u ovom slučaju kroz tranzistor da teče izvesna struja $I_C > I_{CBO}$. To znači da pri ovakvom šemiranju kola prekidački tranzistor može da bude blokiran samo delimično, a ne potpuno. U vezi s tim, naravno, menja se nivo napona $V_I(1)$, te i jedn. (5.2) treba korigovati u tom smislu.

Izlazni napon $V_I(1)$, kao što vidimo, zavisan je od opterećenja, odnosno od multiplikacije izlaza. Da bi se ovaj nedostatak otklonio, kolektor tranzistora se vezuje preko ograničavačke diode na referentni napon $V'_{CC} < V_{CC}$. U ovom slučaju napon $V_I(1)$ ostaće praktično nepromenjen sve dok je ispunjen uslov

$$I_P \gg \frac{V_{CC} - V'_{CC}}{R_C}. \qquad (5.3)$$

Pošto referentni napon ograničavačke diode mora da bude $V'_{CC} > V(1)$, to se povećanjem napona V_{CC} omogućava priključivanje većeg broja kola na posmatrano *NILI* kolo.

Brzina rada kola u *RTL* tehnici ograničena je skoro konstantnom strujom pobude, koju određuju ulazni otpori *R*. Očigledno je, uostalom, da ovakva konfiguracija kola poseduje integraciono svojstvo, što se nepovoljno odražava na brzinu rada. Da bi se ublažio ovaj nedostatak logičkih kola u *RTL* tehnici, redni otpor *R* se često premošćava kapacitetom *C*. Na taj način formira se modifikovani sistem logičkih kola, koji se katkad označava sa *RCTL* (resistor-capacitor-transistor-logic). U cilju postizanja najboljih rezultata u pogledu brzine rada ovakvih kola, treba odabrati optimalne vrednosti šentirajućih kapaciteta, o čemu je već bilo reči.

5.1.2. Multiplikacija priključaka

Na sl. 5.2 prikazana je logička mreža sa *NILI* kolima u *RTL* tehnici. Radi lakše analize pretpostavićemo da su sva kola identična ne samo u pogledu upotrebljenih komponenata već i u pogledu multiplikacije priključaka. Analiza date mreže može da se izvede sa različitih aspekata. U ovom slučaju, međutim, rasmotrićemo samo pitanje multiplikacije priključaka kola, obeležavajući ih na ulazu sa *M*, a na izlazu sa *N*.

Da bi tranzistori *TR*2 bili u neprovodnom stanju potrebno je da svi njihovi ulazi budu priključeni na niski napon. Ovaj napon se obezbeđuje režimom zasićenja tranzistora *TR*1. No i pored toga, režim neprovođenja biće sigurno obezbeđen tek kada je u čvorovima *H* na baznim priključcima tranzistora *TR*2 ispunjen uslov:

$$\frac{V_{BN} - V_{BB}}{R_{B2}} \geqslant M\frac{V_{CS} - V_{BN}}{R_2} + I_{BV}. \qquad (5.4)$$

Ovde je sa V_{BN} obeležen negativni napon na bazi, a sa I_{BV} odgovarajuća struia u baznom dovodu tranzistora.

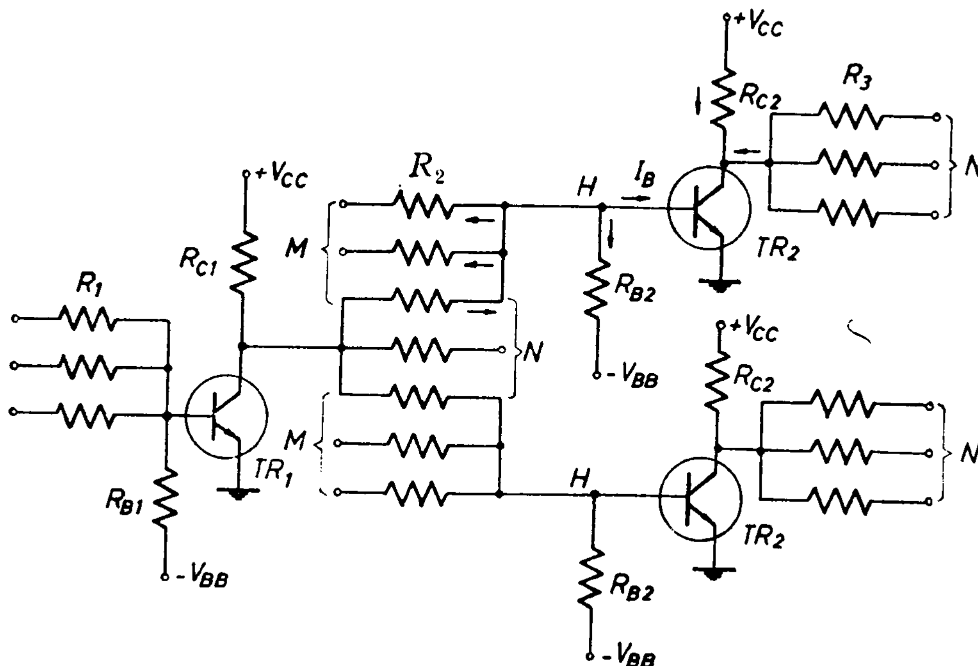
Pri provođenju tranzistora $TR2$ bar po jedan od njihovih ulaza mora da bude na visokom potencijalu. Ovaj potencijal obezbeđen je neprovodnim stanjem tranzistora $TR1$. Prema tome, zanemarujući inverznu struju tranzistora $TR1$, iz jednačine struja za čvor H nalazi se da je

$$I_B = \frac{V_{CC}-V_{BS}}{(R_{C1}+R_2/N)N} - (M-1)\frac{V_{BS}-V_{CS}}{R_2} - \frac{V_{BS}+V_{BB}}{R_{B2}}. \tag{5.5}$$

Ovde je, kao što se vidi, pretpostavljeno da se svi sem jednog ulaza tranzistora $TR2$ nalaze na niskom potencijalu, što odgovara najnepovoljnijem slučaju. Uslov zasićenja tranzistora $TR2$ iziskuje da njegova bazna struja ima vrednost

$$I_B \geqslant \frac{1}{h_F}\left(\frac{(V_{CC}-V_{CS}}{R_{C2}} + \frac{V_B-V_{CS}}{R_3/N}\right), \tag{5.6}$$

gde V_B predstavlja napon na bazi tranzistora koji se priključuju na tranzistor $TR2$. Za taj napon je pretpostavljeno da je veći od vrednosti napona V_{CS} kako bi se uzeo u obzir nepovoljniji slučaj opterećenja tranzistora $TR2$.

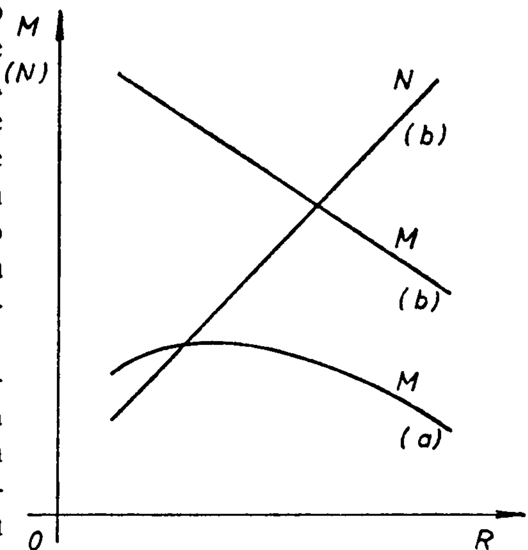


Sl. 5.2. Dvostepena mreža sa *NILI* kolima u *RTL* sistemu

Pomoću datih jednačina (5.4), (5.5) i (5.6) mogu da se odrede kriterijumi za multiplikaciju priključaka datih logičkih kola. Na prvi pogled izgleda da se broj ulaza M može odmah da odredi iz jedn. (5.4). Međutim pošto se ovaj parametar pojavljuje i u jedn. (5.5), znači da se pri njegovom izračunavanju moraju da uzmu u obzir oba stanja tranzistora. Zbog toga se obično postupa tako, da se prvo pomoću jedn. (5.4) elimiše parametar R_{B2} u jedn. (5.5), pa se tako dobijeni izraz za struju I_B stavlja u jedn. (5.6). Na taj način se formira konačan izraz, koji pored ostalih sadrži i oba parametra M i N. S obzirom da je tako dobijeni izraz dosta složen i nepogodan za diskusiju, pristupa se grafičkom ucrtavanju krivih za faktor M u funkciji otpornosti $R = R_2 = R_3$ za unapred date vrednosti preostalih parame-

tara, uključujući i faktor multiplikacije N. Na taj način se na sl. 5.3 dobija kriva (a). Vidimo da se broj ulaznih priključaka pri određenoj struji na izlazu, tj. pri konstantnom broju izlaza N, može da poveća smanjujući vrednost otpora R. Međutim, pri dosta maloj vrednosti ovih otpora, faktor multiplikacije M počinje da opada, pošto se znatnije povećavaju struje kroz neeksitovane ulaze. Napomenimo da se broj ulaza može da poveća i izostavljanjem otpornosti R_B. Time se u stvari povećava bazna struja tranzistora, te se stoga i broj neeksitovanih ulaza može da poveća u odgovarajućem odnosu. Najzad, konstatujmo da u praktičnom izvođenju logičkih RTL kola broj ulaznih priključaka obično ne prelazi vrednost od $M = 4 — 5$.

Na sličan način mogu da se ucrtaju dijagrami zavisnosti broja izlaza N od drugih parametara koji se pojavljuju u napred datim jednačinama. Na sl. 5.3 prikazan je takav dijagram za slučaj da je viši nivo napona na izlazu $NILI$ kola određen ograničavačkom diodom, kriva (b). Pored toga, dat je i odgovarajući dijagram za parametar M. Vidimo da pri ovakvoj konfiguraciji kola broj izlaza stalno raste, a ulaza stalno opada sa povećanjem vrednosti otpora R.



Sl. 5.3. Zavisnost broja priključaka M i N od otpornosti R
(a) za uobičajeno $NILI$ kolo
(b) za $NILI$ kolo sa ograničavačkom diodom na izlazu

U cilju potpunijeg sagledavanja zavisnosti broja izlaza $NILI$ kola u RTL mreži od pojedinih parametara, mogla bi da se izvrše izvesna uprošćavanja ranije datih jednačina. Tako, na primer, ako se zanemare drugi članovi na desnoj strani u jedn. (5.5) i (5.6) i ako se pretpostavi da su logička kola izvedena bez otpornosti R_B, onda se izjednačavanjem tako uprošćenih jednačina (5.5) i (5.6) nalazi da je

$$\frac{V_{CC}-V_{BS}}{R_2+NR_{C1}} > \frac{V_{CC}-V_{CS}}{h_{F2}\, R_{C2}}, \tag{5.7}$$

Odavde se, uz pretpostavku da su $R_{C1} = R_{C2} = R_C$, lako nalazi da je

$$N \leqslant h_{F2}\left(1-\frac{V_{BS}}{V_{CC}}\right)-\frac{R_2}{R_C}. \tag{5.8}$$

Dobijena relacija ukazuje da je za veću multiplikaciju izlaza od prvorazrednog značaja da se odaberu tranzistori sa što većim pojačanjem.

Za procenu broja izlaznih priključaka logičkih kola u RTL sistemu ponekad se koristi i veoma uprošćena relacija

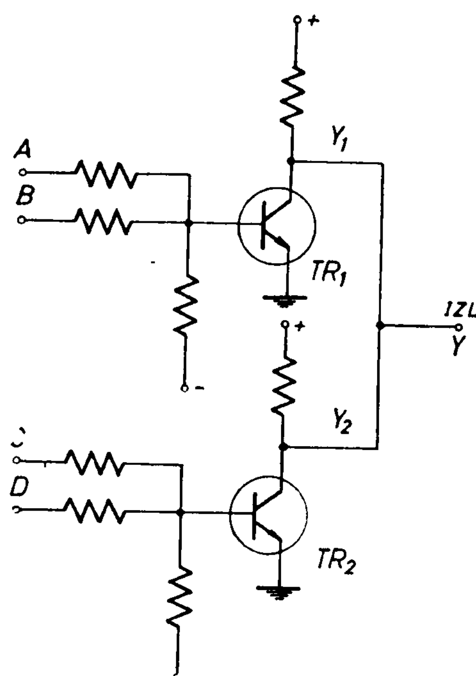
$$N=\frac{h_{FE}}{2}. \tag{5.9}$$

Ova veza izvodi se takođe iz jedn. (5.7) u kojoj je, pored zanemarivanja veličina V_{CS} i V_{BS}, uzeto kao pravilo da je $R = NR_C$. Istina relacija (5.9) daje dosta optimističke vrednosti faktora multiplikacije N, što je i razumljivo kad se ima u vidu da su izvršena preterano velika uprošćavanja polaznih jednačina. Stoga se u praktičnoj

primeni gornje relacije umesto garantovane vrednosti parametrra h_{FE} obično uzima upola manja vrednost. U svakom slučaju kod logičkih kola *RTL* sistema ne treba očekivati da faktor multiplikacije bilo ulaza ili izlaza može da bude veći od 5 u praktičnim realizacijama (6.7).

5.1.3. Direktno povezivanje izlaza

Na kraju ukažimo još i na mogućnost specijalnog međusobnog povezivanja logičkih kola *RTL* sistema u cilju realizacije drugih prekidačkih operacija bez dodavanja novih komponenata. Proširenje logike kola na takav način pokazan je na sl. 5.4. U datom slučaju vidimo da su izlazi dva ili više osnovnih *NILI* kola direktno povezani međusobno tako, da se dobija još jedan dodatni zajednički izlaz *Y*. Očigledno je da će napon na ovom zajedničkom izlazu biti nizak kadgod vodi bilo koji ili pak oba tranzistora *TR*1 i *TR*2. Izlazni napon će, međutim, imati vrednost logičke jedinice samo u slučaju da su izlazi pojedinačnih kola Y_1 i Y_2 istovremeno na visokom naponskom nivou. Prema tome, pored *NILI* operacije, data logička kola u pokazanoj paralelnoj sprezi mogu da obavljaju i *I* operaciju. Tako se, na primer, za ulaze *A*, *B*, *C* i *D* na izlazima *NILI* kola dobijaju funkcije: $Y_1 = \overline{A + B}$ i $Y_2 = \overline{C + D}$, dok se paralelnim sprezanjem njihovih izlaza dobija i logika „paralelovanog" I kola — $Y = Y_1 Y_2 = \bar{A}\,\bar{B}\,\bar{C}\,\bar{D}$.



Sl. 5.4. Direktno sprezanje izlaza logičkih elemenata — paralelovanje izlaza

Naglasimo da navedena osobina formiranja dodatne logike na prikazani način nije isključivo svojstvo kola izvedenih u *RTL* tehnici. Ovakvo proširenje logike moguće je izvesti u svim slučajevima u kojima se ispoljavaju dovoljno velike razlike izlaznih otpornosti u dva različita stanja osnovnih logičkih elemenata.

Na kraju, navedimo neke dobre i loše strane logičkih kola izvedenih u *RTL* tehnici. Dobre su:

1. Pogodnost za realizciju sa diskretnim komponentama,
2. Jednostavnost izrade
3. Niska cena
4. Mogućnost direktnog međusobnog povezivanja izlaza.

Loše strane su:

1. Mali faktor multiplikacije priključaka
2. Ne baš velike brzine rada
3. Mala margina smetnji.

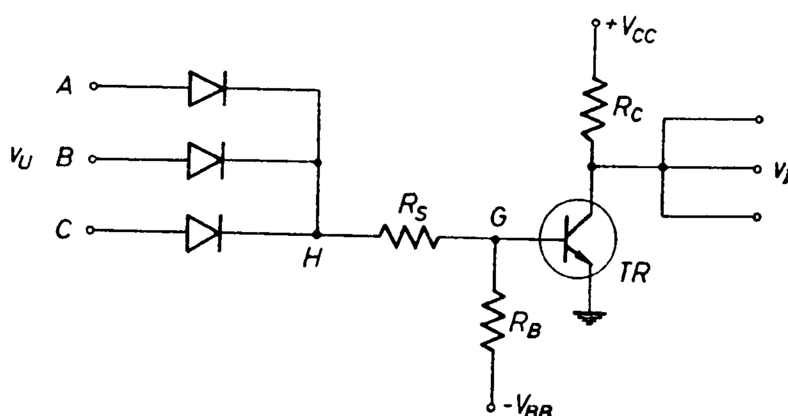
5.2. DIODNO-TRANZISTORSKA LOGIKA — DTL

Diodno-tranzistorska logika bazira u stvari na primeni diodne i otporno-tranzistorske tehnike izvođenja logičkih kola. Pri korišćenju diodne tehnike za realizaciju kola videli smo da redovno nastaje smanjenje logičke amplitude signala.

Zbog toga se prirodno nameće potreba, da se u logičku mrežu ugrade i pojačavački stepeni, sa kojima se ne samo restauriraju predviđeni logički nivoi napona, već se povećava i snaga za pobuđivanje drugih kola. Takvi pojačavači su u stvari logički invertorski stepeni. Prema tome, dodavanjem invertorskog stepena na elementarno diodno *ILI/I* kolo ostvaruje se osnovni logički element — *NILI/NI* kolo u sistemu *DTL* (diode-trasistor-logic).

5.2.1. Konfiguracija NILI i NI kola

Na sl. 5.5 pokazano je *NILI* kolo kakvo se uglavnom izrađuje u *DTL* tehnici sa diskretnim komponentama. Otpornost R_B obezbeđuje sigurno blokiranje tranzistora pomoću negativnog napona baterije V_{BB}. Serijska otpornost R_S ograničava struju baze, čineći je istovremeno i manje zavisnom od ulazne otpornosti tranzistora. Primena ove otpornosti je, dakle, od posebnog značaja kod tranzistora sa neujednačenim ulaznim karakteristikama. Naime, u takvom slučaju moglo bi se desiti da neki od multipliciranih izlaza ne dobije dovoljnu struju pobude zbog toga, što je, na primer, tranzistor na jednom izlazu „odvukao" svu raspoloživu struju. Očigledno je, prema tome, da otpornost R_S doprinosi povećanju faktora multiplikacije izlaza. Dodajmo još da ova otpornost povećava i imunost kola na smetnje u neprovodnom režimu tranzistora.



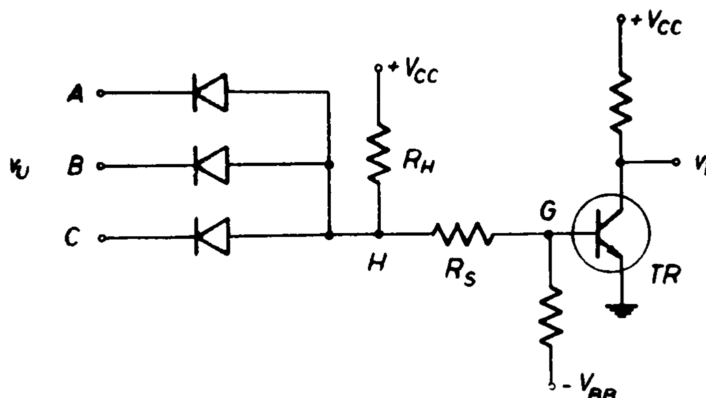
Sl. 5.5. *NILI* kolo u *DTL* sistemu

Logička *DTL* kola sa rednim otporom R_S se ponekad svrstavaju u posebnu grupu pod nazivom *DRTL* (diode-resistor-transistor-logic). Šta više, ako je otpornost R_S premoštena kapacitetom C_S onda se takva kola često označavaju i kao *DRCTL*.

Da bi se tranzistor na sl. 5.5 doveo u provodno stanje, mora se bar jedan od ulaza *A*, *B* i *C* postaviti na napon visokog nivoa. U tom slučaju potencijal u tački *H* postaje tako veliki da razdelnik napona R_S — R_B obezbeđuje dovoljnu struju baze za zasićenje tranzistora. Neprovodni režim tranzistora, međutim, biće obezbeđen samo kada su svi ulazi postavljeni na nivo logičke nule. Potencijal u tački *H* biće znatno niži nego što je bio u prethodnom slučaju tako da će se u tački *G* razdelnika R_S — R_B uspostaviti napon inverzne polarizacije emitorskog spoja prekidačkog tranzistora *TR*.

Iako prethodno kolo može da obavlja i logičku *NI* operaciju, naravno ako se primeni negativna logika, na sl. 5.6 prikazano je i logičko *NI* kolo za pozitivnu logiku.

Zapazimo da ovde otporni razdelnik sadrži i otpornost R_H, preko koje se napajaju ulazne diode u već poznatom logičkom *I* kolu. Potencijal tačke *H* biće uvek vezan za najviši nivo napona na ulazima *A*, *B* i *C*. Tako, na primer, ako je bilo koji ulaz postavljen na napon logičke nule, onda će i potencijal u tački *H* biti približno na istom nivou, te otporni razdelnik obezbeđuje neprovodni režim tranzistora *TR*. S druge strane, režim provođenja tranzistora može da se ostvari povećanjem potencijala u tački *H*, što se postiže samo u slučaju da su svi ulazi kola istovremeno dovedeni na nivo napona logičke jedinice.



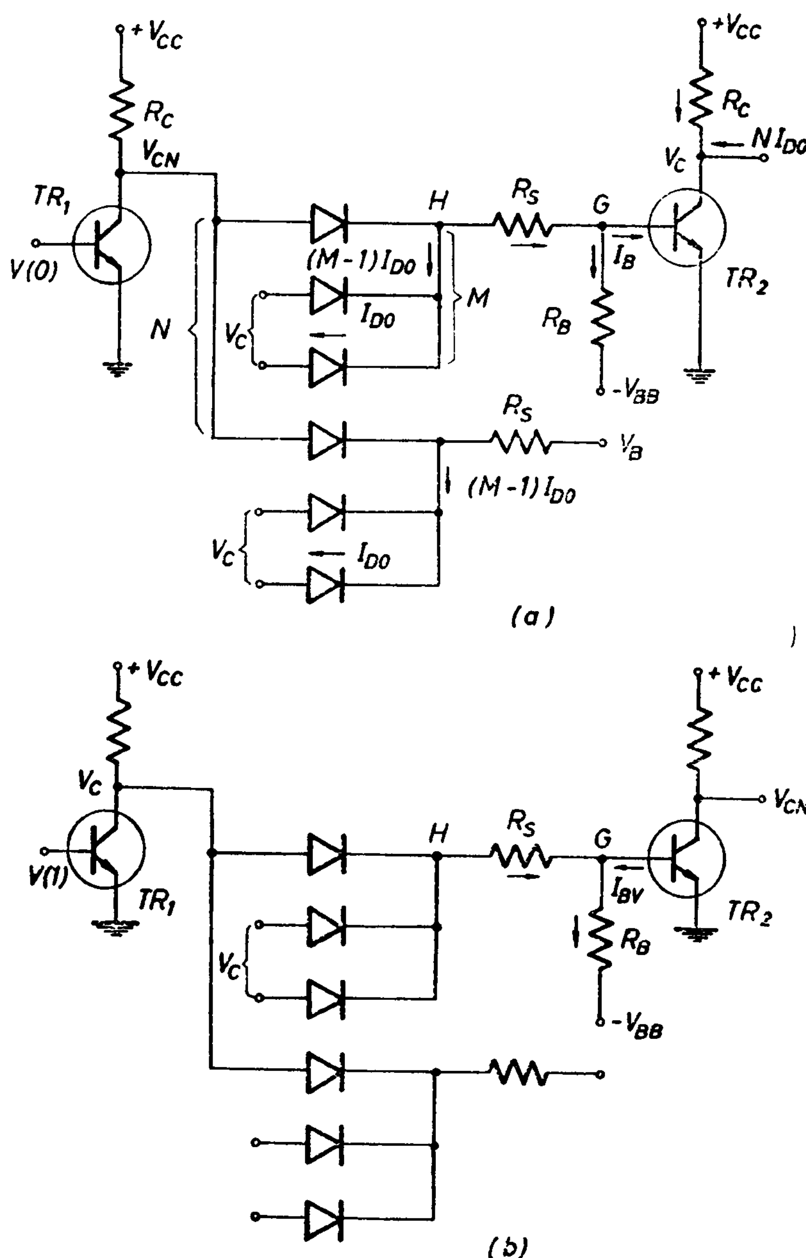
Sl. 5.6. *NI* kolo u *DTL* sistemu

Izvesne teškoće u logičkim kolima *DTL* sistema može da pričinjava vreme rasterećenja (oporavka) dioda. U vezi s tim pretpostavimo da su sve diode u kolu na sl. 5.5 direktno polarizovane tako da su struje dioda, a time i bazna struja tranzistora, dosta velike. Naglim dovođenjem niskog napona na $(M - 1)$ ulaz kola, diode tih ulaza biće inverzno polarizovane. Pošto u periodu rasterećenja kroz ove diode prolazi dosta velika struja obrnutog smera, može se desiti da preostala struja direktnog smera ne bude dovoljna da i dalje zadrži tranzistor u zasićenju. Naravno da će se situacija u ovom pogledu da poboljša po isteku vremena rasterećenja inverzno polarizovanih dioda, pošto će tada kroz njih da prolaze samo inverzne struje zasićenja I_{DO}.

5.2.2. Multiplikacija priključaka

Logička kola izvedena u *DTL* tehnici mogu da imaju veći faktor multiplikacije priključaka nego što je to bio slučaj u *RTL* sistemu. Da bi se ilustrovala prednost *DTL* tehnike u tom pogledu na sl. 5.7 prikazana je mreža *NILI* kola u najnepovoljnijim uslovima s obzirom na provodni, odnosno neprovodni režim tranzistora *TR*2. U režimu provođenja najnepovoljniji uslovi rada kola su oni koji doprinose smanjenju faktora zasićenja tranzistora *TR*2. Prema tome u ovakvom slučaju treba uzeti u obzir sve činioce, koji utiču na povećanje struje kolektora, ili na smanjenje struje baze tranzistora *TR*2. U vezi s tim pretpostavljeno je da struje multipliciranih izlaza teku ka kolektorskom priključku. S obzirom da se ovde radi o inverzno polarizovanim diodnim ulazima sledećih logičkih kola, to je struja opterećenja NI_{DO}, gde je I_{DO} inverzna struja diode. S druge strane, struja baze I_B biće manja ukoliko je broj neeksitovanih ulaza veći, jer svaki takav ulaz odvodi struju vrednosti I_{DO} .Imajući u vidu da je ova struja i u najnepovoljnijem slučaju vrlo mala — $(M - 1)\, I_{DO}$, to s obzirom na ovu činjenicu faktor multiplikacije ulaza *M* može da bude dosta veliki, čak i do 50[6]. Razumljivo je, dalje, da će bazna struja tranzistora *TR*2 da bude manja

što je manji napon V_{CN} na kolektoru neprovodnog tranzistora $TR1$. U vezi s tim je na sl. 5.7 a i pretpostavljeno da su diode na svim izlazima tranzistora $TR1$ direktno polarizovane. Očigledno je da će sa povećanjem faktora multiplikacije izlaza N nivo napona V_{CN} da se smanjuje, što može da dovede u pitanje pouzdanost režima zasićenja tranzistora $TR2$. Međutim, imajući u vidu da je struja opterećenja ovog tranzistora NI_{DO} vrlo mala, i faktor multiplikacije izlaza N u kolima DTL tehnike može da bude prilično veliki.



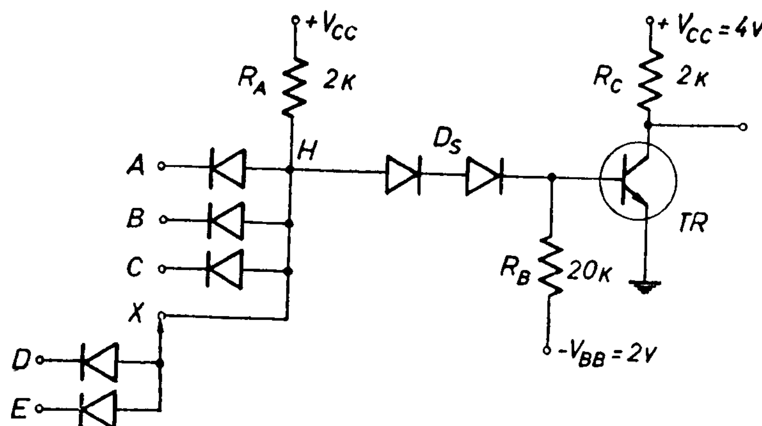
Sl. 5.7. Logička mreža u DTL sistemu
(a) najnepovoljniji uslovi za režim provođenja TR_2
(b) najnepovoljniji uslovi za režim neprovođenja TR_2

Najnepovoljniji uslovi rada logičkog kola s obzirom na režim neprovođenja tranzistora $TR2$ prikazani su na sl. 5.7 b. U ovom slučaju u tački G mora da postoji specificirani napon neprovođenja tranzistora V_{BN}, koji uslovljava inverznu struju

I_{BV} u baznom dovodu. Pouzdanost ovog režima rada pored struje I_{BV} ugrožava i povećanje struje kroz otpornost R_S, odnosno porast napona V_C na kolektoru provodnog tranzistora $TR1$, kao i povećanje faktora multiplikacije ulaza M.

5.2.3. Integrisana NI kola

U logičkim kolima DTL tehnike u užem smislu reči umesto redne otpornosti R_S ugrađuje se jedna ili više dioda, sa kojima se obezbeđuje potrebna imunost kola na smetnje. Ovakvo rešenje je naročito pogodno za kola u integrisanom obliku, budući da je u integrisanoj tehnologiji, kao što znamo, povoljnija izrada dioda i tranzistora nego otpornika. Jedno takvo integrisano logičko kolo u DTL sistemu prikazano je na sl. 5.8. Sa ulazne strane ovo kolo ima četiri priključka: tri ulaza A, B i C i ekspander X. Ovaj priključak omogućava povećanje broja ulaza kola dodavanjem, na primer, modula sa diodama D i E.



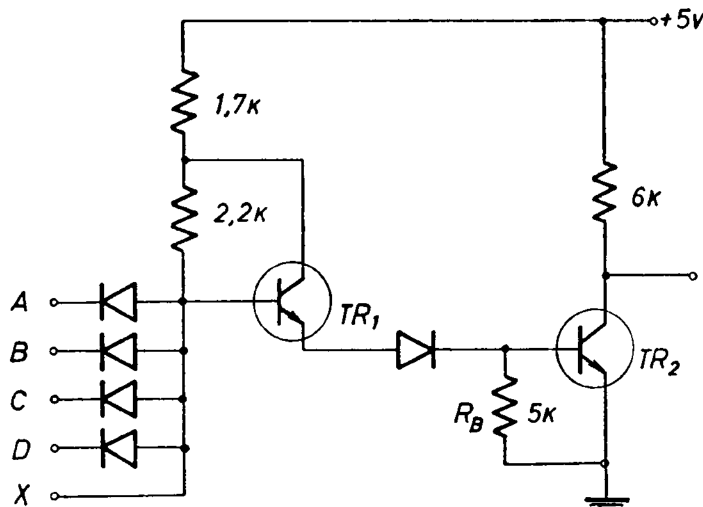
Sl. 5.8. Integrisano NI kolo

Dato integrisano kolo u pozitivnoj logici obavlja NI operaciju. Da bi tranzistor TR bio u provodnom stanju svi ulazi moraju da budu na visokom naponu tako da potencijal tačke H bude veći od zbira napona na diodama D_S i emitorskom spoju tranzistora TR. U slučaju da je faktor multiplikacije izlaza veliki, struja kroz diode D_S mora da bude dosta velika da bi se obezbedilo zasićenje tako opterećenog tranzistora. Međutim, zbog velike struje baze nagomilava se veliki tovar manjinskih nosilaca u području baze tranzistora. Pri isključivanju tranzistora ovaj tovar se sporo odvodi, pošto je struja isključivanja mala. Međutim, ako su ulazne diode kola brze, a diode D_S spore, rasterećenje tranzistora biće znatno brže. To dolazi otuda što nagomilani nosioci u diodama D_S omogućavaju proticanje veće struje isključivanja tranzistora za vreme trajanja perioda rasterećenja tih dioda. Ako bi se pri tome ostvarilo da nagomilani tovari u tranzistoru i diodama bude jednaki, onda se proračun struja može da izvede samo prema uslovima jednosmernog režima u kolu ne predviđajući mere u cilju poboljšanja vremena isključivanja tranzistora.

Kao što je napred istaknuto za brži rad kola potrebne su dve vrste dioda: brže na ulazima i sporije u baznom dovodu tranzistora. Ovakvo rešenje, međutim, pričinjava posebne teškoće u integrisanoj tehnologiji, jer zahteva upotrebu poluprovodničkog materijala različitih provodnosti.

Osnovno DTL kolo u integrisanoj tehnologiji se ponekad modifikuje prema sl. 5.9. Ovo kolo je pogodnije za integrisanu proizvodnju, a uz to ima i poboljšanje karakteristike u poređenju sa ranijim. Tako, na primer, izostala je baterija V_{BB}, a otpornost R_B je smanjena. Pored toga, struja ulaznih dioda je smanjena za oko 30%, dok je raspoloživa struja za pobuđivanje izlaznog tranzistora povećana skoro dvostru-

ko zahvaljujući postojanju tranzistora $TR1$, koji praktično radi kao emitorfolover. Prema tome, u ovakvoj sprezi logičkog kola može da se upotrebi i tranzistor sa manjim koeficijentom strujnog pojačanja, odnosno sa datim tranzistorom postiže se veći faktor multiplikacije izlaza N. Tipičan broj izlaza u ovakvim kolima je 8, mada su



Sl. 5.9. Modifikovani logički *NI* element

ostvarena kola i sa 25 izlaza. Za kolo na sl. 5.9 mogu da se navedu još i ovi podaci: vreme kašnjenja 30 ns, imunost na smetnje 1 *V*, disipacija 9 mW itd [8]. Imajući u vidu da je prag provođenja ekvivalentan padu napona na dve diode, to pri porastu temperature treba računati sa smanjenjem napona praga za oko 3 mV/°C. U vezi s tim, istaknimo, da sa porastom temperature nastaje i pogoršanje margine smetnji.

Na kraju navedimo ukratko dobre i loše strane logičkih kola u *DTL* sistemu. Dobre strane su:

1. Pogodnost za proizvodnju u diskretnoj i integrisanoj tehnologiji
2. Jednostavna izgradnja kola u širokom asortimanu
3. Veliki faktori multiplikacije priključaka
4. Nizak sopstveni šum
5. Mala disipacija (ali je obično veća nego u *RTL*)
6. Pogodnost za direktno povezivanje izlaza.

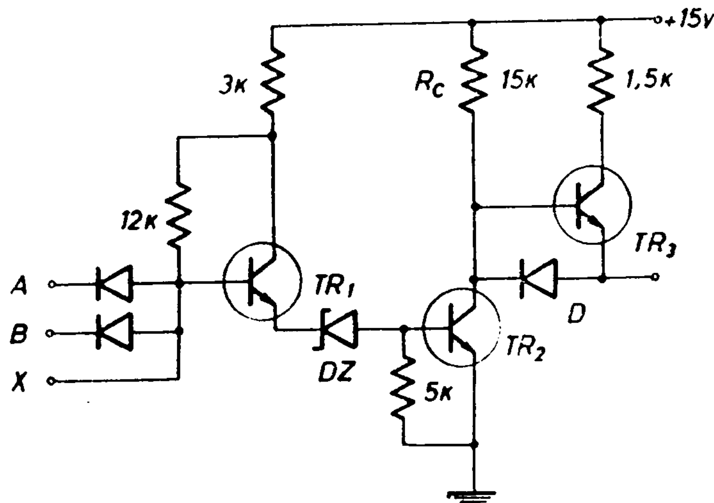
Loše strane su:

1. Često mala imunost na smetnje
2. Nepogodnost za kapacitivna opterećenja
3. Osetljivost na temperaturske promene
4. Ne baš velika brzina rada.

5.2.4. Kola sa visokim pragom provođenja — HTL

U nekim primenama, koje karakteriše visok nivo šumova i smetnji, uobičajena logička kola u *DTL* tehnici ne mogu da udovolje zahtevima u pogledu margine smetnji. Za ovakve slučajeve koristi se logika visokog praga provođenja — *HTL* (high-threshold-logic), koju karakteriše visoka imunost na smetnje. Logička kola ove vrste su u suštini kola *DTL* tipa s tom razlikom što je serijska dioda u baznom dovodu prekidačkog tranzistora zamenjena cener-diodom, sl. 5.10. Pored cener-diode *DZ* koja podiže napon praga provođenja tranzistora *TR2* na nivo od nekoliko volti, ovo kolo mora da ima i relativno visok napon napajanja. Da bi se, međutim, sprečila preterano velika disipacija u kolu, ovde su povećane i otpornosti u poređenju sa vrednostima u uobičajenim *DTL* kolima.

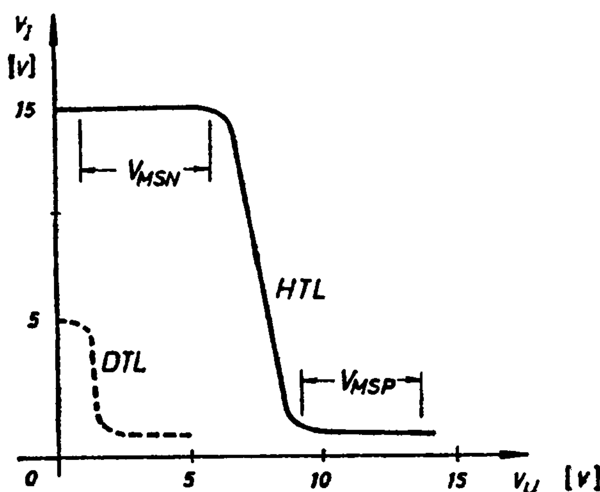
Način rada logičkih kola u *HTL* sistemu je isti kao i u *DTL* samo je nastala razlika u naponskim nivoima. Pretpostavljajući da su naponi na ulaznoj diodi i emitorskom spoju tranzistora *TR*1 jednaki, napon praga provođenja tranzistora *TR*2 jednak je zbiru napona na njegovom emitorskom spoju i na cener-diodi. Razumljivo je da postoje ovakva kola i bez tranzistora *TR*1 te je prag provođenja u tom slučaju približno jednak samo padu napona na cener-diodi. Da bi ilustrovali razliku naponskih nivoa, a s tim i margine smetnji, na sl. 5.11 prikazane su prenosne karakteristike uobičajenog *DTL* i odgovarajućeg *HTL* kola. Dok margina smetnji *DTL* kola iznosi



Sl. 5.10. *NI* kolo *HTL* tipa

oko 1 V, vidimo da je margina prikazanog *HTL* kola znatno veća — oko 5 V. Uz to treba napomenuti da je napon praga provođenja *HTL* kola praktično neosetljiv na temperaturske promene. To dolazi otuda što se temperaturske promene napona na Cenerovoj diodi i na ulazu tranzistora međusobno kompenziraju, jer je temperaturski koeficijent upotrebljene cener-diode pozitivan.

Prenosna karakteristika na sl. 5.11 ucrtana je za kolo na sl. 5.10, koje u kolektorskom dovodu tranzistora *TR*2 ima samo pasivnu otpornost R_C. Da bi se smanjila izlazna impedansa kola kada je tranzistor *TR*2 zakočen, pored pasivne dodaje se i aktivna otpornost koju čini tranzistor *TR*3. Zahvaljujući smanjenoj impedansi poboljšana je imunost kola na smetnje iz izvora za napajanje. S druge strane zbog male impedanse izlazi ovakvih kola se ne mogu direktno da sprežu međusobno u cilju ostvarivanja dodatne logike. Osim toga, izlazni napon logičke nule povećan je za pad napona na diodi *D*.



Sl. 5.11. Prenosne karakteristike kola *HTL* tipa

Dobre strane ovakvih kola, ukratko rečeno, su sledeće:

1. Velika margina smetnji
2. Velika imunost na smetnje iz izvora za napajanje
3. Konstantan napon praga provođenja
4. Velika logička amplituda.

Loše strane su, međutim:

1. Relativno velika disipacija

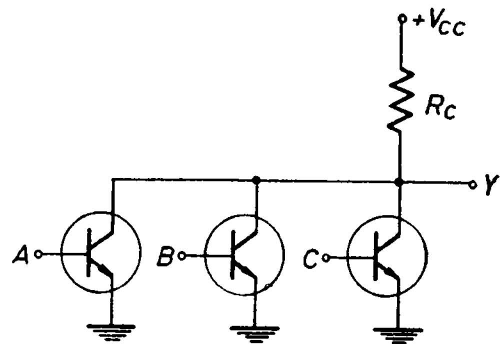
2. Visoka cena proizvodnje u integrisanoj tehnologiji zbog velikih vrednosti otpora.

5.3. LOGIKA SA DIREKTNOM SPREGOM TRANZISTORA — DCTL

Tehnika izvođenja logičkih kola sa direktnom spregom tranzistora zasniva se na primeni tranzistora kao multipliciranog prekidačkog elementa. Naime, kod kola ovog tipa logička funkcija se formira tek na izlazu invertorskih stepena, za razliku od, na primer, *DTL* kola gde je invertor samo negirao već formiranu logičku funkciju. S obzirom da je tranzistor u ovim kolima najviše upotrebljavana komponenta, to je *DCTL* tehnika logičkih kola pogodna za izvođenje u integrisanom obliku. U praktičnim realizacijama, međutim, nailazi se na teškoće iz razloga, što se pri multiplikaciji priključaka zahteva potpuna jednakost karakteristika upotrebljenih tranzistora.

5.3.1. Konfiguracija NILI kola

Na sl. 5.12 prikazana je šema jednog *NILI* kola u *DCTL* tehnici. Pošto svi tranzistori u kolu rade kao invertori, izlazni napon biće na visokom nivou samo u slučaju kada su svi tranzistori blokirani. Međutim, ako na ma kom ulazu *A*, *B* ili *C* deluje visoki napon, na izlazu kola formiraće se stanje logičke nule. Prema tome, logička funkcija kola data je izrazom $Y=\overline{A+B+C}$, što odgovara *NILI* operaciji za pozitivnu logiku. Razumljivo je da se sa istim kolom može da izvede i *NI* operacija, ako se, naravno, primeni negativna logika.



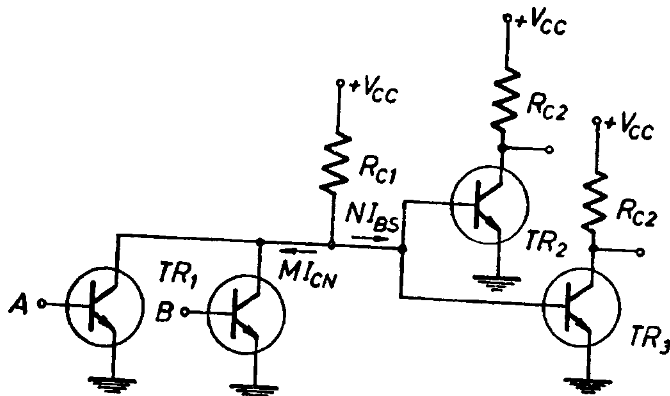
Sl. 5.12. *NILI* kolo u *DCTL* tehnici

Uloga tranzistora u obavljanju logičke funkcije u *DCTL* sistemu je višestruka. Pored određivanja logike kola, tranzistori obezbeđuju veliku izolaciju i direktivnost na ulazu, kao i uspostavljanje potrebnih logičkih nivoa napona na izlazu kola. Pošto tranzistori deluju kao sabirni elementi, stabilnost niskog nivoa napona na izlazu kola može da bude dovedena u pitanje pri eksitaciji različitog broja ulaza. Radi toga je povoljnije da tranzistori rade u režimu zasićenja iako bi aktivni režim obezbeđivao nešto brži rad.

5.3.2. Multiplikacija priključaka

Pitanje faktora multiplikacije priključaka biće tretirano pomoću dvostepenog *NILI* kola, datog na sl. 5.13. Prvo *NILI* kolo ima dva ulaza *A* i *B* na bazama tranzistora *TR*1 i dva izlaza na koje su priključene baze tranzistora *TR*2 i *TR*3. Faktor multiplikacije izlaza *N* očigledno je da zavisi od baznih struja priključenih tranzistora, ali isto tako i od faktora multiplikacije ulaza *M*. Naime, pri provođenju tranzistora

$TR2$ i $TR3$ tranzistori $TR1$ moraju da budu zakočeni. Prema tome kroz otpornost R_{C1} teku struje baze provodnih i kolektorske struje neprovodnih tranzistora. Ukupna vrednost kolektorskih struja, koje su veće od inverznih struja zasićenja, s obzirom da su baze ovih tranzistora na izvesnom pozitivnom potencijalu, zavisi od broja ulaznih priključaka M. Drugim rečima, što je faktor multiplikacije M veći to je veći i pad napona na otpornosti R_{C1}. Ovo može da bude od posebnog interesa kod germanijumskih tranzistora pri visokim temperaturama, jer bi usled porasta inverznih struja, pobudni napon na bazama priključenih tranzistora mogao da bude nedovoljan za uspostavljanje režima zasićenja. U svakom slučaju, pod pretpostavkom da se radi o identičnim tranzistorima, faktori multiplikacije priključaka su implicitno određeni relacijom:



Sl. 5.13. Dvostepena mreža u $DCTL$ tehnici

$$V_{CC} - R_{C1}(MI_{CN} + NI_{BS}) > V_{BS}, \tag{5.10}$$

gde je I_{CN} kolektorska struja neprovodnog tranzistora. Maksimalna struja, koja se može da dobije iz baterije V_{CC} preko otpornosti R_{C1} iznosi

$$I_C = \frac{V_{CC} - V_{BS}}{R_{C1}}. \tag{5.11}$$

S druge strane ova struja treba da zadovolji uslov

$$I_C \geqslant MI_{CN} + NI_{BS} \tag{5.12}$$

pri čemu je

$$I_{BS} = \frac{V_{CC} - V_{CS}}{h_F R_{C2}}. \tag{5.13}$$

Iz jednačina (5.11) — (5.13) nalazi se da faktor multiplikacije izlaza mora da zadovolji uslov

$$N \leqslant h_F \frac{R_{C2}}{R_{C1}} \cdot \frac{V_{CC} - (V_{BS} + MR_{C2}I_{CN})}{V_{CC} - V_{CS}}. \tag{5.14}$$

Iz gornjeg izraza vidi se da kolektorska struja neprovodnih tranzistora može da bude kritčna naročito pri nižim naponima napajanja. U slučaju kada je napon napajanja dovoljno veliki i kada su otpornici u kolektorskim dovodima tranzistora jednaki, onda iz jedn. (5.14) izlazi da najveći faktor multiplikacije može da dostigne vrednost koeficijenta strujnog pojačanja tranzistora. Ovakav zaključak je istina dosta optimistički, jer praktična vrednost broja izlaza N obično ne prelazi petinu vrednosti koeficijenta h_{FE}. Razlog tome leži u činjenici što je u jedn. (5.13) uzeta granična vrednost bazne struje zasićenja, koju bi inače trebalo pomnožiti još i sa faktorom zasićenosti tranzistora. Osim toga broj izlaznih priključaka se smanjuje i kao mera predostrožnosti za slučaj neujednačenih karakteristika tranzistora.

Iako su logička kola u $DCTL$ sistemu jednostavna i pogodna za fabrikaciju u integrisanom obliku, njihova primena je dobrim delom ograničena zbog relativno male brzine rada. Smanjena brzina ovakvih kola posledica je dosta dugog vremena rasterećenja tranzistora, koji često radi sa vrlo velikim faktorom zasićenja. Ovo naj-

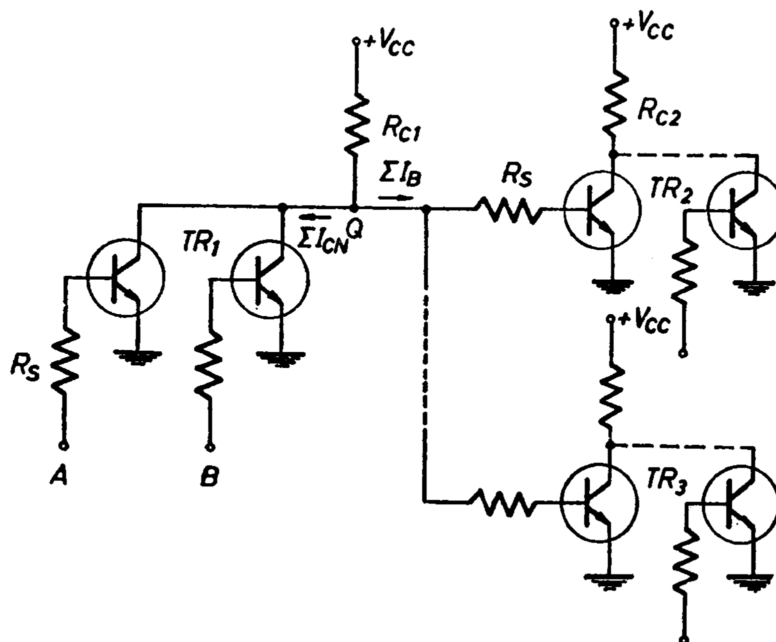
bolje ilustruje slučaj kada su struje neprovodnih tranzistora zanemarljivo male, a faktor multiplikacije izlaza je $N = 1$. Pod pretpostavkom da se radi o identičnim stepenima iz izraza (5.11) i (5.13) proizilazi da bazna struja tranzistora ima približno istu vrednost kao i kolektorska, što znači da tranzistor stvarno radi u dubokom zasićenju.

5.3.3. Problem preotimanja bazne struje

Velike teškoće u primeni *DCTL* kola pričinjava neujednačenost karakteristika tranzistora. U tom pogledu naročito su kritične vrednosti ulaznih otpornosti, odnosno naponi između baze i emitora V_{BE}. U slučaju da je napon provođenja tranzistora *TR*2 na sl. 5.13 manji nego tranzistora *TR*3, prvi tranzistor će pre da provede, vezujući na taj način potencijal kolektora *TR*1 na nivo napona V_{BES2}. Prema tome tranzistor *TR*3, koji ima veći napon provođenja ne može da bude doveden u stanje zasićenja, a možda ni u stanje provođenja, jer je uspostavljeni nivo pobudnog napona nedovoljan za njegovo eksitovanje. Drugim rečima, zbog neujednačenih karakteristika, neki tranzistori u kolu troše veću struju na račun drugih tranzistora u tolikoj meri, da dovode u pitanje i pravilan rad kola. Da bi se smanjio opisani problem preotimanja bazne struje neophodno je izvršiti odabiranje tranzistora, što — naravno — ograničava ili bar poskupljuje proizvodnju logičkih kola u *DCTL* tehnici.

5.3.4. Upotreba tranzistora sa predotporom

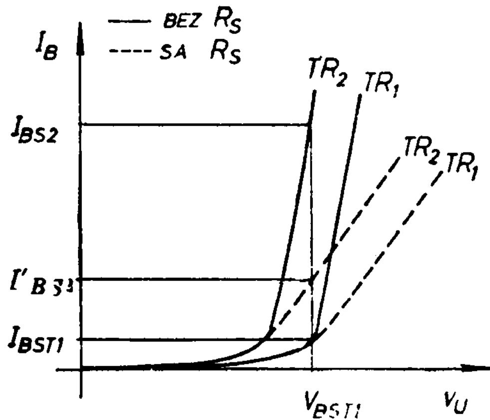
Da bi se ublažili navedeni nedostaci razmatranih kola u *DCTL* sistemu on se često modifikuje u tranzistorsku logiku sa otpornom spregom — *RCTL* (resistor-coupled-transistor-logic). Ova tehnika izvođenja logičkih kola našla je široku pri-



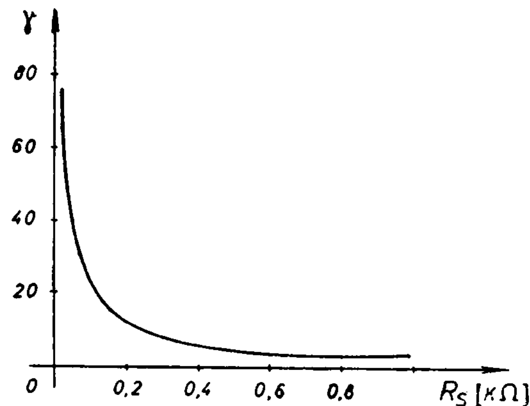
Sl. 5.14. Dvostepena mreža u *RCTL* tehnici

menu u digitalnim računarima tako da se ponekad naziva i tranzistorska logika digitalnih računara — *DCTL* (digital-computer-transistor-logic). Šta više, zbog korišćenja otpora i tranzistora u realizaciji ovakvih logičkih kola, neki ih svrstavaju u već poznatu grupu *RTL* kola. Ovo, ipak, nije sasvim korektno, s obzirom da ovde otpori služe samo za spregu, a ne i za formiranje logičke funkcije.

Tipično logičko kolo u $RCTL$ tehnici pokazano je na sl. 5.14. Za razliku od kola sa direktnom spregom, ovde je sprega između tranzistora izvedena preko otpornosti R_S. Uloga ove otpornosti je da izjednači bazne struje tranzistora, odnosno da smanji varijacije osobina kola, koje nastaju pri korišćenju tranzistora sa različitim ulaznim karakteristikama. Efekat dodate bazne otpornosti biće najbolje ilustrovan pomoću snimljenih ulaznih karakteristika za dva različita tranzistora $TR1$ i $TR2$, sl. 5.15. Napon V_U priključen je na ulaz stepena, tj. na otpornost R_S ukoliko ona postoji, odnosno direktno na bazu kada je $R_S = 0$. Dijagrami $I_B — V_U$ pokazuju da nagib karakteristika opada sa povećanjem otpornosti R_S. Ako za referentni napon uzmemo vrednost V_{BST1}, pri kojoj se tranzistor $TR1$ dovodi na prag zasićenja, bazna



Sl. 5.15. Uticaj otpornosti R_S na ulazne karakteristike tranzistora



Sl. 5.16. Zavisnost odnosa baznih struja od otpornosti R_S

struja ovog tranzistora biće I_{BST1}. Međutim, pri istoj vrednosti pobudnog napona, bazna struja tranzistora $TR2$ biće veća i iznosiće I_{BS2}, ako je predotpor $R_S = 0$, odnosno I'_{BS2}, ako otpor R_S postoji. Efekat serijskog otpora R_S može da se izrazi odnosom najveće i najmanje bazne struje paralelno vezanih tranzistora

$$\gamma = \frac{I_{Bmax}}{I_{Bmin}}. \tag{5.15}$$

U ilustrovanom primeru na sl. 5.15 vidi se da je odnos $\gamma' = I'_{BS2}/I_{BST1}$ dosta manji od odnosa $\gamma = I_{BS2}/I_{BST1}$, što očigledno ukazuje na smanjenje varijacija bazne struje tranzistora primenom predotpora. Treba istaći da se odnos γ vrlo brzo smanjuje pri relativno malim vrednostima otpora R_S. Znatnijim povećanjem predotpora, znači, u tom pogledu se ne dobija mnogo, kao što se vidi i iz priloženog dijagrama na sl. 5.16, koji je dobijen na osnovu snimljenih karakteristika $I_B — V_U$ za jedan konkretan primer.

Pri određivanju faktora multiplikacije za kolo na sl. 5.14 mora se voditi računa ne samo o različitim ulaznim karakteristikama tranzistora već i o dodatnom padu napona na baznim predotporima R_S. Prema tome, kada su ulazi A i B na niskom naponu, potencijal u tački Q može da bude

$$V_{Q2} = V_{BST2} + R_S I_{BST2},$$

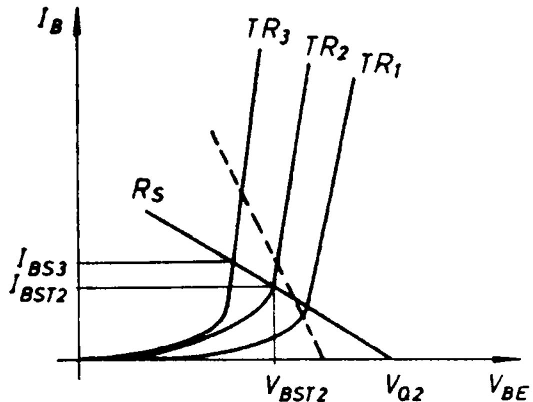
ili

$$V_{Q3} = V_{BST3} + R_S I_{BST3} \quad \text{itd.} \tag{5.16}$$

S druge strane, struja kroz otpornost R_{C1} treba da bude

$$\frac{V_{CC} - V_Q}{R_{C1}} = \sum_{i=1}^{N} I_{Bi} + M I_{CN}. \tag{5.17}$$

Zbog nelinearnosti bazne karakteristike tranzistora dalju analizu je najbolje izvesti primenom grafičke metode. U tom cilju u sistemu karakteristika I_B — V_{BE} raspoloživih tranzistora TR_{123}, sl. 5.17, treba ucrtati radnu pravu prema jedn. (5.16) za nekoliko vrednosti otpora R_S. Pri odabiranju položaja radne prave očigledno je da prag zasićenja nijednog tranzistora ne sme da bude iznad radne prave. Tranzistor $TR1$ ima najveći napon praga zasićenja, te se stoga obično nameće zaključak da taj tranzistor treba tretirati kao granični slučaj. Međutim, izborom referentnih uslova rada prema tranzistoru $TR2$ znatno se smanjuje i odnos varijacija baznih struja γ. Pretpostavljajući da su u tački Q na sl. 5.14 priključeni tranzistori svi tipa $TR3$ izuzev jednog koji je tipa $TR2$, onda se za jedn. (5.17) može da piše;



Sl. 5.17. Izbor radne tačke

$$\frac{V_{CC}-V_{Q2}}{R_{C1}}=I_{BST2}+(N-1)\,I_{BS3}+MI_{CN}. \tag{5.18}$$

Smenjujući u gornju jednačinu vrednost napona V_{Q2} prema jedn. (5.16), zatim struje I_{BST2} prema jedn. (5.13) i uvodeći odnos $\gamma = I_{BS3}/I_{BST2}$, faktor multiplikacije izlaza može da se napiše u sledećem obliku:

$$N=\frac{h_{F2}\,R_{C2}}{\gamma\,R_{C1}}\cdot\frac{V_{CC}-V_{BST2}-R_{C1}MI_{CN}}{V_{CC}-V_{CS2}}-\frac{1}{\gamma}\left(1+\frac{R_S}{R_{C1}}\right)+1. \tag{5.19}$$

Gornji izraz ukazuje na zavisnost broja izlaza logičkog kola od odnosa γ, odnosno od veličine baznog predotpora R_S. Kao što je pokazano na sl. 5.16, odnos γ stalno opada sa povećanjem vrednosti R_S. Faktor multiplikacije izlaza. N, međutim, u početku raste pri povećanju otpornosti R_S, ali kasnije počinje da opada, pošto drugi član u jedn. (5.19) postaje dominantan, jer se odnos γ približava jedinici.

U prethodnom razmatranju kola na sl. 5.14 prećutno je pretpostavljeno da tranzistori TR_2, $TR3$ itd. nisu multiplicirani, tj. da predstavljaju običan invertorski stepen. Međutim, ako se i ovde radi o multipliciranim *NILI* kolima, proučavanje takve logičke mreže, naravno, postaje složenije. To dolazi otuda, što pojedina priključena *NILI* kola mogu da imaju različite faktore multiplikacije ulaza M, a osim toga i logička stanja pojedinih tranzistora u priključenim *NILI* kolima mogu da budu različita. Zbog toga je u opštem slučaju teško odrediti najnepovoljnije uslove rada kola, na primer sa aspekta broja izlaza. Umesto toga radije se analiza ovakvog kola izvodi za najnepovoljniji slučaj, ali pri nekim unapred datim uslovima, na primer za jednake pobude na bazama tranzistora.

5.3.5. Margina smetnji

Margina smetnji logičkih kola u *DCTL* sistemu je dosta mala. Tako, na primer, u kolu na sl. 5.13 za slučaj da je tranzistor $TR1$ u zasićenju a $TR2$ blokiran, margina smetnji iznosi

$$V_{MS} = V_{BT2} - V_{CS1}. \tag{5.20}$$

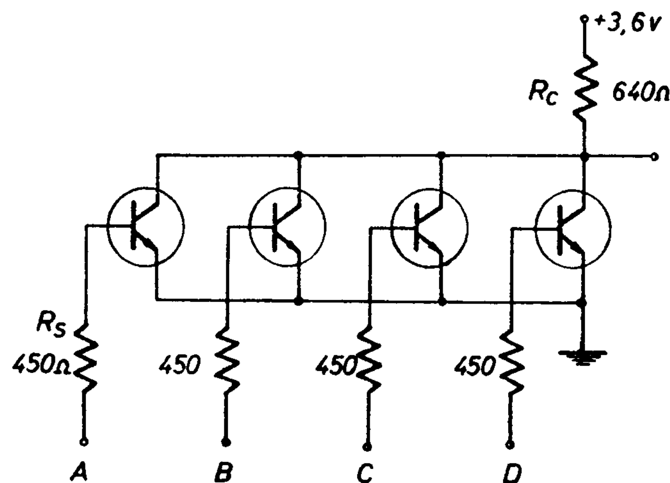
Ovakvo direktno određivanje napona margine smetnji ne bi se moglo u opštem slučaju da primeni i na kola sa serijskim predotporom, sl. 5.14. Korekcija gornje vrednosti sastojala bi se u tome da se pri određivanju margine smetnji uzme u obzir i pad napona na otpornostima R_S.

Interesantno je skrenuti pažnju na činjenicu da margina smetnji zavisi i od multiplikacije ulaza. Posmatrajmo, na primer, *NILI* kolo sa tranzistorima *TR*2 na sl. 5.14. Ako se *M* istih tranzistora napaja preko otpornosti R_{C2} onda se raspoloživa struja $(V_{CC} - V_{CS2})/R_{C2}$ raspodeljuje na sve tranzistore. To znači da je kolektorska struja svakog tranzistora *M* puta manja, uslovljavajući time i potrebu manje bazne struje, koja će tranzistor da dovede na granicu zasićenja. Očigledno je da je za tako smanjenu vrednost bazne struje potreban i manji nivo napona na bazi, što zapravo uslovljava i smanjenje napona margine smetnji.

Uticaj temperature na marginu smetnji je potpuno shvatljiv kad se imaju u vidu varijacije napona praga provođenja tranzistora. U svakom slučaju margina smetnji se smanjuje pri povećanju temperature. Treba istaći, međutim, da se sa porastom temperature ostvaruju uslovi za povećanje faktora multiplikacije na izlazu kola. To je i razumljivo kad se ima u vidu da povećanje pomenutog faktora iziskuje veći koeficijent strujnog pojačanja tranzistora, jedn. (5.19). S druge strane, napomenimo da pri višim temperaturama dolazi do izražaja i inverzna struja zasićenja tranzistora, koja, pak, uslovljava smanjenje broja izlaza.

5.3.6. Integrisana DCTL kola

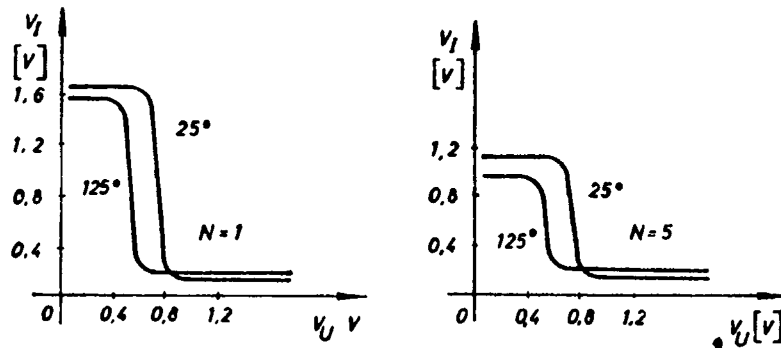
Već je ukazano da su logička kola sa direktnom spregom tranzistora pogodna za proizvodnju u integrisanom obliku. Međutim, problem preotimanja bazne struje nameće i ovde potrebu primene tranzistora sa baznim predotporima. Na sl. 5.18 pri-



Sl. 5.18. Integrisano *NILI* kolo u *RCTL* tehnici

kazana je praktična realizacija jednog takvog integrisanog *NILI*/*NI* kola u *RCTL* tehnici. Osim toga na sl. 5.19 a i b date su prenosne karakteristike za različite vrednosti faktora *N* i na različitim temperaturama. Na tim karakteristikama se vidi da je za kompletnu izmenu stanja prekidača dovoljna promena ulaznog napona od oko 150 mV. Dalje, uočava se smanjenje logičke amplitude pri povećanju broja izlaznih priključaka N. Zbog temperaturske nestabilnosti, tolerancije otpora i varijacije koeficijenta pojačanja h_{FE}, kao i praga provođenja V_{BET}, faktor multiplikacije izlaza ne

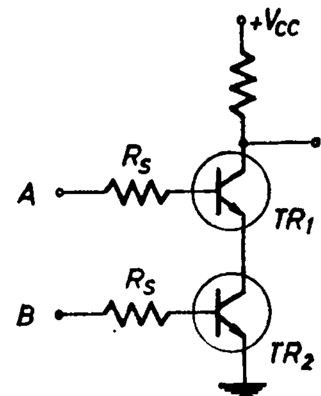
uzima se da je veći od 5. Potsetimo, da se sa povećanjem ovog faktora smanjuje stepen zasićenosti tranzistora, što se nepovoljno odražava na marginu smetnji. Osetljivost kola na smetnje može, naravno, da se odredi iz priloženih karakteristika. Tako se pomoću krive za $N = 5$ na temperaturi od 25°C nalazi da je margina šuma pri visokom nivou veća od 100 mV. Pri niskom nivou ona je bolja zbog veće razlike između napona zasićenja i praga provođenja tranzistora. Najzad, na istim karakteristikama treba još zapaziti da se naponi praga provođenja kao i logičke amplitude prekidača smanjuju pri povećanju temperature.



Sl. 5.19. Prenosne karakteristike kola na sl. 5.18

Radi upotpunjavanja izlaganja o logičkim kolima *DCTL* sistema ukažimo na mogućnost njihove realizacije ne samo paralelnim već i rednim vezivanjem tranzistora. Na sl. 5.20 dato je jedno takvo kolo sa samo dva ulaza *A* i *B*. Logika ovog kola je *NI* funkcija, pošto se niski napon na izlazu uspostavlja samo u slučaju da ni *A* ni *B* ulaz nije na niskom naponu, odnosno kada su oba ulaza istovremeno na visokom potencijalu. Primetimo da pri ovakvoj, konstrukciji kola svaki ulaz ima različit nivo napona provođenja. Ako kolo sadrži *M* ulaza onda nivo napona provođenja na najvišem ulazu mora približno da iznosi

$$V_A = (M - 1)\, V_{CES} + V_{BTA}. \qquad (5.21)$$



Sl. 5.20. Logičko *NI* kolo sa rednom spregom tranzistora

S druge strane nivo logičke nule na izlazu ima vrednost MV_{CES}, te stoga priključena kola moraju imati visok prag provođenja da bi se mogla da zakoče. Ovo se može da postigne dodavanjem određenog broja dioda na red sa priključenim prekidačkim elementima. U svakom slučaju to komplikuje realizaciju kola, koja uz to imaju i povećanu disipaciju. Stoga je primena rednih *DCTL* kola dosta retka.

Kao zaključak izlaganja o logičkim kolima u *DCTL* sistemu uopšte, navedimo ukratko njegove dobre i loše strane imajući u vidu uglavnom integrisanu tehnologiju izrade. Dobre strane su:

1. Jednostavna proizvodnja
2. Najmanje dimenzije za određenu mrežu sa bipolarnim poluprovodničkim elementima
3. Lako povezivanje sa diskretnim komponentama
4. Mali napon napajanja
5. Mogućnost direktnog međusobnog povezivanja izlaza

Loše strane su:

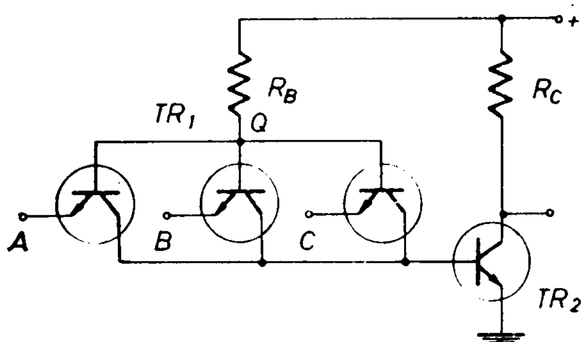
1. Mala imunost na smetnje
2. Relativno mali faktor multiplikacije.

5.4. TRANZISTORSKO-TRANZISTORSKA LOGIKA — TTL

Tranzistorsko-tranzistorska logika kola, poznata pod nazivom *TTL* (transistor-transistor-logic), postala je u poslednje vreme veoma interesantna za primenu u savremenoj elektronici. Ovaj sistem logičkih kola često iziskuje veći broj komponenata, te na prvi pogled izgleda da je manje ekonomičan od ostalih. Međutim, pošto je *TTL* tehnika razvijena sa aspekta proizvodnje u integrisanoj tehnologiji, prethodni zaključak postaje neodrživ, s obzirom da se ekonomičnost izrade integrisanog kola ne ocenjuje njegovom složenošću, odnosno brojem komponenata. Istina logička kola *TTL* sistema u principu mogu da budu izvedena i sa diskretnim elementima i tada u stvari i nisu složenija od kola drugih sistema. Međutim, takva kola obično ne mogu da pruže sve one prednosti, koje inače stoje na raspoloženju kod složenijih — integrisanih *TTL* kola.

5.4.1. Osnovna konfiguracija NI kola

Na sl. 5.21 pokazana je šema logičkog kola u *TTL* tehnici. Dok je u ranijim sistemima korišćena isključivo emitorska veza tranzistora, primetimo ovde da su tranzistori *TR*1 upotrebljeni u baznoj vezi. Ako je bilo koji od ulaza postavljen na niski napon, koji u pozitivnoj logici predstavlja stanje logičke nule, napon u tački *Q* biće



Sl. 5.21. *NI* kolo u *TTL* sistemu

$$V_Q = V_U(0) + V_{BE1}. \qquad (5.22)$$

Kako je ovaj napon nedovoljan da direktno polarizuje dva *PN*-spoja, kolektorski u tranzistoru *TR*1 i emitorski u tranzistoru *TR*2, to invertorski stepen u posmatranom kolu ostaje u neprovodnom stanju. Prema tome, na izlazu kola biće napon logičke jedinice. U slučaju da su svi ulazi *A*, *B* i *C* tranzistora *TR*1 na visokom potencijalu, napon u tački *Q* biće dovoljno visok da polarizuje pomenute *PN* spojeve u direktnom smeru. Na taj način preko otpornosti R_B poteći će struja baze tranzistora *TR*2, na čijem će se kolektoru sada uspostaviti nivo napona logičke nule. Prema tome, logika datog kola odgovara prekidačkoj *NI* operaciji. Vrednost napona u tački *Q* podešava se tako da pri svim predviđenim opterećenjima zadovoljava uslov

$$V_U(0) + V_{BE1} < V_Q < V_U(1) + V_{BET1}. \qquad (5.23)$$

Ulazni naponi u gornjem izrazu obično imaju vrednosti

$$V_U(0) = V_{CES}$$
$$V_U(1) = V_{CC} - R_C I_{CN}, \qquad (5.24$$

gde je I_{CN} struja kroz kolektorski otpor neprovodnog tranzistora na koji je priključen ulaz tranzistora *TR*1.

U toku provođenja tranzistora *TR*2 nastaje nagomilavanje manjinskih nosilaca pošto on radi u režimu zasićenja. Dovođenjem bilo kog ulaza, na primer *A* tranzistora

$TR1$, na niski napon poteći će emitorska struja kroz odgovarajući spoj baza-emitor. Usled toga se uspostavlja i struja u kolektorskom dovodu istog tranzistora. Ovu struju u početku čine nagomilani nosioci u tranzistoru $TR2$, a docnije ona se svodi na inverznu struju baznog priključka istog tranzistora. Prema tome, zahvaljujući postojanju tranzistora $TR1$ obezbeđen je pre svega odvodni put za inverznu struju zasićenja tranzistora $TR2$, a osim toga i brzo rasterećenje ovog tranzistora pri delovanju struje isključivanja. Podsetimo se da su ovi problemi u DTL tehnici iziskivali složenija rešenja (odabiranje dioda D_S i dodavanje otpornika R_B, sl. 5.8). Zbog toga je TTL tehnika u pogledu brzine rada najpovoljniji postojeći sistem logičkih kola u kome tranzistori rade u oblasti zasićenja.

Margina smetnji kola na sl. 5.21 je, nažalost, vrlo mala. Polazeći od toga da je tranzistor $TR1$ vezan na kolektor nekog prethodnog tranzistora $TR0$, koji se nalazi u zasićenju, onda će i tranzistor $TR1$ biti u zasićenju, a $TR2$ blokiran. Margina smetnji na bazi tranzistora $TR2$ u datim uslovima iznosi

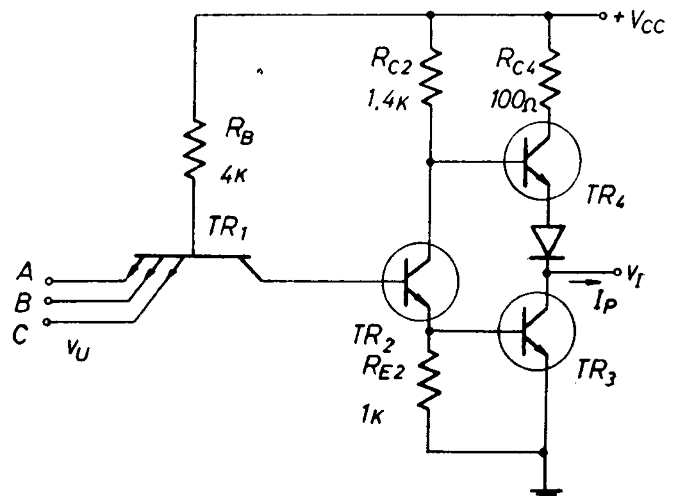
$$V_{MS} = V_{BT2} - V_U(0) - V_{CES1}. \tag{5.25}$$

Iz ovog izraza vidi se da dozvoljeni napon smetnji ne bi smeo biti veći od 0,3 — 0,4 V u normalnim temperaturskim uslovima rada. Pri povišenim temperaturama, međutim, margina smetnji praktično se svodi na nulu. Zbog toga pokazano logičko kolo u TTL tehnici može da ima veoma ograničenu primenu.

Pri izradi TTL kola integrisanom tehnologijom, umesto većeg broja ulaznih tranzistora sa uzemljenom bazom koristi se modifikovana konstrukcija tranzistora sa multipliciranim emitorskim spojevima. Ovakav višeemitorski tranzistor olakšava izvođenje TTL kola sa većim brojem ulaza (oko 7 — 8), ali time se u pogledu margine smetnji ne menja ništa. Povećanje dozvoljenog nivoa smetnji može da se ostvari ako se u bazni dovod tranzistora $TR2$ na sl. 5.21 veže dioda na red sa emitorskom diodom tranzistora. Ovakvo rešenje, međutim, lišava TTL kolo pomenutih prednosti u pogledu rasterećenja tranzistora $TR2$ kao i toka njegove inverzne struje. Šta više, dodata dioda i uz to neophodni odvodni otpornik između baze i emitora $TR2$ smanjuju baznu struju ovog tranzistora, čime se pogoršava brzina i režim rada prekidača. Osim toga, izlazna otpornost kola na sl. 5.21 je relativno velika, te je stoga osetljivo na veličinu i prirodu opterećenja. Zbog svega toga se u integrisanoj tehnici konstruiše složenije TTL kolo, kod koga su otklonjeni navedeni nedostaci.

5.4.2. Modifikacije integrisanih kola

Logičko NI kolo TTL sistema u integrisanoj verziji prikazano je na sl. 5.22. Ono se sastoji iz tri dela: višeemitorskog tranzistora $TR1$, zatim obrtača faze sa tranzistorom $TR2$ i dinamičkog invertora sa tranzistorima $TR3$ i $TR4$. Uloga tranzistora $TR1$ je poznata: on ostvaruje logičku I operaciju. Prema tome, samo u slučaju kada su svi emitori A, B i C na visokom naponu tranzistor $TR2$ biće u provodnom



Sl. 5.22. Integrisani NI element u TTL logici

stanju. Pri svim ostalim kombinacijama na ulazima tranzistora $TR1$ tranzistor $TR2$ biće neprovodan.

Tranzistor $TR2$ ima približno iste otpornosti u emitorskom i kolektorskom dovodu. Otuda se na ovom stepenu, čije je pojačanje približno jednako jedinici, pojavljuju jednaki naponi oba polariteta. Drugim rečima to znači da se naponi na emitorskom i kolektorskom priključku ovog tranzistora menjaju u suprotnim smerovima — kad jedan raste drugi opada i obrnuto.

Tranzistor $TR3$ radi kao invertor kod koga je pasivni kolektorski otpornik zamenjen dinamičkom otpornošćt tranzistora $TR4$. Baze ovih tranzistora su vezane, na emitorski odnosno na kolektorski priključak faznog obrtača. Prema tome, za vreme provođenja tranzistora $TR2$, donji tranzistor invertorskog stepena biće u zasićenju, a gornji u neprovodnom stanju, tako da se na izlazu uspostavlja napon

$$V_I(0) = V_{CS3}. \tag{5.26}$$

U ovom stanju kola tranzistor $TR3$ je pogodan za prihvatanje struje I_P od strane priključenih opterećenja.

Da bi tranzistor $TR4$ bio u neprovodnom stanju dok je $TR3$ u zasićenju, mora da bude ispunjen uslov

$$V_{BES3} + V_{CES2} - V_{CES3} < V_{BET4} + V_D. \tag{5.27}$$

Očigledno je da gornji uslov bez diode D ne bi bio pouzdano obezbeđen, te se stoga i postavlja dioda u emitorski ili bazni dovod tranzistora $TR4$.

U drugom slučaju, tj. kada je tranzistor $TR2$ u neprovodnom stanju, tranzistor $TR3$ biće takođe neprovodan, a $TR4$ provodan. Uspostavljeni nivo napona na izlazu sada ima vrednost

$$V_I(1) = V_{CC} - R_{C2}\frac{I_P}{h_{F4}} - V_{BE4} - V_D. \tag{5.27}$$

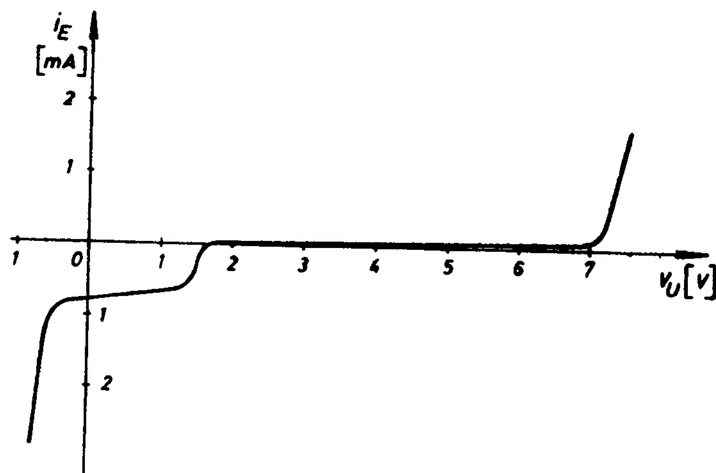
Drugi član na desnoj strani u gornjem izrazu potiče od bazne struje tranzistora $TR4$, koji obezbeđuje struju opterećenja I_P na izlazu kola. Tranzistor $TR4$ radi praktično kao stepen sa uzemljenim kolektorom, jer relativno mala otpornost R_{C4} služi samo da ograniči struju kolektora. Zahvaljujući tome ovaj stepen može da dâ veliku struju I_P priključenim spoljašnjim potrošačima.

Za razliku od kola na sl. 5.21, invertorski stepen $TR3$ na sl. 5.22 nema mogućnost brzog rasterećenja nagomilanog tovara kroz bazni dovod. Međutim, ovo rasterećenje je forsirano drugim putem. Naime, pri blokiranju tranzistora $TR2$, koji se, kao što je pokazano, brzo rasterećuje kroz tranzistor $TR1$, tranzistor $TR4$ počinje da vodi pre nego što je tranzistor $TR3$ uspeo da se oslobodi nagomilanog tovara. Pošto su, znači, oba invertorska tranzistora provodna, to će kroz njih u prvom trenutku da potekne velika struja iz baterije V_{CC}. Zahvaljujući ovom porastu kolektorske struje, tranzistor $TR3$ se prinudno rasterećuje te tako ubrzano prelazi u neprovodno stanje. S druge strane, međutim, zbog ovih strujnih udara povećava se potrošnja električne energije i to više ukoliko je veća učestanost prekidanja.

Margina smetnji integrisanog kola povećana je praktično za pad napona na jednom PN spoju. Polazeći od istih uslova koji su važili za jednačinu (5.25), za niskonaponsku marginu smetnji može da se napiše izraz

$$V_{MS} = V_{BET2} + V_{BET3} - V_U(0) - V_{CES1}. \tag{5.28}$$

Primetimo ovom prilikom da je maksimalni potencijal na emitoru tranzistora $TR2$ ograničen veličinom napona V_{BES3}. To znači da je i napon baze ovog tranzistora ograničen na vrednost pada napona na emitorskim PN spojevima dva zasićena tranzistora. Prema tome, ako su ulazni naponi na emitorskim priključcima dovoljno veliki, tranzistor $TR1$ radi u invertovanim uslovima, tj. kolektor tranzistora ima ulo-

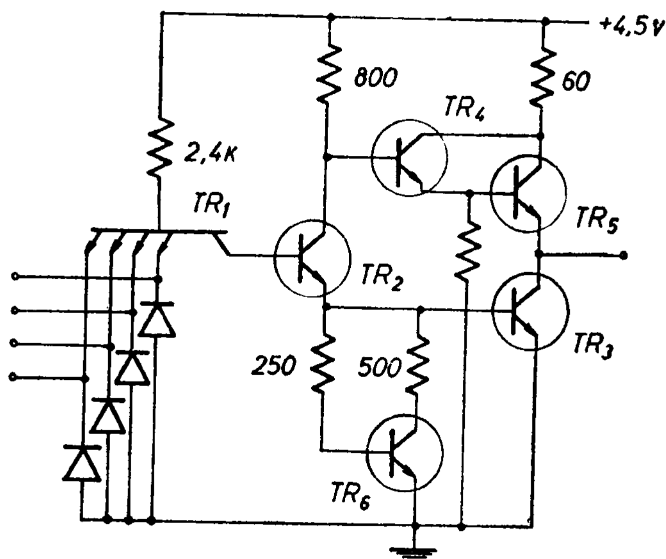


Sl. 5.23. Ulazna karakteristika kola na sl. 5.22

gu emitora, a emitor ulogu kolektora. Budući da je koeficijent strujnog pojačanja invertovanog tranzistora vrlo mali, to su i struje tranzistora u ovakvom režimu rada takođe male. Međutim, emitorska struja tranzistora će naglo da poraste kada potencijal na ulazu dostigne vrednost probojnog napona, sl. 5.23. Vrednost ovog napona zavisi ne samo od otpornosti difundovane baze tranzistora već i od potencijala na ostalim ulazima. Tako, na primer, ako je ulaz A na visokom a B na niskom potencijalu, proboj nastaje pri ulaznom naponu

$$V_U = BV_{EB(A)} + V_{BE(B)} + V_{U(B)}(0). \qquad (5.29)$$

S druge strane, direktna emitorska struja tranzistora $TR1$ će naglo da poraste pri povećanju negativnog napona na ulazu kola. Radi toga se često emitorski izvodi tranzistora $TR1$ vezuju preko ograničavačkih dioda na masu, čime se onemogućava da negativni naponi na ulazu kola budu veći od pada napona na tim diodama.



Sl. 5.24. *NI* kolo za vrlo brzi rad

Već je istaknuto da TTL tehnika omogućuje najbrži rad logičkih kola sa tranzistorima u zasićenju. Na sl. 5.24 pokazano je modifikovano TTL kolo predviđeno za vrlo brzi rad. Uočimo odmah da u ovom kolu dinamičku otpornost u kolektorskom dovodu tranzistora $TR3$ čini Darlingtonova sprega tranzistora $TR4$ i $TR5$. I ovaj složeni stepen radi kao emiterfolover obezbeđujući vrlo malu izlaznu impedansu, reda desetak oma. U vezi s tim,

visoki napon pri datom opterećenju na izlazu sada je veći. Pošto napon V_{CES4} sprečava da tranzistor $TR5$ ide u zasićenje to je njegovo isključivanje brže.

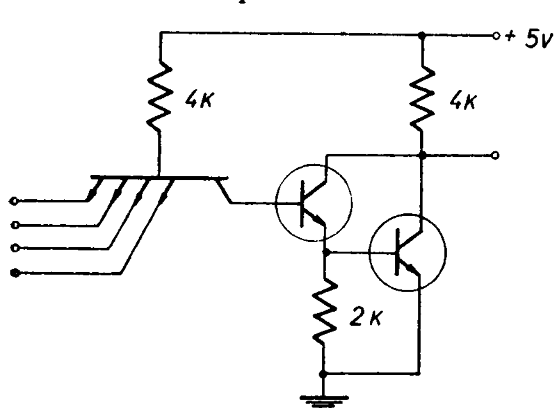
Druga izmena učinjena je zamenom pasivnog otpora u emitorskom dovodu tranzistora $TR2$ dinamičkom otpornošću tranzistora $TR6$. Zahvaljujući velikoj otpornosti ovog tranzistora na početku provođenja, veći deo struje tranzistora $TR2$ usmerava se na bazu tranzistora $TR3$ čime se ubrzava njegovo uključivanje. U toku normalnog provođenja tranzistora $TR6$, njegova otpornost je smanjena, čime se sprečava da izlazni tranzistor $TR3$ ide duboko u zasićenje. Pored toga pri isključivanju ovaj tranzistor ostaje još nekoliko trenutaka u aktivnom režimu, potpomažući time isključivanje tranzistora $TR3$. Napomenimo još da dodati tranzistor ima uticaja i na poboljšanje temperaturske stabilnosti kola.

Ilustracije radi navedimo i neke brojne vrednosti koje karakterišu brzo logičko kolo u *TTL* sistemu [7]:

Napon napajanja	4,5 — 5,5 V
Potrošnja	20 mV
Napon praga provođenja	1,5 V
Margina smetnji na 25°C	400 mV
Broj izlaza	10
Ulazna otpornost	400 $K\Omega$ (2,5 $K\Omega$)
Izlazna otpornost	10 Ω
Srednje kašnjenje	5 — 10 ns
Prelazna stanja	1 ns

Primetimo još i to, da se, za razliku od ranijih sistema, logička amplituda datih *TTL* kola povećava sa porastom temperature, što je posledica smanjenja pada napona na *PN* spojevima u invertorskom delu kola.

Formiranje novih logičkih funkcija direktnim povezivanjem izlaza integrisanih *TTL* kola u principu nije moguće. To je uostalom i razumljivo kad se imaju u vidu male izlazne impedanse ovih kola u oba prekidačka stanja. Direktnim spajanjem izlaza takva dva kola sa različitim logičkim stanjima uvek bi se dobila redna veza dva tranzistora u provodnom stanju, od kojih je jedan sigurno u zasićenju. Takva sprega, pored neodređenosti logičkog nivoa, prouzrokovala bi i znatno povećanje struje kroz invertorske grane, što je praktično nedopustivo. Zbog toga se konstruišu i drugačija *TTL* kola, koja su obično još složenijeg sastava. Jedno dosta prosto kolo, pogodno i za direktnu spregu izlaza, dato je na sl. 5.25. Konfiguracija ovog kola nije nam nepoznata pa ćemo o njemu reći samo toliko, da ono ima najbolji proizvod brzina — disipacija među kolima *TTL* tehnike (kašnjenje 5 ns, disipacija 7 mW [7]).



Sl. 5.25. *NI* kolo sa mogućnošću paralelovanja izlaza

Na kraju navedimo ukratko dobre i loše strane logičkih kola u *TTL* sistemu. Dobre su:

1. Velika brzina
2. Mala izlazna otpornost
3. Veliki broj izlaza
4. Dobra imunost na smetnje iz izvora za napajanje

5. Mali proizvod brzina-potrošnja
6. Usklađuje se sa kolima *DTL* sistema.

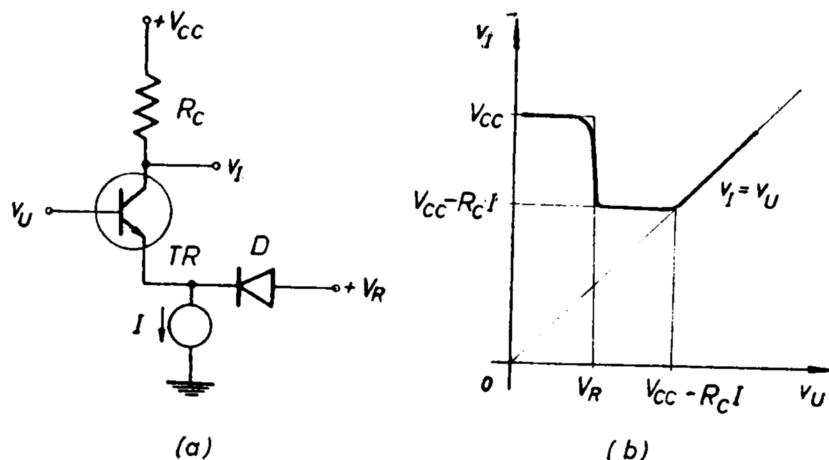
Loše strane su:

1. Nemogućnost međusobnog direktnog povezivanja izlaza
2. Strujni udari pri prekidanju uzrokuju povećanje sopstvenog šuma.

5.5. LOGIKA SA EMITORSKOM SPREGOM — ECL

Savremeni razvoj računske tehnike, telekomunikacija i instrumentacije nameće potrebu projektovanja logičkih sistema koji su u stanju da rade sinhronizovano sa takt-generatorima učestanosti do 100 MHz. Pri realizaciji logičkih kola sa kašnjenjem od svega nekoliko nanosekunada treba računati sa vremenom promene logičkog nivoa napona u trajanju od 1 — 2 ns. Stoga pri projektovanju ovako brze logičke mreže nameću se dva problema: prvi, da se ostvari tako brzo logičko kolo i drugi, da se izvrši podesno povezivanje takvih kola u mreži. Značaj ovog drugog problema postaje jasniji kad se ima u vidu da prostiranje impulsa kroz slobodan vod dužine oko 40 cm traje približno isto toliko koliko i vreme uspostavljanja napona na vrlo brzom logičkom kolu.

Pri konstrukciji vrlo brzih logičkih kola poželjno je da prekidački tranzistori ne ulaze u oblast zasićenja, kako bi se izbeglo povećanje vremena isključivanja prouzrokovano nagomilanim tovarom manjinskih nosilaca u tranzistoru. Međutim, praktično je neizvodljiva konstrukcija prekidačkog kola u kome bi se izbegao režim zasićenja tranzistora kontrolisanjem njegove bazne struje. Koeficijent strujnog pojačanja, na primer, varira od tranzistora do tranzistora u tolikoj meri da je regulisanje provodnog stanja pomoću bazne struje vrlo nepouzdano.



Sl. 5.26. *CML* sistem logičkih kola
a) principijelna šema kola
b) prenosna karakteristika

Režim provođenja tranzistora može da se podešava projektovanjem prekidačkog kola tako, da emitorska struja prekidačkog tranzistora bude kontrolisana nezavisno od pobudne struje baze. Zbog postojanja konstantne struje u takvim kolima, ona se uvrštavaju grupu logičkih kola sa konstantnom strujom i često se označavaju sa *CML* (current-mode-logic).

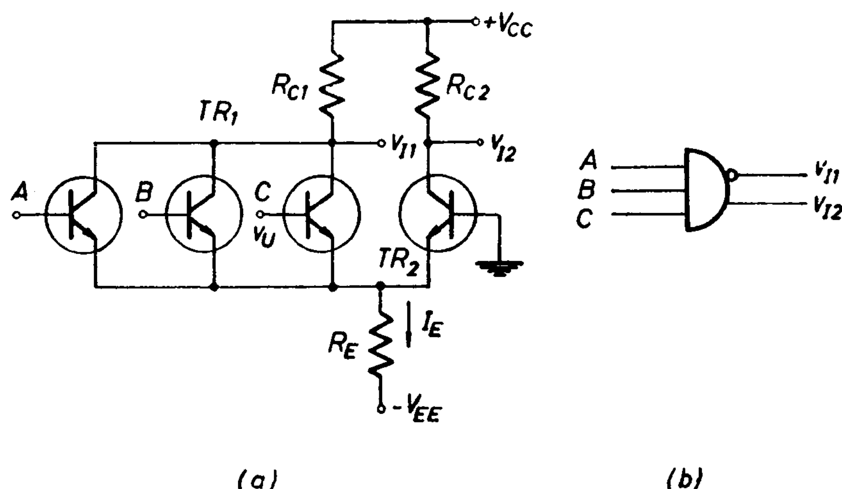
Principijelno logičko kolo u *CML* sistemu pokazano je na sl. 5.26 a. Konstantna struja generatora I raspodeljuje se na struju tranzistora i na struju diode podešavanjem veličine ulaznog napona V_U prema referentnom naponu V_R. Kao što pokazuje prenosna karakteristika prekidača na sl. 5.26 b, dok je napon $V_U < V_R$ celokupna struja I ide kroz diodu D, te je napon na kolektoru tranzistora $V_I = V_{CC}$. Povećanjem ulaznog napona dostiže se potencijal provođenja tranzistora, te stoga započinje

raspodela struje I na struju diode i struju tranzistora. U slučaju kada je $V_U > V_R$ celokupna struja I teći će kroz tranzistor, pošto je sada dioda inverzno polarizovana. Prema tome, kolektorski napon tranzistora je $V_I = V_{CC} - R_C I$. Daljim povećanjem ulaznog napona nastaje ponovo lomljenje prenosne karakteristike pri vrednosti $V_U = V_{CC} - R_C I$. To znači da je tranzistor tek tada doveden u oblast zasićenja, što se inače u primeni *CML* kola nikada ne dozvoljava.

U praktičnoj realizaciji kola, izvor konstantne struje čini obično redna veza baterije i otpornika, a dioda se zamenjuje tranzistorom. Šta više, otpornost strujnog generatora koristi se kao zajednička sprega između tranzistora, izvedena preko emitorskih priključaka. Zbog toga se ovakva kola, pored ranije navedenog naziva, bliže karakterišu kao logička kola sa emitorskom spregom i označavaju se sa *ECL* (emitter-coupled-logic).

5.5.1. Osnovna konfiguracija kola

Osnovno kolo u *ECL* tehnici pokazano je na sl. 5.27. Veći broj tranzistora $TR1$ upotrebljen je u cilju multiplikacije ulaza na isti način kao što je to bio slučaj i u *DCTL* tehnici. Pošto je za referentni napon u ovom kolu uzet nulti potencijal (baza



Sl. 5.27. Osnovna konfiguracija kola u *ECL* sistemu
(a) šema veza
(b) grafički simbol

tranzistora $TR2$ vezana je na masu), to se nivoi pobudnog napona na bazi tranzistora $TR1$ obično odabiraju simetrično u odnosu na taj potencijal. U tabeli 5.1 navedene su brojne vrednosti napona na bazama i emitorima tranzistora, uzimajući da je napon baza-emitor provodnog tranzistora $V_{BE} = 0{,}6$ V. Od tri navedena slučaja vidi se da slučaj pod (a) ne obezbeđuje dovoljnu inverznu polarizaciju emitorskog spoja tranzistora.

	V_U (V)	V_E (V)	V_{BE1} (V)	V_{BE2} (V)
a	0,3 —0,3	—0,3 —0,6	0,6 0,3	0,3 0,6
b	0,6 —0,6	0 —0,6	0,6 0	0 0,6
c	1 —1	0,4 —0,6	0,6 —0,4	— 0,4 0,6

Tabela 5.1. Odabiranje ulaznih nivoa napona

Oba preostala slučaja su zadovoljavajuća sa gledišta prekidačkog rada tranzistora. Slučaj pod (b) je nešto povoljniji u pogledu jednakosti emitorske struje u dva logička stanja

$$I_E = \frac{V_E - V_{EE}}{R_E}. \qquad (5.30)$$

Naime, iz gornje tabele se vidi da napon V_E ima različite vrednosti pri jednom, odnosno drugom logičkom nivou napona na ulazu. To znači da i struje I_{E1} i I_{E2} u dva prekidačka stanja neće biti iste, što se odražava i na vrednost izlaznog napona. Pošto je napon $V_E(1) > V_E(0)$, to iz jedn. (5.30) proizilazi da je kolektorska struja tranzistora $TR1$ veća od odgovarajuće struje tranzistora $TR2$, naime $I_{C1} > I_{C2}$. Da bi se obezbedila jednakost izlaznih nivoa napona $V_{I1}(0) = V_{I2}(0)$ obično se uzima nešto manja vrednost otpora R_{C1} od otpora R_{C2}. Uostalom, razlika struja postaje praktično beznačajna ako se uzme dovoljno veliki napon baterije V_{EE}.

Logička amplituda izlaznog napona je

$$\Delta V_C = V_C(1) - V_C(0) \tag{5.31}$$

gde je: $V_C(1) = V_{CC} - R_C I_{CN}$ i

$$V_C(0) = V_{CC} - R_C h_{FB} I_E \approx V_{CC} - \frac{R_C}{R_E} |V_{EE}|.$$

U interesu brže izmene naponskih nivoa, elementi kola se obično biraju tako da logička amplituda ne bude veća od jednog volta. U svakom slučaju se nastoji da otpori R_C budu što manji, a struje što veće, kako bi se smanjio uticaj kapacitivnosti na brzinu rada kola.

Napon kolektor-baza tranzistora u kolima sa emitorskom spregom podešava se da bude što veći. Ovo se čini iz razloga što se time smanjuje kapacitivnost kolektorskog spoja tranzistora. Istovremeno time se povećava i napon između kolektora i emitora, a sa ovim i granična učestanost tranzistora f_T. Smanjenje prelazne kapacitivnosti kolektorskog spoja kao i povećanje granične učestanosti tranzistora doprinose, naravno, povećanju brzine rada kola.

U vezi sa prethodnim zahtevima u pogledu brzine rada kola nameće se potreba za većim naponom baterija za napajanje V_{CC}. Stoga je disipacija u logičkim kolima *ECL* sistema dosta velika i približno iznosi

$$P = (V_{CC} - V_{EE}) I_E. \tag{5.32}$$

To ukazuje na činjenicu da je povećanje brzine rada ovih kola ostvareno uglavnom na račun povećanja disipacije u kolu.

Iz tabele 5.1 kao i izraza (5.31) može se zapaziti da su nivoi napona na ulazu i izlazu datog kola dosta različiti. Naime, dok su naponi na ulazu bliski vrednosti referentnog potencijala, naponi na izlazu se više približavaju naponu napajanja V_{CC}. Zbog toga je direktno sprezanje ovakvih kola u logičkoj mreži neizvodljivo. Istina, direktno sprezanje logičkih stepena u *ECL* tehnici može da se izvede koristeći u jednom stepenu *PNP* a u drugom *NPN* tranzistore. U ovakvoj komplementarnoj mreži moguće je ostvariti logičke nivoe napona na izlazu jednog stepena tako da odgovaraju nivoima napona na ulazu sledećeg stepena. U protivnom, pri korišćenju tranzistora istog tipa i iste baterije za napajanje svih logičkih kola, mora se izvesti prilagođenje nivoa na izlazu jednog sa nivoima na ulazu drugog stepena. To se postiže pomoću otpornih razdelnika napona ili korišćenjem cener-dioda pogodnih vredoosti.

Što se tiče logike kola na sl. 5.27 primetimo da ono raspolaže sa dva izlaza koji su međusobno invertovani. To znači da ovo kolo može da obavlja dve komplementarne prekidačke funkcije i to: na kolektoru tranzistora $TR1$ — *NILI*, a na kolektoru $TR2$ — *ILI*. U slučaju da jedan izlaz nije potreban, na primer V_{I1}, može se odgovarajući kolektorski otpornik da zameni kratkom vezom, čime se dobija nešto i u brzini rada kola.

Za multiplikaciju ulaza, kao što je pokazano na sl. 5.27, koristi se veći broj tranzistora *TR*1, kod kojih su kolektorski, odnosno emitorski izvodi međusobno direktno povezani. Ovakva multiplikacija ulaza obezbeđuje dobru direktivnost i veliku izolovanost. Naglasimo uz to da je ulazna otpornost kola velika, izuzev u kratkotrajnom vremenskom intervalu prelaznog stanja kola. Ovaj vremenski interval nastaje pri izmeni stanja prekidača, kada se oba tranzistora istovremeno nalaze u aktivnom režimu.

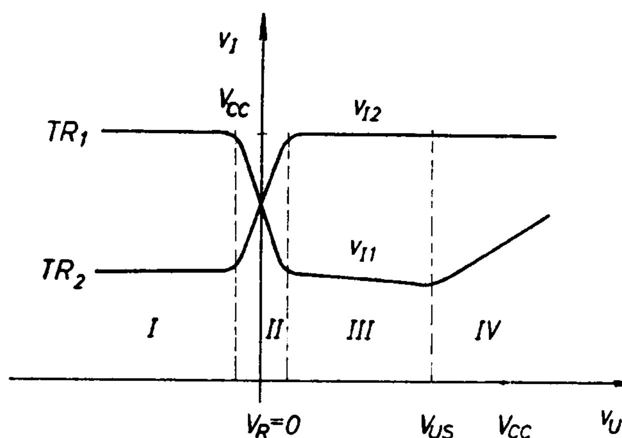
Izlazna otpornost na kolektoru tranzistora u aktivnom režimu je prilično visoka. Međutim, efektivna izlazna otpornost kola je dosta mala zbog male vrednosti otpornika u kolektorskim dovodima. Zahvaljujući tome, logička kola u *ECL* tehnici mogu da budu dobro opterećena, odnosno da imaju veliki broj izlaza. Šta više, mala izlazna otpornost omogućava uspostavljanje velike pobudne struje za priključeno kolo opterećenja u periodu njegovog prelaznog režima. Pretpostavljajući da je priključeno kolo istog tipa kao i ono na sl. 5.27, onda će pri promeni napona na kolektoru pobudnog tranzistora za iznos ΔV_C, pobudna struja da ima vrednost

$$I_P \approx \frac{\Delta V_C}{R_C + r_{BE1} + r_{BE2}}, \tag{5.33}$$

gde su sa r_{BE} označene vrednosti otpora između baze i emitora tranzistora u priključenom kolu. Ako ova struja isključuje jedan i uključuje drugi tranzistor u toku vremena t_p, onda je

$$t_p \approx Q_B \frac{R_C + 2\, r_{BE}}{\Delta V_C}. \tag{5.34}$$

Veličina Q_B u gornjem izrazu označava vrednost tovara koji se dovodi u bazu ili odvodi iz nje zavisno od toga, da li se tranzistor uključuje ili isključuje. Drugim rečima, struja I_P prenosi bazni tovar iz jednog tranzistora u drugi. Pošto logička amplituda napona ΔV_C kod ovih kola treba da bude što manja, očigledno je iz izraza (5.34) da i otpornost R_C treba da je što manja. To dovodi do zaključka, da za pobuđivanje kola u *ECL* sistemu treba koristiti generator sa što manjom izlaznom otpornošću.



Sl. 5.28. Prenosna karakteristika kola *ECL* sistema

Ilustracija rada napred opisanog *ECL* kola prikazana je i prenosnim karakteristikama na sl. 5.28. Pošto je baza tranzistora *TR*2 na sl. 2.27 vezana na masu, to je referentni potencijal ovog kola $V_R = 0$. Za vrednosti ulaznih napona, koje su bliske ovom potencijalu, oba tranzistora *TR*1 i *TR*2 su provodna i nalaze se u aktivnom režimu. Ova oblast, obeležena na slici sa *II*, predstavlja prelazni režim od čijeg trajanja zavisi brzina rada kola. Potsetimo, da je ulazna otpornost *ECL* kola mala samo u ovoj oblasti.

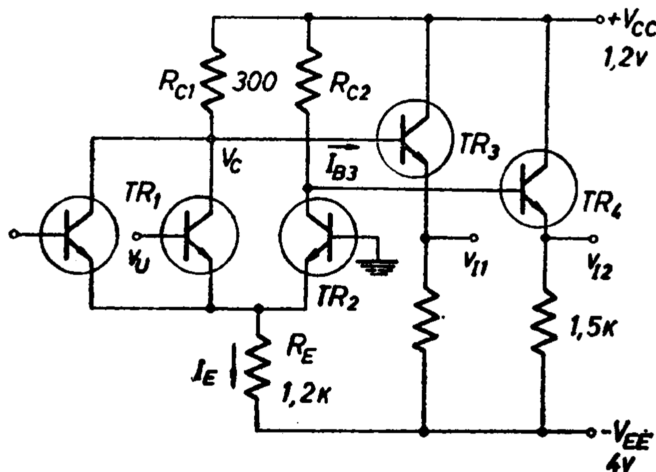
Pri većim negativnim naponima na ulazu tranzistora *TR*1, tranzistor *TR*2 vodi a *TR*1 je blokiran, što na slici pokazuje oblast označenu sa *I*. Izlazni napon V_{I2} je konstantan jer kroz *TR*2 teče konstantna struja $h_{FB}I_E$.

Pri povećanju pozitivnog napona na ulazu $TR1$, ovaj tranzistor preuzima struju $h_{FB} I_B$, što znači da je tranzistor $TR2$ zakočen. U ovoj oblasti, označenoj na slici sa III, izlazni napon V_{I1} se neznatno smanjuje pri porastu napona V_U, zbog izvesnog povećanja kolektorske struje tranzistora $TR1$. Međutim, u oblasti IV napon V_{I1} počinje čak i da raste, što je posledica ulaska tranzistora $TR1$ u oblast zasićenja. Naime, pri ulaznom naponu $V_U > V_{US}$ kolektorski spoj tranzistora $TR1$ je polarizovan direktno, pa jedan deo bazne struje teče prema kolektoru, smanjujući time ukupnu kolektorsku struju. U normalnim uslovima rada ECL kola na sl. 5.27 veličina pozitivnog napona V_U je ograničena tako, da kolo nikada ne dolazi u režim rada koji je predstavljen oblašću IV na sl. 5.28.

Napred izloženi radni uslovi logičkog kola u ECL tehnici odabrani su uglavnom sa gledišta povećanja brzine prekidanja tranzistora. Međutim, zbog velikog napona između kolektora i emitora tranzistora u aktivnom režimu, disipacija u ovim kolima je velika, a isto tako postoji znatna neusaglašenost naponskih nivoa na ulazu i izlazu kola. Zbog toga se ipak nastoji da logičke mreže budu formirane od takvih ECL kola, kod kojih će biti otklonjeni ili bar umanjeni navedeni nedostaci.

5.5.2. Kola sa usklađenim naponskim nivoima

Na sl. 5.29 pokazano je logičko ECL kolo sa podešenim ulaznim i izlaznim nivoima. Izlazni naponi kola uzimaju se sa tranzistora $TR3$ i $TR4$ koji rade kao emitorfoloveri u aktivnom režimu. Ovi dodati stepeni, prema tome, ne smanjuju brzinu rada kola, a spuštaju izlazne nivoe napona za vrednost napona V_{BE}. Osim toga mala izlazna otpornost tranzistora u kolektorskoj vezi omogućava povećanje struje opterećenja. Zbog toga faktor multiplikacije izlaza ovakvih kola dostiže vrednost od 10—15, a kod nešto sporijeg rada i 25.



Sl. 5.29. ECL kolo sa emitorfoloverima na izlazu

Ukažimo ovde na mogućnost nestabilnog rada stepena sa uzemljenim kolektorom pri većim kapacitivnim opterećenjima. Ova nestabilnost se ispoljava utoliko više ukoliko upotrebljeni tranzistori imaju veće pojačanje i višu graničnu učestanost. U vezi s tim se kadkad u bazne dovode tranzistora $TR1$ i $TR2$ stavljaju male otpornosti, koje imaju za cilj da spreče eventualno započinjanje oscilacija u kolu.

U cilju prilagođenja izlaznih i ulaznih nivoa, pokazana translacija izlaznog napona preko emitorfolovera ne bi bila dovoljna ako bi se i dalje zadržao visok napon napajanja V_{CC}. Da bi se ostvarilo prilagođenje izlaznih i ulaznih nivoa u ECL kolima, potrebno je da izlazni logički nivoi, na primer V_{I1}, zadovolje sledeće uslove:

$$V_{I1}(1) = V_{CC} - R_{C1} I_{B3} - V_{BE3} \leqslant V_{U\max} \qquad (5.35)$$

$$V_{I1}(0) = V_{CC} - R_{C1} h_{FB} I_B - V_{BE3} \geqslant V_{U\min} \qquad (5.36)$$

Iz gornjih jednačina se nalazi da logička amplituda napona treba da ima vrednost

$$\Delta V_U = V_{U\max} - V_{U\min} = R_{C1}(h_{FB} I_B - I_{B3}). \qquad (5.37)$$

Napon $V_{U\max}$ ograničen je uslovom da tranzistor $TR1$ ne ide u zasićenje. To znači da kolektorski spoj ovog tranzistora mora da bude tako polarizovan da ne propušta struju u direktnom smeru. Ovaj uslov je ispunjen sve dotle dok je razlika potencijala na bazi i kolektoru tranzistora $TR1$ manja od praga provođenja njegove kolektorske diode, naime

$$V_{U\max} - V_{C\min} \leqslant V_{BCT}. \tag{5.38}$$

Kako je $V_{C\min} = V_{CC} - h_{FB} I_E R_{C1}$, to se iz jednačina (5.35), (5.37) i (5.38) nalazi da je

$$\Delta V_U = V_{BE3} + V_{BCT}. \tag{5.39}$$

Vidimo, dakle, da logička amplituda napona ovih kola treba da bude prilično mala, u najboljem slučaju da je manja od jednog volta. Pri tome treba imati u vidu i stepen sigurnosti neprovođenja kolektorske diode tranzistora. Zbog toga se obično ne dozvoljava da napon na kolektoru tranzistora bude viši od napona na bazi za više od 50 — 100 mV.

Ako pretpostavimo da su nivoi ulaznog napona simetrični prema referentnom potencijalu V_R, onda maksimalni ulazni napon kola na sl. 5.29 može da ima vrednost

$$V_{U\max} = \frac{1}{2} \Delta V_U. \tag{5.40}$$

Sa ovim se iz jedn. (5.35) nalazi da napon napajanja kola treba da iznosi

$$V_{CC} = \frac{1}{2} \Delta V_U + V_{BE3} + R_{C1} I_{B3}. \tag{5.41}$$

Imajući u vidu da je treći član na desnoj strani jednačine (5.41) vrlo mali, gornji izraz pokazuje da je napon napajanja kola sa usklađenim logičkim nivoima na ulazima i izlazima reda svega jednog volta. Da bi se uz to obezbedili povoljni uslovi rada tranzistora očigledno je da napon V_{EE} mora da ima veće vrednosti. U svakom slučaju i otpornost strujnog generatora R_E treba da ima veliku vrednost kako bi se obezbedila manja zavisnost karakteristika kola od parametara tranzistora.

Logičko ECL kolo sa emitorfoloverima na izlazu obezbeđuje usaglašenost ulaznih i izlaznih nivoa napona, što omogućava direktno sprezanje takvih kola u logičkoj mreži. Međutim, i pored toga što je disipacija prekidačkih stepena smanjena, potrošnja električne energije kod ovih kola je i dalje relativno velika zbog dodatih stepena sa uzemljenim kolektorom. Zbog toga se ponekad ipak usvaja osnovna konfiguracija logičkog kola data na sl. 5.27, ali se projektuje za uslove rada koji dovode prekidačke tranzistore do granice zasićenja. Očigledno je da logička amplituda napona u ovom slučaju mora da bude još manja. Prema jedn. (5.39) za $V_{BE3} = 0$ nalazi se da je $\Delta V_U = V_{BCT}$, što znači da je logička amplituda napona manja od pola volta. Isto tako, prema jedn. (5.41) vidi se da napon napajanja V_{CC} treba da ima vrednost od oko 0,3 V.

Razumljivo je da režim rada tranzistora na granici zasićenja iziskuje vrlo brižljivo odabiranje elemenata kola. Tako, na primer, tolerancija otpornika mora da bude vrlo uzana da bi se osigurala pouzdanost uspostavljanja tako malih promena logičkih nivoa napona. Spoljni uslovi rada kola mora da budu tačno specificirani naročito u pogledu opsega temperature. Neosporno je da izbor tranzistora u kolu igra veliku ulogu naročito u pogledu brzine rada. Izvesni tipovi silicijumskih epitaksijalnih tranzistora sa difundovanom bazom, na primer, imaju vrlo dobru prekidačku

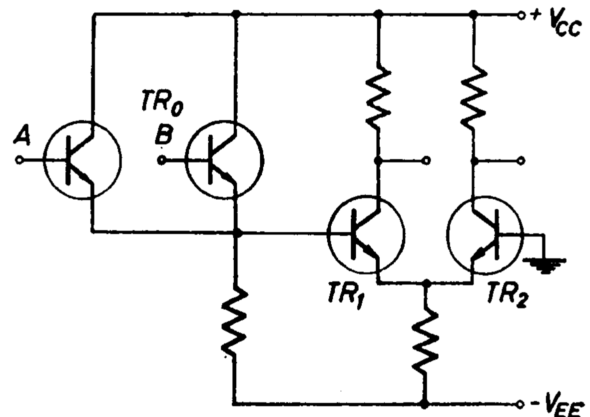
karakteristiku čak i pri izvesnoj direktnoj polarizaciji kolektorskog spoja. To je posledica ne samo male širine baze i male otpornosti kolektorske oblasti, već i formiranog polja u području baze tranzistora.

Male promene napona ovih kola obezbeđuju svakako veliku brzinu rada. Međutim, ako se ostvare uslovi rada tranzistora u stalnom aktivnom režimu, onda ovakva *ECL* kola mogu da raspolažu još većim brzinama. Naravno da ovakav način rada zahteva još strožiji izbor komponenata kola u kome tranzistori treba da rade ne samo na granici zasićenja već i na granici blokiranja. Primetimo uz to, da imunost kola na smetnje pri ovako malim logičkim amplitudama napona je vrlo kritična.

5.5.3. Kola sa dvostrukom emitorskom spregom — E^2CL

Raznim modifikacijama osnovnog logičkog kola u *ECL* tehnici moguće je ostvariti dalja poboljšanja nekih karakteristika kola. U jednoj takvoj modifikaciji multiplikacija ulaza se izvodi pomoću potrebnog broja emitorfolovera na ulazu kola, sl. 5.30. Zbog dvostruke emitorske sprege, ovakva kola nazivaju još i E^2CL (emitter-emitter-coupled-logic).

Prednost multiplikacije ulaza pomoću stepena sa uzemljenim kolektorom ogleda se prvenstveno u smanjivanju parazitnih kapacitivnosti tranzistora *TR*1. U vezi s tim ovde nije potrebno predvideti rad sa tako velikim strujama kao u kolima, u kojima su multiplicirani stepeni povećavali kapacitivno opterećenje kolektorskog priključka. Osim toga povećana ulazna impedansa kola zbog dvostruke emitorske sprege smanjuje i struju pobude. Zbog svega toga potrošnja električne energije u mrežama sa E^2CL kolima je manja nego sa odgovarajućim ranijim kolima. Prema tome, navedena preimućstva ovog sistema logičkih kola u pogledu brzine i disipacije su očigledna.



Sl. 5.30. Logičko kolo u sistemu E^2CL

Sl. 5.31. Temperaturski kompenzirano E^2CL kolo

Pored ovih, integrisana tehnika *ECL* kola sa emitor-foloverima na ulazu pruža i neke posebne pogodnosti u odnosu na odgovarajuća kola sa emitorskim stepenima na izlazu. U vezi s tim rasmotrimo temperatursku stabilnost kola na sl. 5.31. Ovo kolo se razlikuje od prethodnog samo po tome što je umesto $V_R = 0$ uzeto da je $V_{CC} = 0$. Time je naravno eliminisana potreba za još jednim izvorom za napajanje, ali je zato dodat tranzistor *TR*3, koji obezbeđuje negativni referentni potencijal na bazi tranzistora *TR*2. Međutim, pored ove uloge, tranzistor *TR*3 kompenzira temperatursku nestabilnost diferencijalnog stepena, izazvanu temperaturskim prome-

nama parametara tranzistora $TR0$. Prema tome, data konfiguracija kola omogućava potpuno simetriranje diferencijalnog stepena imajući u vidu da se celokupno integrisano kolo izrađuje na jednoj istoj pločici. Podsetimo se uz to da se temperaturske promene parametara tranzistora $TR1$ i $TR2$ međusobno kompenziraju zahvaljujući diferencijalnoj sprezi tih tranzistora.

U kolima ECL sistema prema sl. 5.29 takođe se pomoću posebnog tranzistora može da obezbedi referentni potencijal za tranzistor $TR2$ kada je $V_{CC} = 0$. Međutim, u tom slučaju se tranzistor $TR0$ sa ulaza diferencijalnog kola prebacuje na izlaz, kako je to pokazano isprekidanim linijama na sl. 5.31. Prema tome, ovaj tranzistor će sada biti vezan na bazu tranzistora $TR1$ u sledećem diferencijalnom stepenu. Iako su naizgled diferencijalni stepeni i u ovom slučaju simetrični, temperaturske promene ne mogu da budu izbalansirane tako dobro kao u prethodnom slučaju, jer se tranzistori $TR3$ i $TR0$ za jedan isti diferencijalni stepen ne nalaze sada na istoj pločici. U vezi s tim je i uticaj temperature na marginu smetnji kod običnih ECL kola daleko kritičniji nego kod E^2CL.

Na kraju navedimo i ovde dobre i loše strane logičkih kola u ECL sistemu. Dobre su:

1. Najveća raspoloživa brzina
2. Velika ulazna i mala izlazna impedansa
3. Veliki broj izlaza
4. Konstantna potrošnja struje, nezavisno od logičkog stanja i učestanosti
5. Nizak sopstveni šum
6. Komplementarni izlazi
7. Velika temperaturska stabilnost
8. Najbolji proizvod brzina-disipacija
9. Mogućnost direktnog međusobnog vezivanja izlaza
10. Pogodnost za napajanje prenosnih vodova.

Loše strane su:

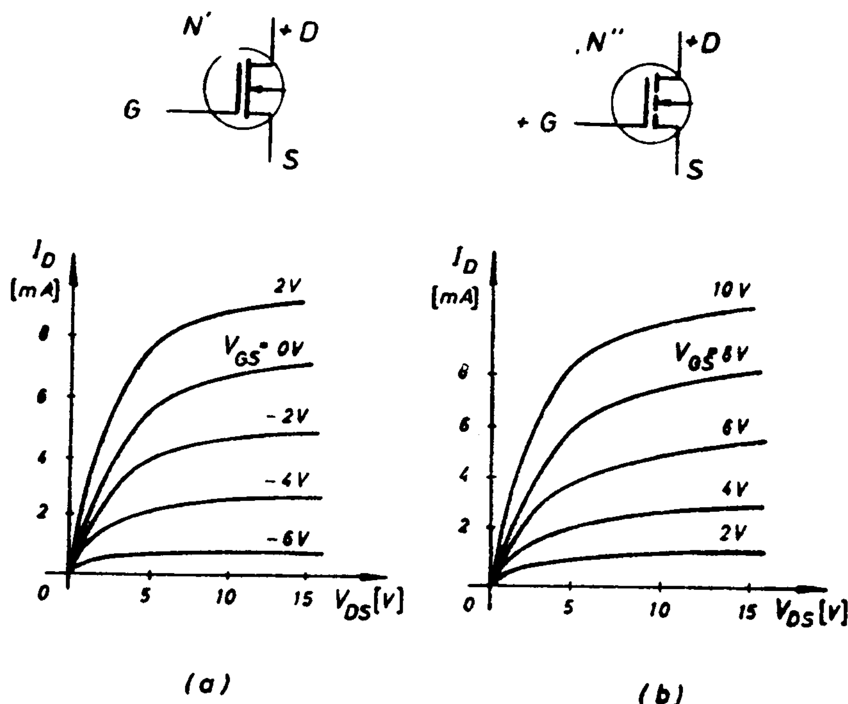
1. U osnovnoj konfiguraciji kola — velika potrošnja energije i neusklađenost ulaznih i izlaznih nivoa
2. Relativno niska margina smetni
3. Veća složenost kola
4. Povezivanje sa drugim kolima u principu je otežano.

5.6. LOGIČKA KOLA U MOS-TEHNICI

Pri izradi komponenata digitalnih kola u poslednje vreme sve se više koristi princip: metal-izolator-poluprovodnik, koji se skraćeno označava sa MIS (metal-insulator-semiconductor). Ovaj princip izrade kola više je poznat pod nazivom MOS (metal-oxide-semiconductor), gde se kao izolator najčešće upotrebljava oksid silicijuma (SiO_2). Ova tehnika, kao što je poznato, koristi se za izradu mos-tranzistora kao diskretnih elemenata. Međutim, primena MOS tehnike u integrisanim kolima je od daleko većeg značaja, jer omogućava pored jednostavnije proizvodnje komponenata i veću gustinu pakovanja u poređenju sa uobičajenom bipolarnom tehnikom. Stoga će ovde biti rasmotrena realizacija nekih logičkih kola isključivo u integrisanoj MOS tehnici.

Kao što je poznato postoje dve osnovne vrste mos-tranzistora N ili P tipa. Da bi se bolje uočile njihove razlike na sl. 5.32 prikazani su grafički simboli kao i izlazne karakteristike mos-tranzistora N tipa i to: na sl. 5.32 a za tranzistor sa formi-

ranim kanalom (depletion-type), a na sl. 5.32 b za odgovarajući tranzistor sa indukovanim kanalom (enhancement-type). Na grafičkom simbolu tranzistora treba uočiti sledeće pojedinosti: formirani — već postojeći kanal u tranzistoru predstavlja se punom linijom (dužom crtom), dok se isprekidana linija (tri crtice) odnosi na tranzistore kod kojih kanal nije formiran, već se obrazuje indukcijom; koleno upravljačke elek-



Sl. 5.32. *Mos*-tranzistori *N* tipa
(a) sa formiranim kanalom (b) sa indukovanim kanalom

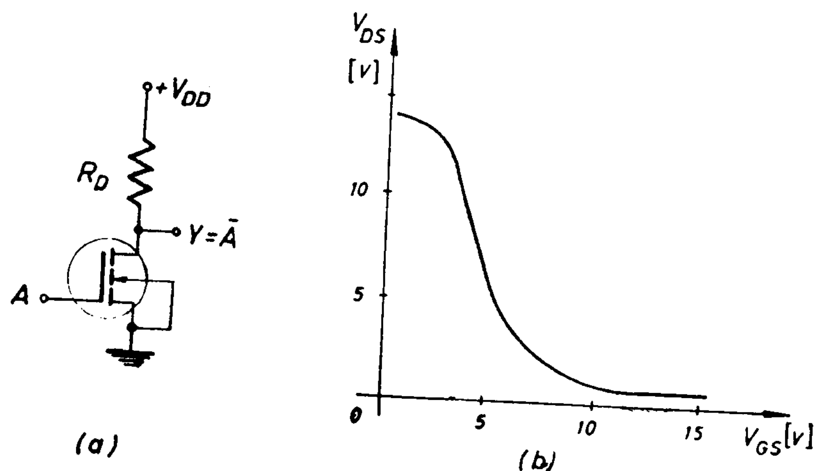
trode — gejta (gate) postavlja se naspram sorsa (source); neobeležena elektroda predstavlja osnovu, podlogu (substrate), a strelica na njoj pokazuje orjentaciju spoja između kanala i osnove, odnosno tip tranzistora. U datom slučaju radi se o tranzistoru *N* tipa, što znači da se obrazuje *N* kanal na *P* osnovi, te je strelica usmerena od osnove prema kanalu.

5.6.1. Invertor sa statičkim i dinamičkim opterećenjem

Osnovno logičko kolo u *MOS* tehnici je invertor, pokazan na sl. 5.33 a. Dati invertor radi na isti način kao i u slučaju korišćenja bipolarnih tranzistora. Razlika nastaje jedino u vrednostima parametara tranzistora, kao što je, na primer, napon praga provođenja i ulazna otpornost. Zahvaljujući velikom naponu praga provođenja margina smetnji logičkih *MOS* kola je znatno veća nego što je to slučaj kod odgovarajućih kola sa klasičnim tranzistorima. Isto tako velika ulazna impedansa tranzistora omogućava realizaciju kola sa većim faktorom multiplikacije. Međutim, prenosna karakteristika *MOS* kola je lošija u pogledu širine prelazne zone. Iako ova karakteristika jako zavisi od procesa proizvodnje mos-tranzistora, njen tipičan oblik izgleda kao na sl. 5.33 b. Na prvi pogled ovde pada u oči da data karakteristika nema nagli i oštar prelaz iz jednog u drugi naponski nivo, što je posledica malog naponskog pojačanja mos-tranzistora. Napomenimo da zbog relativno visoke izlazne impedanse mos-tranzistora, prenosna karakteristika kola može da varira u širokim granicama pri

promeni opterećenja. Uopšte uzevši povoljniju karakteristiku imaju mos-tranzistori sa manjim naponom praga provođenja.

S obzirom da se rad mos-tranzistora zasniva na kretanju većinskih nosilaca pod uticajem električnog polja, to je sopstvena granična učestanost tranzistora vrlo visoka — reda gigaherca. Međutim, brzina rada mos-tranzistora manja je za čitav red veli-



Sl. 5.33. Invertor u *MOS* tehnici
(a) šema veza (b) prenosna karakteristika

čine od odgovarajuće brzine rada kola sa bipolarnim tranzistorima, što znači da je stvarna granična učestanost mos-tranzistora smanjena za oko dva do tri reda veličine. Do toga dolazi zbog nemogućnosti mos-tranzistora da brzo puni i prazni rasipne kapacitivnosti u kolu, s obzirom da se radi o velikim impedansama i relativno malom pojačanju.

U integrisanoj proizvodnji *MOS* kola redovno se umesto pasivne — statičke koristi aktivna, odnosno dinamička otpornost opterećenja prekidačkih tranzistora. Tako se u invertoru na sl. 5.34 koristi otpornost dodatog mos-tranzistora *TR*2 kao opterećenje prekidačkog tranzistora *TR*1. Pri tome postoje dve mogućnosti za priključivanje opteretnog tranzistora *TR*2: na sors istog tranzistora ili na masu, odnosno na sors prekidačkog tranzistora *TR*1. Prvi slučaj može da se primeni samo pri korišćenju diskretnih elemenata, dok je u integrisanim kolima zastupljen drugi slučaj, pošto se svi elementi izrađuju na zajedničkoj osnovi. Iako se mos-tranzistor kao diskretan opteretni element retko koristi, rasmotrićemo njegove uslove rada kao opterećenja invertora na sl. 5.34 a sa aspekta prelaznih stanja kola.

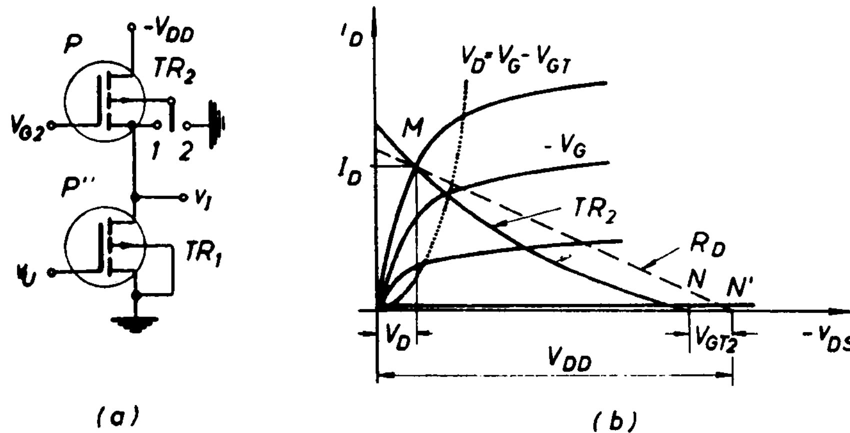
Pre svega treba istaći da se ovde radi o nelinearnoj otpornosti opterećenja, s obzirom da napon drejn-sors tranzistora *TR*2 zavisi od izlaznog napona V_I. Velike promene ovog napona mogu da dovedu do različitih uslova rada tranzistora *TR*2, tako da se njegova otpornost menja od relativno male vrednosti u oblasti jakog provođenja, pa do teorijski beskonačno velike vrednosti, kada je tranzistor blokiran. Isključujući režim neprovođenja tranzistora, koji obezbeđuje nepraktično veliku otpornost opterećenja, preostaju još dve mogućnosti rada mos-tranzistora: u oblasti zasićenja i u triodnoj oblasti.

Na sl. 5.34 b predstavljene su izlazne karakteristike prekidačkog tranzistora *TR*1. U slučaju da ovaj tranzistor ima linearni otpor opterećenja R_D kao na sl. 5.33 a, radna prava bi odgovarala isprekidanoj liniji, ucrtanoj u sistemu karakteristika I_D — —V_{DS} tranzistora *TR*1. Smanjenjem ulaznog napona V_U, tranzistor *TR*1 postaje

neprovodan. Brzina promene napona V_I određena je veličinom kapaciteta C_I, koji šentira izlazni priključak invertora, i opteretnim otporom R_D. Prema tome, vreme uspostavljanja izlaznog napona iznosi

$$t_r = 2{,}2\, R_D\, C_I. \tag{5.42}$$

Ako se otpornik R_D u invertoru zameni mos-tranzistorom $TR2$, kao što je to pokazano na sl. 5.34 a, onda će radnu pravu tranzistora $TR1$ u sistemu karakteristika I_D — V_{DS} na sl. 5.34 b da predstavlja kriva izvučena punom linijom. Pokazani sistem karakteristika predstavlja u stvari grafičko rešenje dve simultane jednačine od kojih



Sl. 5.34. Invertor sa dinamičkim opterećenjem
(a) šema veza (b) radna prava RD i radna karakteristika TR_2 invertora

se jedna odnosi na prekidački a druga na opteretni mos-tranzistor. Svaka presečna tačka tih dveju karakteristika predstavlja radni uslov sistema. Tako je, na primer, radna tačka M vezana za režim provođenja prekidačkog tranzistora, kada kroz dinamički otpor prolazi struja I_D. Pri tome je izlazni napon invertora $V_I = V_D \ll V_{DD}$. S druge strane, kada se prekidački tranzistor $TR1$ zakoči, uspostavlja se jednosmerni režim koji pokazuje radna tačka N. Izlazni napon se povećava prema vrednosti napona na gejtu opteretnog tranzistora. Zbog toga dinamička otpornost opterećenja stalno raste približavajući se vrednosti koju ima zakočen tranzistor.

5.6.2. Dinamička otpornost opterećenja

Dinamička otpornost opterećenja može da bude ograničena na vrednosti otpora koje ima mos-tranzistor u zasićenoj ili triodnoj oblasti. Za tranzistor sa indukovanim kanalom, kod koga su osnova i sors vezani zajedno (prekidač u položaju 1 na sl, 5.34 a), režim zasićenja biće obezbeđen ako se gejt i drejn tranzistora nalaze na istom potencijalu. Imajući u vidu da je oblast zasićenja određena uslovom

$$|V_{DS}| \geqslant |V_{GS} - V_{GST}|, \tag{5.43}$$

očigledno je da će otpornost tranzistora pri $V_{GS} = V_{DS}$ biti ograničena samo na oblast zasićenja, pošto njegovo radno područje pada desno od karakteristične krive $V_D = V_G - V_{GT}$ (videti tačkastu krivu na sl. 5.34 b.).

Struja drejna mos-tranzistora u oblasti zasićenja data je izrazom

$$I_D = -\frac{\beta}{2}(V_G - V_{GT})^2, \tag{5.44}$$

gde je β karakteristična konstanta tranzistora, koja se izražava strminom po voltu i daje se u $(\mu A)/V^2$ (ili/μ mhos/V). Kako je strmina tranzistora izvod struje po naponu

$$S = g_m = -\beta (V_G - V_{GT}), \tag{5.45}$$

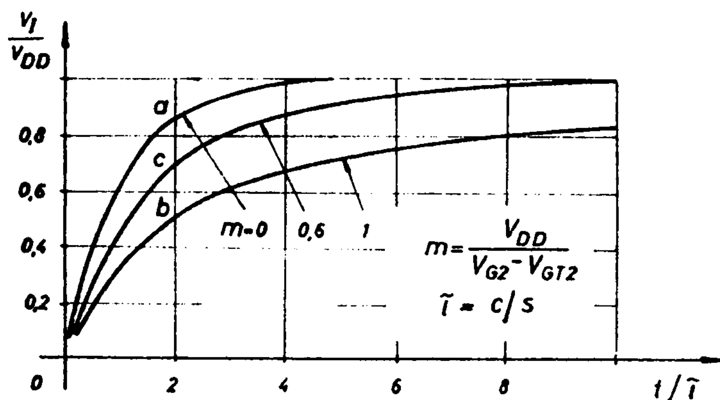
to se jednačina (5.45) može da preuredi tako, da predstavlja fizičku interpretaciju statičkog otpora opterećenja. Naime, ako se uzme da napon na drejnu provodnog tranzistora $TR1$ u invertoru na sl. 5.34 a iznosi $V_{D1} \approx 0$, onda struja opteretnog tranzistora $TR2$ pri polarizaciji $V_{G2} = V_{DD}$ ima vrednost

$$I_{D2} = \frac{S_2}{2} (V_{DD} - V_{GT2}) = \frac{V_{DD} - V_{GT2}}{R_O}, \tag{5.46}$$

pri čemu je otpornost opterećenja tranzistora $TR2$ data izrazom

$$R_0 = \frac{2}{S_2}, \tag{5.47}$$

Prema tome, opteretni mos-tranzistor može da se predstavi ekvivalentnim kolom, koje čine redna veza otpornosti R_0 i napona $V_{DD} - V_{GT2}$. Očigledno je da bi radna prava za otpornost R_0 u sistemu karakteristika na sl. 5.34 b bila predstavljena pravom kroz tačke M i N.



Sl. 5.35. Prelazni režimi invertora u *MOS* tehnici

Ekvivalentno kolo opteretnog tranzistora pri isključenom prekidačkom elementu ne može lako da se odredi, jer je pri malim strujama teško definisati i analitički izraziti napon praga provođenja. Razumljivo je da i to opterećenje predstavlja rednu vezu neke otpornosti i nekog napona. Pošto se pri isključivanju prekidačkog elementa sve više i više smanjuje napon V_{GS2} opteretnog tranzistora, to i njegova strmina opada. Prema tome, otpornost opterećenja raste sve dok ne dostigne teorijski beskonačno veliku vrednost, koja odgovara zakočenom tranzistoru. Praktično ograničenje ove otpornosti, međutim, može da bude inverzno polarizovan *PN* spoj između sorsa i osnove mos-tranzistora.

Vreme uspostavljanja izlaznog napona invertora sa opteretnim mos-tranzistorom u režimu zasićenja je daleko veće od odgovarajućeg vremena kola sa statičkim opterećenjem. To je i razumljivo kad se ima u vidu stalno povećanje dinamičke otpornosti opterećenja pri isključivanju prekidačkog elementa. U cilju ilustracije zavisnosti vremena uspostavljanja izlaznog napona invertora od otpora opterećenja prekidačkog tranzistora na sl. 5.35 dati su odgovarajući normalizovani dijagrami za otporno opterećenje (a) i za mos-opterećenje (b). Na osnovu tih dijagrama nije teško doći do zaključka da je frekventno područje rada invertora sa mos-opterećenjem

u režimu zasićenja jako smanjeno u poređenju sa otpornim opterećenjem. Znatno poboljšanje invertorskog kola u tom pogledu može da se postigne postavljanjem opteretnog tranzistora u triodnu oblast rada.

Triodni režim rada mos-tranzistora okarakterisan je linearnom otpornošću i to utoliko više ukoliko je napon gejta veći. Ovaj režim rada obezbeđuje se ako se gejt tranzistora postavi na napon koji je veći od napona drejna za više od praga provođenja tranzistora. Na taj način sprečava se da opteretni tranzistor bude zakočen u toku prelaznog režima. Pri analizi prelaznog režima invertora sa ovakvim mos-opterećenjem često se uvodi parametar za normalizovani prednapon opteretnog tranzistora

$$m = \frac{V_{DD}}{V_{G2} - V_{GT2}}, \tag{5.48}$$

koji u stvari pokazuje koliko duboko tranzistor zalazi u triodnu oblast rada. Parametar m kreće se u granicama od 0 — 1. Za $m = 0$ napon gejta treba da ima vrednost $V_{G2} = \infty$. U tom slučaju bi mos-opterećenje predstavljalo fiksno otporno opterećenje, pa bi za vreme uspostavljanja važila relacija (5.42), odnosno kriva (*a*) na sl. 5.35. U slučaju da je $m = 1$, tj. za $V_{G2} \approx V_{DD}$ uslovi rada opteretnog tranzistora odgovaraju režimu zasićenja, za koji smo već rekli da ima vrlo lošu prelaznu karakteristiku (kriva *b*). Ova karakteristika, naravno, biće znatno bolja kada se uzme da je, na primer, $V_{G2} = 2\,V_{DD}$. Ako je pri tome $V_{GT2} = V_{DD}/3$, biće $m = 0{,}6$, što je predstavljeno krivom (*c*) na sl. 5.35. Ova karakteristika ukazuje na primetno poboljšanje vremena uspostavljanja izlaznog napona invertora, mada je i u ovom slučaju to vreme duže od onoga pri otpornom opterećenju za oko dva puta.

U prethodnom izlaganju osnova opteretnog tranzistora bila je vezana na sopstveni sors. Stoga je napon praga provođenja konstantan, pa izlazni napon invertora jednostavno ima vrednost $V_I = V_{G2} - V_{GT2}$. U integrisanim kolima, kao što smo već rekli, osnova opteretnog tranzistora spojena je sa zajedničkom masom. Zbog toga pri porastu izlaznog napona invertora, kanal opteretnog tranzistora postaje inverzno polarizovan u odnosu na osnovu. Osim toga napon praga provođenja tranzistora nije više konstantan, tako da je izlazni napon invertora

$$v_I = V_{G2} - (V_{GT2} + \Delta\, V_{GT2}), \tag{5.49}$$

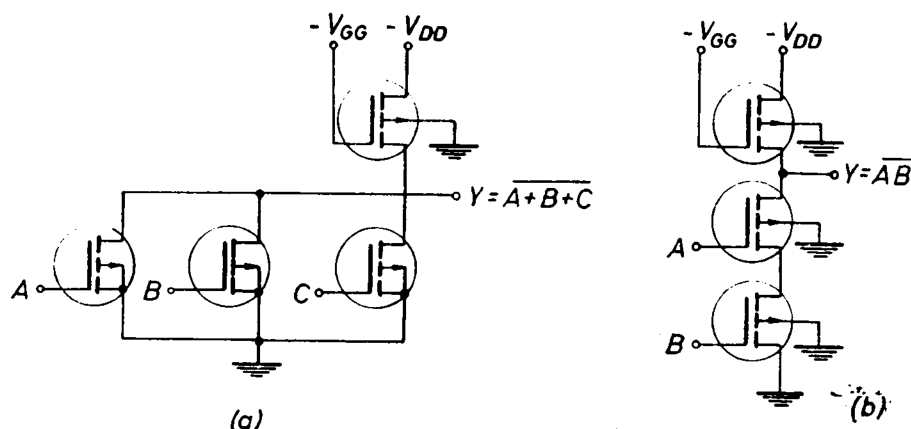
gde je promena $\Delta\, V_{GT2}$ zavisna od veličine izlaznog napona. Kako se pri povećanju inverzne polarizacije osnove, karakteristika $I_D - V_G$ mos-tranzistora pomera udesno, to znači da takva polarizacija smanjuje struju drejna pri određenom naponu gejta. Ova pojava se objašnjava proširenjem prelazne oblasti inverzno polarizovanog *PN* spoja između sorsa i osnove.

Imajući u vidu da se vezivanjem osnove opteretnog tranzistora na masu povećava efektivni napon praga provođenja, to znači da se time povećava i parmetar m definisan izrazom (5.48). Osim toga sa povećanjem praga provođenja smanjuje se strmina tranzistora (jedn. 5.45). Navedene promene oba ova parametra doprinose pogoršanju prelaznih karakteristika na sl. 5.35. Međutim, ovaj nedostatak se može lako eliminisati dovoljnim povećanjem napona gejta V_{G2} opteretnog tranzistora iznad vrednosti napona V_{DD}. Napomenimo da je u ovom slučaju maksimalna vrednost izlaznog napona invertora ograničena vrednošću napona napajanja V_{DD}.

5.6.3. Konfiguracija NILI i NI kola

Složena kola u *MOS* tehnici izgrađuju se na bazi primene *NILI* i *NI* kola. *NILI* kola su, međutim, pogodnija za izradu od *NI* kola iz razloga što ona omogućavaju efikasnije iskorišćenje prostora na monolitnoj pločici u integrisanoj proizvodnji.

Na sl. 5.36 date su šeme *NILI* i *NI* kola u integrisanoj *MOS* tehnici. Paralelna sprega tranzistora u cilju multiplikacije ulaza *NILI* kola lako se izvodi, jer se primenom iste tehnologije postižu podjednaki parametri svih multipliciranih tranzistora. Redno povezivanje tranzistora u cilju multiplikacije ulaza *NI* kola pričinjava teškoće u pogledu zahteva, da izlazni napon ima određeni nivo logičke nule. To dolazi otuda što se otpornosti prekidačkih tranzistora sabiraju, smanjujući na taj

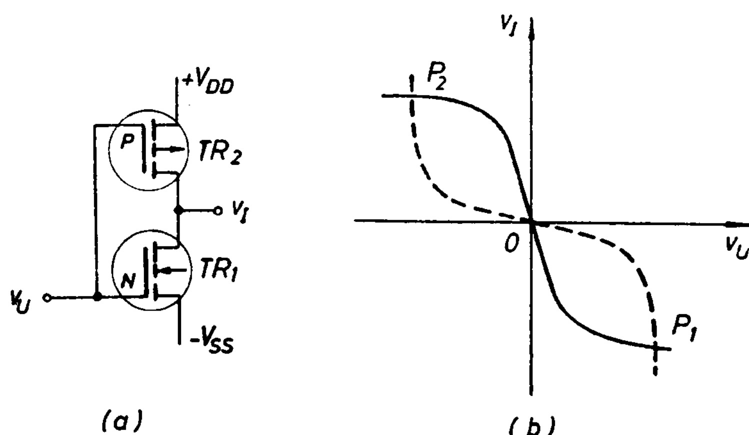


Sl. 5.36. Logička kola u *MOS* tehnici
(a) *NILI* kolo (b) *NI* kolo

način struju kroz opteretni tranzistor. Zbog toga tranzistori u rednoj sprezi treba da imaju sve veću strminu ukoliko je njihov broj veći. Ovaj zahtev se, naravno, može da ispuni, ali po cenu veće površine koju takvi tranzistori zauzimaju.

5.6.4. Komplementarna kola

Logička kola u *MOS* tehnici mogu da budu naročito interesantna sa gledišta male potrošnje električne energije. U ovom slučaju umesto tranzistora istog tipa koriste se komplementarni tranzistori, te se ovakva logička kola označavaju sa *CMOS* (complementary-metal-oxide-semiconductor).



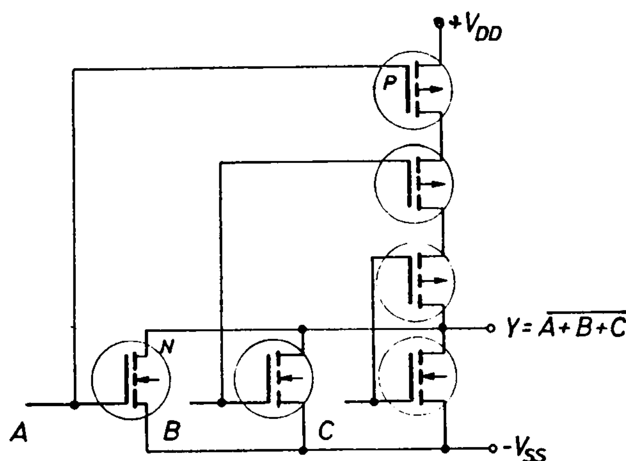
Sl. 5.37. Invertor u *CMOS* tehnici
(a) šema veza (b) prenosna karakteristika

Na sl. 5.37 data je šema invertora sa komplementarnim mos-tranzistorima. Tranzistor *TR*2 sa *P* kanalom služi kao opterećenje tranzistora *TR*1 sa *N* kanalom i obrnuto. Kada je ulazni napon $v_U < -V_{SS} + V_{GT1}$, onda će tranzistor *TR*1

biti neprovodan a $TR2$ provodan. Prema tome, izlazni priključak invertora je odvojen od baterije V_{SS}, pa je izlazni napon $v_I \approx V_{DD}$. Međutim, kada je ulazni signal $v_U > V_{DD} - V_{GT2}$, tranzistor $TR1$ biće provodan a $TR2$ zakočen, pa je sada $v_I \approx - V_{SS}$. Istaknimo, dakle, da u oba slučaja provodi samo po jedan tranzistor, obezbeđujući malu impedansu za struju punjenja ili pražnjenja kapacitivnosti na izlaznom priključku, dok je drugi tranzistor zakočen, ograničavajući time ustaljenu struju drejna na vrednost odvodne struje. To znači da ovakva kola imaju beznačajno malu potrošnju električne energije u oba logička stanja, zbog čega su u nekim primenama od naročitog interesa.

Komplementarni invertori mogu da se upotrebe i za realizaciju logičke *NILI* kao i *NI* operacije. Na sl. 5.38 pokazano je jedno takvo kolo za *NILI* operaciju. Ako je bilo koji ulaz kola na visokom naponu, odgovarajući mos-tranzistor sa *N* kanalom biće provodan, a sa *P* kanalom biće zakočen. Prema tome, izlazni priključak kola je odvojen od baterije V_{DD} i priključen na bateriju $- V_{SS}$, što znači nalazi se na niskom naponskom nivou. Očigledno je da se isti izlazni nivo formira i pri istovremenoj eksitaciji više ulaza što je uostalom tipično za sva *NILI* kola.

U poređenju sa običnim *MOS* kolima, logička kola u *CMOS* tehnici imaju nesumnjivu prednost u pogledu male potrošnje električne energije. S druge strane, međutim, ova kola su još sporija od običnih *MOS* kola, što im znatno sužava oblast primene. Osim toga, komplementarna *MOS* tehnika iziskuje veći broj postupaka u procesu proizvodnje uključujući i potrebu izvođenja izvesne međusobne izolacije susednih elemenata *N* i *P* tipa. Najzad, kao što se vidi i sa sl.5.38, logička kola izvedena u *CMOS* tehnici angažuju i veći broj elemenata za određenju prekidačku funkciju nego što je to slučaj u logičkim mrežama sa istim tipom mos-tranzistora.



Sl. 5.38. *NILI* kolo sa komplementarnim mos-tranzistorima

Na kraju navedimo neke dobre i loše strane logičkih kola izvedenih u *MOS* tehnici. Dobre strane su:

1. Velika ulazna otpornost omogućava veliki broj izlaza ukoliko brzina nije kritična
2. Velika logička amplituda
3. Velika imunost na smetnje
4. Jednostavna proizvodnja i velika gustina pakovanja, ako se radi o običnoj *MOS* tehnici
5. Veoma mala potrošnja električne energije, ako se radi o *CMOS* tehnici.

Loše strane su:

1. Velika izlazna impedansa ograničava pobudne mogućnosti
2. Brzina rada ograničena na nekoliko megaherca
3. Često su potrebna dva izvora napajanja
4. Složeniji proces proizvodnje, ako se radi o *CMOS* tehnici.

5.7. UPOREĐENJE SISTEMA LOGIČKIH KOLA

Jedan sistem logičkih kola karakterišu mnogobrojni parametri. Zbog toga je nemoguće izvršiti neko generalno upoređivanje sistema da bi se izveo zaključak koji je sistem najbolji. Uostalom sama činjenica da se više sistema logičkih kola nalazi

uporedo u upotrebi ukazuje na to, da ne postoji najbolji sistem. Stoga je upoređivanje sistema logičkih kola moguće izvesti sa nekog određenog aspekta.

Dosta često se upoređenje sistema logičkih kola vrši prema ceni koštanja. Ovakvo upoređivanje može da ima samo privremeno važenje, jer se procesi proizvodnje kola stalno usavršavaju. U vezi s tim dati su podaci za neke sisteme u tabeli 5.2 koji u krajnjoj liniji treba da ilustruju pogodnost primene pojedinih sistema u diskretnoj i integrisanoj tehnici. Kao osnovna logička jedinica za ovu analizu nije uzeto samo jedno logičko kolo, već nešto složenija logička mreža za jednu određenu prekidačku funkciju, koja je ostvarena sa elementima navedenih logičkih sistema.

Vrednovanje pojedinih komponenata izvršeno je na osnovu cene koštanja u 1970 godini. U tom cilju u diskretnoj tehnici usvojen je odnos vrednosti za tranzistor, diodu i otpornik kao 10 (30) : 5 : 1. U integrisanoj tehnici cena koštanja je, prirodno, sasvim drugačija, pa je s toga usvojen odnos vrednosti za tranzistor, diodu i otpornik 3 (4): 2:10. U oba slučaja vrednosti u zagradama odnose se na višeemitorske tranzistore.

Sistem kola	Upotrebljene komponente			Vrednovanje za		Pogodnost primene u	
	TR	D	R	Diskret. tehniku 10 (30) : 5:1	Integrisanu tehniku 3 (4):2:10	Diskret. tehn.	Integr. tehn.
RTL	6	—	48	108	498	vr. dobra	loša
DTL	2	20	10	130	146	vr. dobra	vr. dobra
DCTL	21	—	21	231	273	loša	dobra
TTL	6+(5)	—	13	223	168	loša	vr. dobra

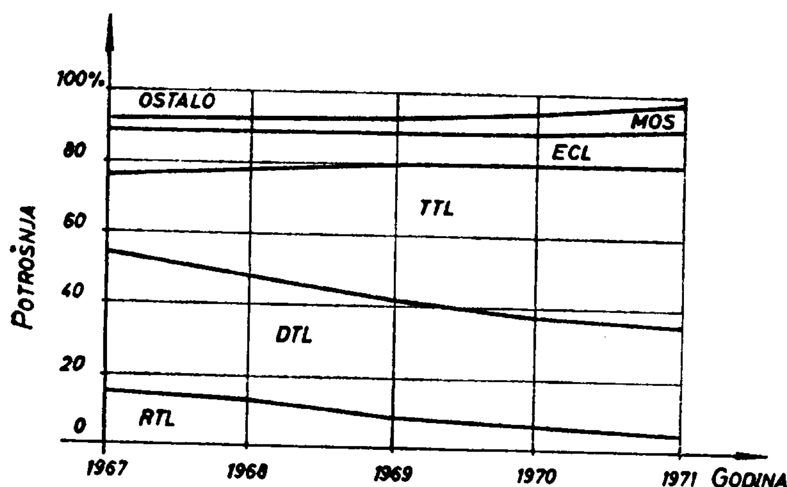
Tabela 5.2. Ekonomičnost sistema logičkih kola

Sudeći prema navedenim podacima u tabeli, za logičke mreže sa diskretnim komponentama najpogodnije su *RTL* i *DTL* tehnike logičkih kola. Međutim u logičkim mrežama integrisane forme, najpogodniji su *TTL* i *DTL* sistemi logičkih kola.

Za ocenu najpogodnijeg sistema logičkih kola mogli bi da posluže i podaci njhiove potrošnje na tržištu. Ovakvi podaci prikupljeni u toku jednog niza godina pokazuju ne samo rasprostranjenost pojedinih sistema kola već i tendenciju njihovog daljeg razvoja. To je, prema nekim američkim podacima (7), sasvim lepo ilustrovano dijagramima na sl. 5.39 u toku uzastopnih 5 godina. Ovi dijagrami ukazuju na sve manju potrošnju *RTL*, a sve veću potražnju *TTL* kola. Drugim rečima, to je samo potvrda sve šire primene integrisanih kola umesto diskretnih. Osim toga pada u oči podatak da je, na primer, u 1970 godini od svih ugrađenih logičkih kola oko 75% iz *DTL* i *TTL* sistema.

Očigledno je da su za izbor sistema logičkih kola od prvorazrednog značaja parametri koji karakterišu funkcionalnost kola, kao što su brzina rada, disipacija, margina smetnji, faktor multiplikacije itd. Razumljivo je da se svaki parametar posebno može da uzme kao osnova za upoređivanje logičkih sistema. Pri tome ne treba gubiti iz vida da neki parametri jednog istog logičkog sistema pokrivaju širi opseg vrednosti, što je, naravno, zavisno ne samo od modifikacije osnovne konfiguracije kola već i od upotrebljenih komponenata u kolu. Šta više u integrisanim logičkim kolima, samim procesom proizvodnje može više ili manje da se utiče na vrednosti

pojedinih parametara. U vezi s tim napomenimo da u literaturi postoji izvedena opsežna analiza parametara logičkih sistema sa posebnim osvrtom na integrisani proces proizvodnje[12].



Sl. 5.39. Potrošnja logičkih elemenata različitih sistema

Jedan od najkarakterističnijih parametara logičkih kola je svakako brzina rada koja se izražava vremenskim kašnjenjem. Kako ovaj parametar stoji u tesnoj vezi sa veličinom struja u kolu, to se pored vremena kašnjenja t_d obično navodi i potrošnja električne energije, odnosno disipacija kola P_d. U tabeli 5.3 prikazana je kategorizacija logičkih kola po brzini, prema kojoj se, uopšte gledano, kola sa kašnjenjem ispod 50 ns smatraju brzim, dok su ona sa kašnjenjem iznad 50 ns — spora. Isto tako treba primetiti da brza kola imaju disipaciju veću od 1 mW, dok je potrošnja sporih kola manja od ove vrednosti. Što se tiče izbora najpovoljnijeg sistema za primenu u datom opsegu brzine rada kola, teško je biti kategoričan s obzirom na ono što je već rečeno u vezi opsega vrednosti parametara jednog logičkog sistema. Prema tome, rasmatranje logičkih sistema po brzinama ne mora uvek da odgovara pokazanoj klasifikaciji u tabeli 5.3. Tako, na primer, u opsegu većih brzina nalaze se i neka *DTL* kola, dok se brzine *TTL* kola protežu i u oblast srednjih pa čak i malih brzina.

Brzina rada kola	Vreme kašnjenja t_d (ns)	Disipacija P_d (mW)	Pogodni logički sistemi
Spora	50	(10 — 1000) 10^{-3}	MOS CMOS
Brza	10 — 50	1 — 30	DTL RTL RCTL
Vrlo brza	5 — 10	10 — 50	ECL TTL DCTL
Ultra brza	5	10 — 100	E^2CL ECL

Tabela 5.3. Kategorizacija brzine rada logičkih kola [12]

Za generalno poređenje funkcionalnih karakteristika sistema logičkih kola poslužićemo se podacima za neke parametre navedene u tabeli 5.4 (7). Dati podaci

Logičko kolo i njegovi parametri	*RTL*	*DTL*	*TTL*	*ECL*	*MOS*
Logičko kolo	*NILI*	*NI*	*NI*	*NI—NILI*	*NI*
Kašnjenje u ns	10—25	30	6—12	1—4	70—300
Disipacija u mW	3—10	8—12	12—22	40—55	0,01—10
Izlazna impedansa					
pri $V(1)$	0,5—4$K\Omega$	2—6$K\Omega$	10—70Ω	6—15Ω	1,5—2$K\Omega$
pri $V(0)$	R_{Is}	R_{Is}	R_{Is}	6—15Ω	1,5—25$K\Omega$
Broj izlaza N	4—5	8	10	10—25	20—50
Margina smetnji	normalna	dobra	vr. dobra	dobra	vr. dobra
Cena izrade	niska	niska	niska-srednja	niska-visoka	srednja-visoka

Tabela 5.4. Karakteristični parametri sistema logičkih kola

odnose se na logička kola proizvedena u toku 1972 godine. Na osnovu tih podataka, a i ranijeg rasmatranja sistema logičkih kola mogu da se izvedu sledeći zaključci:

1. Sistemi *RTL* i *DTL* odlikuju se jednostavnošću, niskom cenom i pogodnošću za realizaciju sa diskretnim komponentama.
2. Sistem *HTL* ima veliku marginu smetnji.
3. Sistem *DCTL* ima najmanje dimenzije za određenju bipolarnu mrežu u integrisanom obliku.
4. Sistem *TTL* ima mali proizvod brzina-disipacija i pogodan je za integrisanu proizvodnju.
5. Sistem *ECL* raspolaže najvećim brzinama i velikim brojem izlaza.
6. Sistem *MOS* odlikuje se velikom gustinom izrade i jednostavnom proizvodnjom.
7. Sistem *CMOS* okarakterisan je malom potrošnjom električne energije i vrlo velikim brojem izlaza.

LITERATURA

1. *Harris J.N., Gray P.E., Searle C.L.*: Digital Transistor Circuits, John Wiley, New York, 1966, gl. 6 i 7
2. *Sparkes J.J.*: Transistor Switching and Sequential Circuits, Pergamon Press, Oxford, 1969 gl. 4
3. *Delhom L.A.*: Design and Application of Transistor Switching Circuits, McGraw-Hill, New York, 1968, gl. 10 i 11
4. *Kinter P.M.*: Electronic Digital Techniques, McGraw-Hill, New York, 1968, gl. 2
5. *Sifferlen T.P., Vartanian V.*: Digital Electronics with Engineering Applications, Prentice-Hall, Englewood Cliffs, 1970, gl. 2
6. *Rumpf K.H., Pulvers M.*: Transistor-Elektronik, VEB Verlag Technik, Berlin, 1970, pgl. 2.2
7. *Garet L.S.*: Integrated-circuit digital logic families, *IEEE* Spectrum, Vol. 10, No. 10, 11 i 12, Oct., Nov. i Dec. 1970

8. *Wiskin P.S.*: Digital integrated circuits, Modular Constructions, Electronic Data Library, Vol. 5, London, 1969
9. *Crowther G.O.*: Design considerations for 1—2 ns circuits and the interconection possibilities of the E^2CL gates, Microcircuits and Their Applications, izd. W. Gore, London, 1969, str. 179—201
10. *Lo A.W.*: Introduction to Digital Electronics, Addison-Wesley Publ. Comp., Massachusetts, 1967, gl. 2
11. *Crawford R.H.*: MOSFET in Circuit Design, McGraw-Hill, New York, 1967, gl. 4 i 5
12. *Meyer C.S., Lynn D.K., Hamilton D.J.* i dr.: Analysis and Design of Integrated Circuits, McGraw-Hill, New York, 1968, gl. 7—11
13. *Strauss L.*: Wave Generation and Shaping, McGraw-Hill, New York, 1970, gl. 4
14. *Jovanović, D.*: Logička kola i memorije Zadruga studenata Tehničkog fakulteta, Niš 1969,
15. *Raković B.*: Logička kola, FOSS Elektrotehničkog fakulteta, Beograd, 1971.

GLAVA 6.

PREKIDAČKE MATRICE

Prekidačke matrice su složena digitalna kola kod kojih su prekidački elementi postavljeni tako, da spojne veze formiraju oblik ukrštene mreže. Ova kola spadaju u grupu kombinacionih mreža, što znači da sadrže kombinacione prekidačke elemente. Takve elemente, kao što smo videli, sačinjavaju osnovna logička kola izvedena sa diskretnim komponentama ili u integrisanom obliku. Pri korišćenju gotovih logičkih elemenata za izgradnju prekidačkih matrica, ponekad se gubi karakteristična spoljašnja forma matričnih mreža. No, bez obzira na to, sinteza ovih mreža izvodi se redovno prema Bulovoj matričnoj funkciji, odakle u stvari i potiče naziv za ovakvu prekidačku mrežu.

Primena prekidačkih matrica u sistemima za digitalnu obradu podataka je veoma rasprostranjena. Iako se sve matrice izvode na manje-više isti način, raznovrsnost primene tih kola nameće im i posebne nazive, koji adekvatnije ukazuju na njihovu specifičnu funkciju u datom slučaju. Funkcionalni nazivi pojedinih prekidačkih matrica, kao koderi, dekoderi, selektori, komutatori itd., ponegde su potpuno istisnuli iz upotrebe naziv koji je vezan za osnovnu formu kola. Za projektanta digitalnog sistema to, uostalom, i nije bitno, s obzirom da se u integrisanoj tehnici proizvode kompletne prekidačke matrice za određene logičke funkcije.

U ovoj glavi najpre ćemo izložiti analizu složenih prekidačkih mreža sa više izlaza, ukazujući na mogućnost izražavanja logike ovih mreža u obliku Bulove matrične funkcije. Zatim ćemo dati sintezu takve funkcije pomoću prekidačkih matrica raznih tipova u poluprovodničkoj tehnici. Na kraju, biće navedene neke mogućnosti primene ovih kola, ukazujući pri tome na funkcionalne specifičnosti pojedinih matričnih mreža.

6.1. FORMIRANJE BULOVE MATRIČNE FUNKCIJE

Logika digitalne višeizlazne mreže obično se predstavlja pomoću odgovarajućeg broja Bulovih jednačina. Pomenute jednačine mogu se dati i u sažetijem obliku ako se napišu u matričnoj formi. Da bi se lakše shvatili postupci formiranja jedne takve Bulove matrične funkcije uzećemo primer višeizlazne logičke mreže, predstavljene blok-šemom na sl. 6.1. Ova mreža ima tri izlaza X, Y i Z na kojima se ostvaruju različite prekidačke funkcije. Uzmimo da logička mreža treba da diskriminiše broj ulaza date mreže, koji su istovremeno eksitovani. Naime, neka se izlazni



Sl. 6.1. Višeizlazna logička mreža

signal X pojavljuje kadgod postoji samo jedan od ulaza A, B ili C; izlaz Y neka detektuje koincidentno delovanje bilo koja dva ulazna signala, a na izlazu Z neka se registruje istovremeno prisustvo sva tri ulazna signala. Prema tome, da bi se napisale logičke jednačine za pojedine izlaze mreže, možemo se poslužiti tabelom 6.1, koja sadrži sve moguće kombinacije vrednosti nezavisno promenljivih A, B i C kao i odgovore logičke mreže na te kombinacije prema napred datim stavovima. Iz priložene tabele vidi se da se vrednosti logičke jedinice mogu da pojave na izlazima X i Y za po tri različite kombinacije K_i signala na ulazima, dok se izlaz Z aktivira samo pri kombinaciji K_7. Na osnovu datih vrednosti u kolonama za izlaze X, Y i Z mogu da se ispišu odgovarajuće prekidačke funkcije pomoću logičkih proizvoda ili logičkih zbirova. Potsetimo, da se logički proizvodi („minterm") definišu za vrednost logičke jedinice, dok se logički zbirovi („maxterm") definišu za vrednost logičke nule. Da li će se pri ispisivanju funkcija koristiti logički zbirovi ili proizvodi, u prvom redu će da zavisi od toga, u kom se slučaju dobija jednostavnija funkcija.

K_i	Ulazi			Izlazi		
	A	B	C	X	Y	Z
0	0	0	0	0	0	0
1	0	0	1	1	0	0
2	0	1	0	1	0	0
3	0	1	1	0	1	0
4	1	0	0	1	0	0
5	1	0	1	0	1	0
6	1	1	0	0	1	0
7	1	1	1	0	0	1

Tabela 6.1. Kombinaciona tabela za logičku mrežu na sl. 6.1

6.1.1. Matrična funkcija sa logičkim proizvodima

Bulove funkcije X, Y i Z, izražene zbirom logičkih proizvoda prema kombinacionoj tabeli 6.1, imaće sledeći oblik:

$$\begin{aligned} X &= \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} \\ Y &= \bar{A}BC + A\bar{B}C + AB\bar{C} \\ Z &= ABC \end{aligned} \tag{6.1}$$

Označavajući logičke proizvode sa P_i, gornje jednačine mogu da se napišu u kraćoj formi:

$$\begin{aligned} X &= P_1 + P_2 + P_4 \\ Y &= P_3 + P_5 + P_6 \\ Z &= P_7. \end{aligned} \tag{6.2}$$

Uvodeći karakteristične koeficijente b_i, čije vrednosti mogu da budu 1 ili 0 zavisno od toga da li odgovarajući logički proizvod u datoj prekidačkoj funkciji postoji ili ne, bilo koja funkcija od n nezavisno promenljivih može da se predstavi u opštem obliku prema obrascu:

$$f(x_1, x_2, x_3 \ldots x_n) = \sum_{i=0}^{2^n-1} b_i P_i. \tag{6.3}$$

Primenjujući ovaj obrazac na izlazne funkcije X, Y i Z u jed. (6.2) dobija se:

$$\begin{aligned} X &= (0 \cdot P_0)+(1 \cdot P_1)+(1 \cdot P_2)+(0 \cdot P_3)+(1 \cdot P_4)+(0 \cdot P_5)+(0 \cdot P_6)+(0 \cdot P_7) \\ Y &= (0 \cdot P_0)+(0 \cdot P_1)+(0 \cdot P_2)+(1 \cdot P_3)+(0 \cdot P_4)+(0 \cdot P_5)+(1 \cdot P_6)+(0 \cdot P_7) \\ Z &= (0 \cdot P_0)+(0 \cdot P_1)+(0 \cdot P_2)+(0 \cdot P_3)+(0 \cdot P_4)+(0 \cdot P_5)+(0 \cdot P_6)+(1 \cdot P_7). \end{aligned} \tag{6.2'}$$

Ove jednačine mogu konačno da se predstave u obliku Bulove matrične funkcije

$$[F] = [B]\ [P]$$

gde je sa F obeležena izlazna funkcija, sa B — Bulova matrica karakterističnih vrednosti, a sa P — matrica logičkih proizvoda. Prema tome, Bulova matrična funkcija za jednačinu (6.2') je:

$$\begin{bmatrix} X \\ Y \\ Z \end{bmatrix} = \begin{bmatrix} 0\,1\,1\,0 & 1\,0\,0\,0 \\ 0\,0\,0\,1 & 0\,1\,1\,0 \\ 0\,0\,0\,0 & 0\,0\,0\,1 \end{bmatrix} \begin{bmatrix} P_0 \\ P_1 \\ P_2 \\ P_3 \\ P_4 \\ P_5 \\ P_6 \\ P_7 \end{bmatrix} \tag{6.4}$$

Kao što se vidi, B matrica u gornjoj matričnoj funkciji sadrži karakteristične vrednosti 1 ili 0. Ova matrica ima onoliko redova koliko logička mreža ima izlaza. Broj kolona u njoj jednak je broju kombinacija vrednosti ulaznih signala. Logičke jedinice u ovoj matrici pokazuju pri kojim se kombinacijama ulaznih signala pojavljuje odgovarajući signal na izlazu. Naime, bilo koja izlazna funkcija dobija se množenjem B i P matrice prema pravilima koja važe za matričnu algebru. Tako, na primer, jedinice u prvom redu B matrice pokazuju da je izlazna funkcija X predstavljena zbirom članova P_1, P_2 i P_4. Valja uočiti da redovi matrice B u matričnoj funkciji (6.4) sadrže u stvari vrednosti kolona X, Y i Z u kombinacionoj tabeli 6.1.

Za sintezu prekidačke matrice korisno je uočiti broj jedinica u redovima B matrice. Ako ni u jednom redu ne postoji više od jedne jedinice, prekidačka matrica može da se ostvari korišćenjem logičkih elemenata samo jednog tipa, na primer sa *I* kolima. Ukoliko to nije slučaj, tj. ako bilo koji red B matrice sadrži više od jedne jedinice, pri sintezi matrične funkcije moraće da se upotrebe logički elementi dva tipa — *I* i *ILI* kola.

Što se tiče uprošćavanja Bulove matrične funkcije, treba nastojati, kadgod je to moguće, da se smanji broj kolona u B matrici, a sa time i broj članova P matrice. Očigledno je da se kolona, koja sadrži samo logičke nule, može da izostavi, a sa njom i odgovarajući P član. Broj redova matrice, međutim, ne može se smanjiti u interesu uprošćavanja izuzev da su sve vrednosti u nekom redu logičke nule, ili da postoje redovi sa identičnim vrednostima.

Na kraju, ne treba posebno naglašavati da se minimizacijom Bulovih funkcija uprošćava i odgovarajuća matrična funkcija. Ako je matrična funkcija data u kanoničnom obliku i ne može više da se uprosti, treba onda proveriti da li je možda jednostavniji komplement matrične funkcije. U ovom slučaju se izlazne funkcije mreže opisuju komplementnim vrednostima, tj. zbirom logičkih proizvoda nezavisno promenljivih za vrednost logičke nule. Prema vrednostima izlaza u kombinacionoj tabeli 6.1, za komplement Bulove matrične funkcije može da se piše:

$$\begin{bmatrix} \bar{X} \\ \bar{Y} \\ \bar{Z} \end{bmatrix} = \begin{bmatrix} 1\,0\,0\,1 & 0\,1\,1\,1 \\ 1\,1\,1\,0 & 1\,0\,0\,1 \\ 1\,1\,1\,1 & 1\,1\,1\,0 \end{bmatrix} \begin{bmatrix} P_0 \\ P_1 \\ P_2 \\ P_3 \\ P_4 \\ P_5 \\ P_6 \\ P_7 \end{bmatrix} \tag{6.5}$$

Iz gornjeg izraza vidimo da, pored izlazne, i B matrica sadrži komplementne vrednosti onih, koje se nalaze u odgovarajućim redovima matrične funkcije (6.4). Drugim rečima, u svakom redu B matrice nalaze se komplementi vrednosti iz odgovarajućih kolona kombinacione tabele, tj. umesto nula pisane su jedinice i obratno. Očigledno je, prema tome, da se već prema broju jedinica i nula u X, Y i Z kolonama tabele 6.1 može steći uvid o tome, da li je prikladnije koristiti pravu ili komplementnu matričnu funkciju.

Najzad, podsetimo da se uprošćavanje može da postigne i izražavanjem matrične funkcije u neelementarnom obliku. U ovom slučaju, međutim, realizacija prekidačke matrice iziskuje primenu logičkih kola u više od jednog nivoa.

6.1.2. Matrična funkcija sa logičkim zbirovima

Pored matričnih funkcija sa logičkim proizvodima, mogu da se formiraju iste funkcije i sa logičkim zbirovima, odnosno sa S članovima. Polazeći od poznate relacije koja postoji između S i P članova

$$S_i = \overline{P_i} \quad \text{i} \quad P_i = \overline{S_i}, \tag{6.6}$$

lako je izvesti transformaciju jednih članova u druge. Na primer, za $P_5 = A\,\overline{B}\,C$ biće $S_5 = \overline{P_5} = \overline{A} + B + \overline{C}$. Nasuprot P članovima, koji sadrže nezavisno promenljive sa vrednostima logičke jedinice, S članovi su određeni nultim vrednostima promenljivih. Prema tome, logički zbirovi se definišu za vrednost logičke nule.

Izlazne jednačine sa S članovima za datu kombinacionu tabelu 6.1 mogu da se napišu u obliku:

$$\begin{aligned} X &= S_0\, S_3\, S_5\, S_6\, S_7 \\ Y &= S_0\, S_1\, S_2\, S_4\, S_7 \\ Z &= S_0\, S_1\, S_2\, S_3\, S_4\, S_5\, S_6. \end{aligned} \tag{6.7}$$

Ako se u jedn. (6.4) umesto P unesu S članovi, dobija se odgovarajuća Bulova matrična funkcija za jednačine (6.7):

$$\begin{bmatrix} X \\ Y \\ Z \end{bmatrix} = \begin{bmatrix} 0\,1\,1\,0 & 1\,0\,0\,0 \\ 0\,0\,0\,1 & 0\,1\,1\,0 \\ 0\,0\,0\,0 & 0\,0\,0\,1 \end{bmatrix} \begin{bmatrix} S_0 \\ S_1 \\ S_2 \\ S_3 \\ S_4 \\ S_5 \\ S_6 \\ S_7 \end{bmatrix} \tag{6.8}$$

Iako ova jednačina po obliku potpuno odgovara jednačini (6.4) sa P članovima napomenimo da množenje B i S matrice ne podleže uobičajenim pravilima matrične algebre. Naime, Bulova funkcija sa S članovima određuje se prema formuli:

$$f(x_1, x_2, x_3, \ldots x_n) = \prod_{i=0}^{2^n-1} (b_i + S_i). \tag{6.9}$$

To znači da je množenje matrica B i S definisano logičkim proizvodom zbirova pojedinih S članova i odgovarajućih karakterističnih brojeva u B matrici. Prema tome, sistem izlaznih jednačina u razvijenom obliku je:

$$X=(0+S_0)\,(1+S_1)\,(1+S_2)\,(0+S_3)\,(1+S_4)\,(0+S_5)\,(0+S_6)\,(0+S_7)$$

$$Y=(0+S_0)\,(0+S_1)\,(0+S_2)\,(1+S_3)\,(0+S_4)\,(0+S_5)\,(1+S_6)\,(0+S_7) \qquad (6.8')$$

$$Z=(0+S_0)\,(0+S_1)\,(0+S_2)\,(0+S_3)\,(0+S_4)\,(0+S_5)\,(0+S_6)\,(1+S_7)$$

Gornje jednačine su u stvari identične sa jednačinama (6.7). Kada se u njih zamene vrednosti odgovarajućih S članova i izvrše naznačena množenja razumljivo je da se moraju konačno da dobiju vrednosti date u jednačinama (6.1).

Zapazimo u jedn. (6.8) da B matrica sadrži iste vrednosti kao i u jedn. (6.4), tj. logičke vrednosti iz kombinacione tabele 6.1 za izlaze X, Y i Z. Prema tome, poznavajući ove vrednosti može lako da se napiše matrična forma izlaznih jednačina mreže bilo sa S ili sa P članovima. Dodajmo još da se analogno jedn. (6.5) i ovde može da napiše matrica za komplementne vrednosti izlaznih funkcija sa S članovima.

6.2. SINTEZA PREKIDAČKIH MATRICA

Prekidačke matrice su, kao što je već naglašeno, kombinacione mreže pomoću kojih se mogu da realizuju Bulove matrične funkcije. Realizacija matrica može da bude izvedena sa raznim prekidačkim elementima. Najjednostavniji prekidački element je poluprovodnička dioda, te su stoga i najrasprostranjenije diodne prekidačke matrice. Osim ovih, proizvode se i razni tipovi matrica sa tranzistorima, magnetnim jezgrima, kriotronima, elektroluminescentnim elementima itd. U našem izlaganju ograničićemo se samo na prekidačke matrice sa poluprovodničkim elementima.

6.2.1. Diodne prekidačke matrice

Sinteza logičke mreže, čiji je rad prikazan kombinacionom tabelom 6.1, može da se izvede direktnom realizacijom funkcija izraženih jednačinama (6.1). Za tu svrhu, pored nekoliko invertora, potrebna su dva *ILI* i više *I* logičkih elemenata. Šema veza takve logičke mreže pokazana je na sl. 6.2. U ovoj mreži su, kao što se vidi, upotrebljena sva tri tipa elementarnih logičkih kola. Kako invertorska kola iziskuju korišćenje tranzistora, to je ova mreža, znači, realizovana u diodno-tranzistorskoj tehnici.

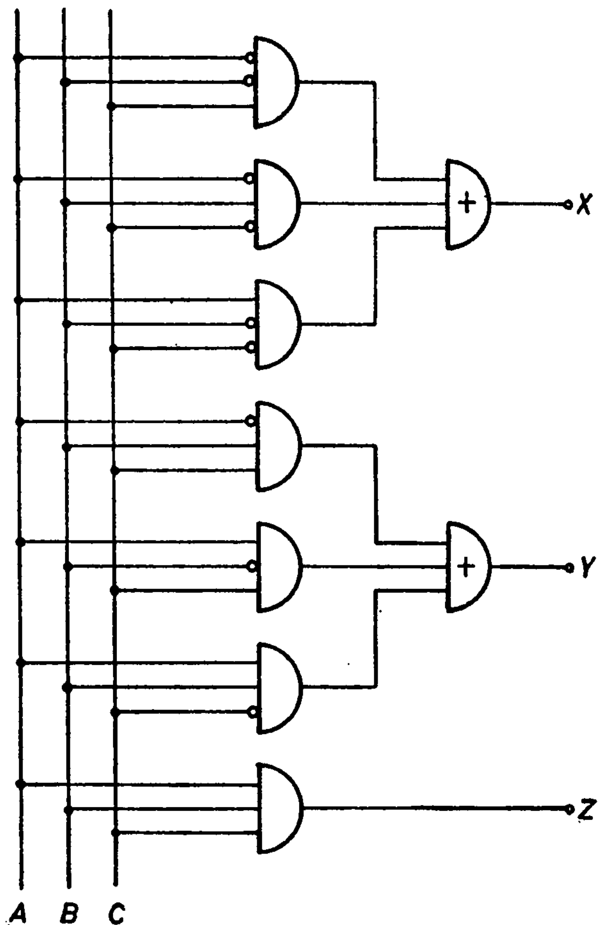
Ista mreža, međutim, može da bude ostvarena samo sa diodnim prekidačkim elementima. Takva mreža u stvari adekvatnije bi odgovarala Bulovoj matričnoj funkciji izraženoj jednačinom (6.4). Zapazimo pre svega da u navedenoj jednačini može da bude izostavljena prva kolona matrice B zajedno sa nultim članom P matrice. Prema tome, P matrica treba da sadrži članove P_{1-7}, ali ćemo zbog generalisanja problema zadržati i član P_0. Logički izrazi za sve P članove dati su u tabeli 6.2. Pošto su ovi izrazi formirani za vrednost logičke jedinice, to se oni mogu da realizuju pomoću odgovarajućih I kola, jer jedino ta kola obezbeđuju jedinicu na izlazu samo pri koincidentnom postojanju svih ulaznih signala. Uostalom pošto se ovde radi o logičkim proizvodima, razumljivo je da se njihova realizacija ostvaruje primenom logičkih I elemenata. Pomenuti elementi treba da imaju po tri ulaza, na koje se dovode odgovarajući signali A, B i C ili njihovi komplementi $\bar{A}$, $\bar{B}$ i $\bar{C}$ prema izrazima navedenim u tabeli logičkih proizvoda.

B matrica funkcije (6.4) sadrži u prva dva reda po tri logičke jedinice. To znači da ova prekidačka matrica, pored navedenih I kola, iziskuje korišćenje još jednog tipa logičkih elemenata. Pomenute tri jedinice u jednom redu B matrice ukazuju da se

Logički proizvodi	Logički zbirovi
$P_0 = \bar{A}\bar{B}\bar{C}$	$S_0 = A+B+C$
$P_1 = \bar{A}\bar{B}C$	$S_1 = A+B+\bar{C}$
$P_2 = \bar{A}B\bar{C}$	$S_2 = A+\bar{B}+C$
$P_3 = \bar{A}BC$	$S_3 = A+\bar{B}+\bar{C}$
$P_4 = A\bar{B}\bar{C}$	$S_4 = \bar{A}+B+C$
$P_5 = A\bar{B}C$	$S_5 = \bar{A}+B+\bar{C}$
$P_6 = AB\bar{C}$	$S_6 = \bar{A}+\bar{B}+C$
$P_7 = ABC$	$S_7 = \bar{A}+\bar{B}+\bar{C}$

Tabela 6.2. Logički proizvodi i logički zbirovi tri prekidačke promenljive

odgovarajući izlazni signal formira pri postojanju bilo koje od tri različite kombinacije nezavisno promenljivih na ulazu. Pošto se sve tri kombinacije ulaznih signala registruju na jednom istom izlazu, očigledno je da se takav izlaz može da ostvari pomoću ILI kola sa tri ulaza. Prema tome, za date funkcije potrebna su, dakle, I i ILI logička kola.

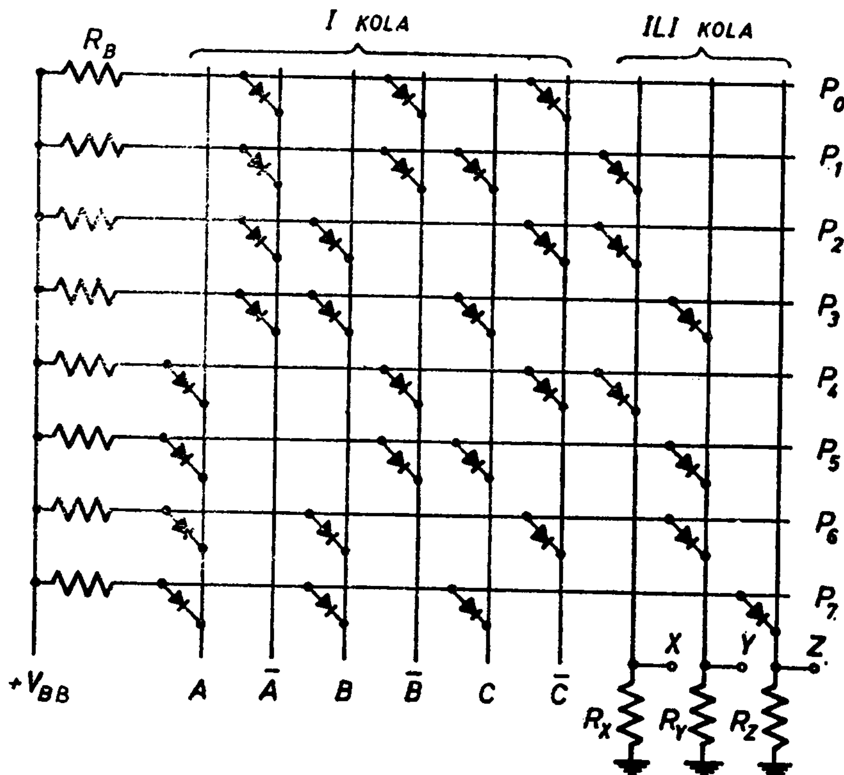


Sl. 6.2. Sinteza jednačina (6.1) pomoću logičkih elemenata

Kompletna prekidačka matrica u diodnoj tehnici, izvedena prema matričnoj funkciji (6.4), prikazana je na sl. 6.3. Matrica sadrži horizontalne vodove, koji su preko otpora R_B vezani na potencijal logičke jedinice, odnosno na napon baterije V_B. Broj ovih vodova određen je brojem članova u P matrici. Anode svih dioda vezane su na horizontalne vodove. Katode dioda, međutim, spojene su sa vertikalnim vodovima. Broj ovih vodova određen je brojem prekidačkih promenljivih (uzimajući u obzir prave i komplementne vrednosti), kao i brojem izlaza. Pošto vertikalni vodovi X, Y i Z ulaze u sastav ILI kola, oni su preko otpora $R_{X,Y,Z}$ vezani na potencijal logičke nule, odnosno na masu. Položaj dioda u I kolima fiksiran je vrednostima u odgovarajućim logičkim proizvodima u P matrici, a položaj dioda u ILI kolima određuju logičke jedinice u B matrici. Razmeštaj dioda, uostalom, može da se odredi vrlo lako i na osnovu kombinacione tabele: diode se postavljaju svuda, gde se u tabeli nalazi vrednost logičke jedinice, uzimajući pri tome u obzir ne samo prave već i komplementne vrednosti promenljivih na ulazima mreže. Na primer, logički proizvod $P_1 = \bar{A}\bar{B}C$ pokazuje da diode treba spojiti sa komplementima ulaza A i B kao i sa ulazom C. Samo u slučaju kada su svi ovi ulazi na visokom naponu, može se na izlazu X preko odgovarajuće diode u ILI kolu da uspostavi visoki nivo napona. Ako je bilo koji od navedena tri ulaza $\bar{A}$, $\bar{B}$ ili C na niskom naponu, odnosno na nuli, dioda koja spaja horizontalni vod P_1 sa izlaznim vodom X ne može biti direktno polarizovana, te naznačeni izlaz ostaje na nultom potencijalu. To isto važi i za sve ostale slučajeve.

Napomenimo da je i na izlazu Z postavljeno *ILI* kolo sa jednim ulazom, kako bi se ostvarila pouzdanija diskriminacija izlaznih nivoa napona.

Osnovni zahtev koji treba da ispuni prekidačka matrica sastoji se u tome da se nivo napona na aktiviranom izlazu dovoljno razlikuje od nivoa na drugim izlazima. Drugim rečima, to znači da eksitovani izlaz treba da ima napon logičke jedinice, a neeksitovan — napon logičke nule. Da bi se odredila vrednost izlaznih nivoa napona, data je na sl. 6.4. ekvivalentna šema prekidačke matrice sa sl. 6.3 za slučaj da postoji



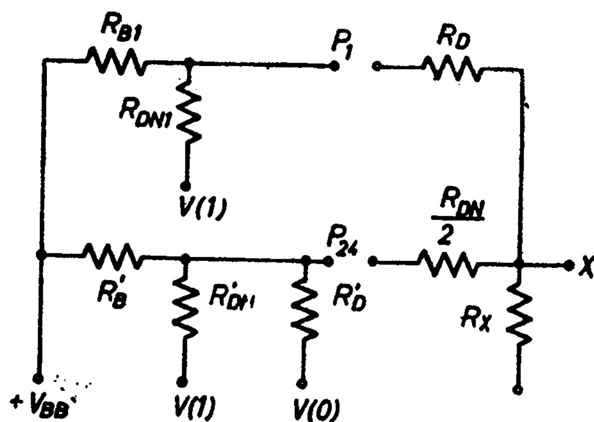
Sl. 6.3. Diodna prekidačka matrica izvedena pomoću P članova

samo izlaz X, koji trenutno registruje kombinaciju $P_1 = \bar{A}\,\bar{B}\,C$. Očigledno je prema datoj šemi, da napon u tački P_1 treba da ima što veću vrednost, kako bi nivo napona na izlazu bio u izrazitoj zavisnosti od struje koja teče baš kroz vod P_1. S druge strane napon u tački P_{24}, gde se sustiču neeksitovani vodovi izlaza X, treba da bude što manji, kako bi se smanjio njegov uticaj na vrednost izlaznog napona V_X.

Zanemarujući uticaj vodova P_{24} na vrednost izlaza X, i ako je $V_{BB} = V(1)$, napon na ovom izlazu približno je određen izrazom:

$$V_X \approx \frac{R_X}{R_X + R_D + R'_B} V(1), \qquad (6.10)$$

gde je $R'_B = \dfrac{R_{B1} \cdot R_{DN1}}{R_{B1} + R_{DN1}}$ — paralelna veza otpora R_B u selektorvanom vodu P_1 i otpora neprovodnih dioda R_{DN} vezanih na taj vod, naime $R_{DN1} = R_{DN}/n = R_{DN}/3$. Da bi napon V_X bio što bliži vrednosti $V(1)$ gornji izraz pokazuje da treba uzeti što veću vrednost za otpornost R_X a što manju za otpornost R_B, odnosno trebalo bi zadovoljiti uslov da je $R_X \gg R_B + R_D$.



Sl. 6.4. Ekvivalentna šema matrice na sl. 6.3 pri eksitovanom izlazu X

S druge strane, rečeno je, da napon u tački P_{24}, tj. na izlazu paralelno vezanih vodova P_2 i P_4, treba da bude što manji. Uzimajući da je $V(0) = 0$ i smatrajući da je $R_{DN} \gg R_D$, napon u tački P_{24} približno je dat izrazom:

$$V_{24} \approx \frac{R'_D}{R'_D + \dfrac{R'_B \cdot R'_{DN}}{R'_B + R'_{DN}}} V(1). \tag{6.11}$$

Prema tome, u cilju smanjenja napona V_{24} trebalo bi povećati otpornost R'_B, odnosno R_B. Kako ovaj zahtev stoji u suprotnosti sa onim što smo zaključitili u vezi napona V_X, izlaz se nalazi u kompromisnom rešenju. Vrednosti otpora R'_B, R'_D i R'_{DN} za konkretan slučaj, koji obuhvata samo vodove P_2 i P_4 na sl. 6.4 su:

$$R'_D = \frac{R_D}{4}, \quad R'_{DN} = \frac{R_{DN}}{2} \quad \text{i} \quad R'_B = \frac{R_{B2} \cdot R_{B4}}{R_{B2} + R_{B4}}.$$

Međutim, ako bi svi horizontalni vodovi P_{0-7} bili vezani samo na jedan izlaz, što je, na primer, slučaj kod selektora, onda bi gornje otpornosti iznosile:

$$R'_B = \frac{R_B}{2^n - 1}$$

$$R'_D = \frac{R_D}{n\, 2^{n-1}}$$

$$R'_{DN} = \frac{R_{DN}}{n\,(2^{n-1} - 1)}.$$

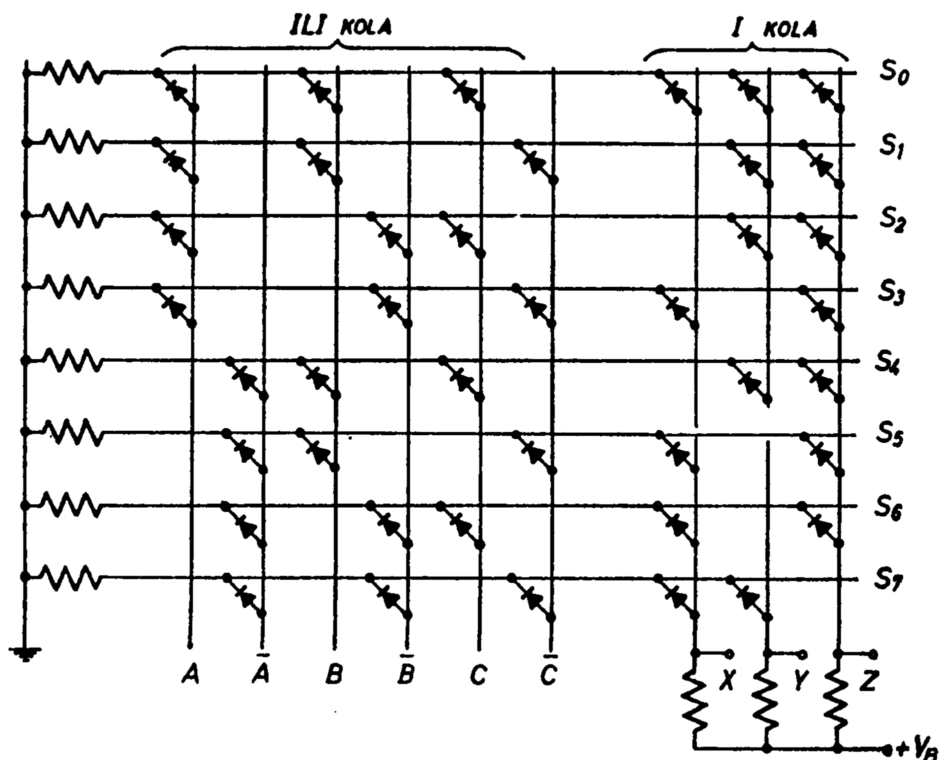
Pošto se pri povećanju broja nezavisno promenljivih n naglo povećava i broj horizontalnih P vodova, koji u stvari iznosi 2^n, to se i ekvivalentna vrednost otpora R'_B na neselektovanim granama takođe brzo smanjuje. Prema tome, pri većim vrednostima n mora se povećati otpornost u horizontalnim granama R_B, što, naravno, prema jedn. (6.10) iziskuje još veću vrednost otpora R_X na izlazu. U svakom slučaju efikasnija diskriminacija izlaznih nivoa napona postiže se sa što većim faktorom usmerenosti upotrebljenih dioda (R_{DN}/R_D). Napomenimo, dalje, da se mora obezbediti pouzdana zakočenost i sigurno vođenje odgovarajućih dioda u matrici, inače će u protivnom dolaziti do naglog smanjivanja izlaznog napona pri povećanju broja prekidačkih promenljivih.

Videli smo da se višeizlazne logičke mreže mogu da izraze i pomoću Bulove matrične funkcije sa *S* članovima, jedn. (6.8). Vrednosti *S* članova, odnosno logičkih zbirova za posmatranu matricu, date su u tabeli 6.2. Pošto se logički zbirovi realizuju pomoću *ILI* kola, to se pri sintezi prekidačkih matrica sa *S* članovima moraju da upotrebe *ILI* kola za vezu matričnih ulaza sa horizontalnim vodovima. Na izlazima matrice, međutim, ovde će biti upotrebljena *I* kola u slučaju da bilo koji red *B* matrice sadrži više od jedne logičke nule.

Na sl. 6.5 data je kompletna šema prekidačke matrice izvedene na osnovu jedn. (6.8), odnosno kombinacione tabele 6.1. Postavljanje dioda učinjeno je prema vrednostima promenljivih u *S* članovima kao i vrednostima logičkih nula u *B* matrici. Uostalom, jednostavnije je i ovde reći, da se diode postavljaju svuda gde se u kombinacionoj tabeli nalaze logičke nule, uzimajući, razume se, u obzir i komplemente prekidačkih promenljivih. Zapazimo da u ovom slučaju diode zauzimaju sva mesta,

koja su ostala slobodna u matrici sa *P* članovima na sl. 6.3. To je sasvim razumljivo pošto je položaj dioda u ranijoj matrici bio određen položajem jedinica, a ovde položajem nula u kombinacionoj tabeli.

Da bi bilo koji izlaz bio na visokom naponu, sve diode u *I* kolu tog izlaza moraju da budu neprovodne. Uzmimo, na primer, da na ulazu u mrežu deluju pobude koje odgovaraju logičkom zbiru $S_5 = \bar{A} + B + \bar{C}$. To znači da su vertikalni vodovi $\bar{A}$, B i $\bar{C}$ na visokom naponu. Prema tome, diode koje povezuju ove vodove sa horizontalnim vodom S_5 su neprovodne, dok su diode koje vezuju vod S_5 na izlazne



Sl. 6.5. Prekidačka matrica izvedena pomoću *S* članova

vodove *X* i *Z* provodne. Zbog toga su izlazi *X* i *Z* na niskom naponu. Prema kombinacionoj tabeli, u datom slučaju izlaz *Y* treba da bude na visokom naponu, što znači da sve diode u *I* kolu na ovom izlazu moraju da budu neprovodne. Proverom ulaza odgovarajućeg *I* kola vidi se da su sve njegove diode neprovodne, pošto svi horizontalni vodovi izuzev S_5 dobijaju preko neke diode u *ILI* kolima visoki napon sa ulaznih linija.

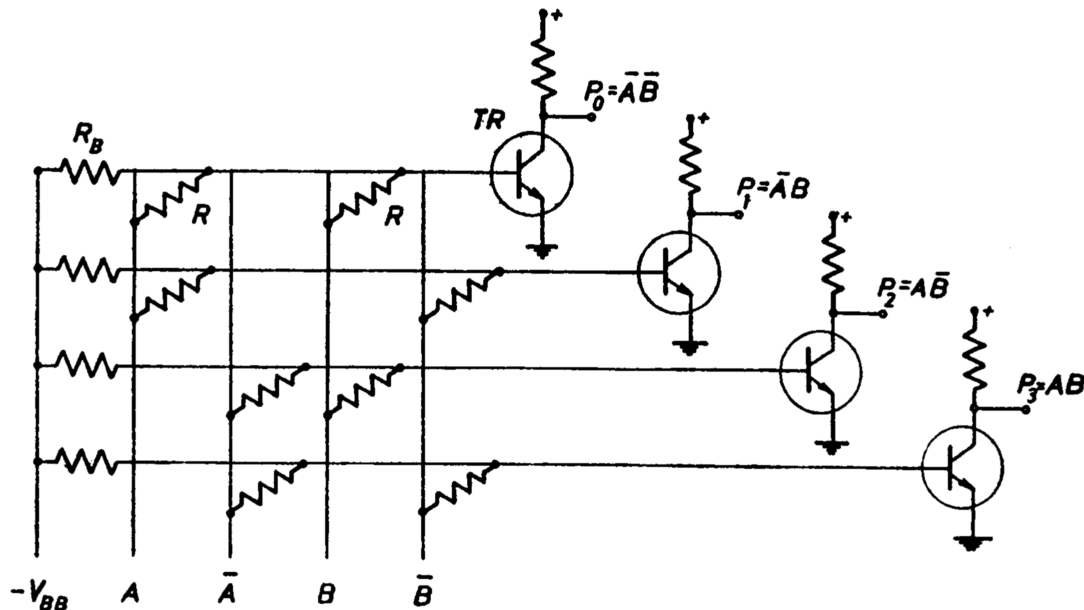
Iako se u principu mogu da ostvare funkcionalno iste prekidačke matrice sa *P* i sa *S* članovima, prvi način sinteze Bulove matrične funkcije nalazi daleko veću primenu. Jedan od razloga za to svakako leži u činjenici što se prekidačka matrica sa *P* članovima neposredno izvodi na bazi kombinacione tabele, pa je stoga razumljivija i njen izgled može lakše unapred da se predoči. Zbog toga će u daljem izlaganju biti tretirane samo matrične mreže ostvarene na bazi prekidačkih jednačina sa logičkim proizvodima.

6.2.2. Prekidačke matrice sa tranzistorima

Pored diodnih, pri sintezi matrične funkcije mogu da se koriste i mnogi drugi prekidački elementi. Uostalom, pošto je prekidačka matrica kombinaciona mreža, nameće se logičan zaključak da se ona može realizovati primenom bilo kog sistema

logičkih kola. S obzirom da je sinteza matrične mreže već izložena u diodnoj logici, to ćemo ovde ukazati još samo na najosnovnije principe primene logičkih kola sa tranzistorima u izgradnji višeizlaznih prekidačkih mreža.

Na sl. 6.6 pokazana je prekidačka matrica sa svega dva ulaza, ili tačnije rečeno sa dva para ulaza. Izlazi ove matrične mreže dobijaju se na *NILI* kolima izvedenim u *RTL* tehnici. Ulazni otpornici logičkih kola *R* čine vezu između horizontalnih i vertikalnih vodova matrice. Horizontalni vodovi preko otpornika R_B obezbeđuju u određenim uslovima negativnu polarizaciju baza tranzistora *TR* iz baterije V_{BB}.



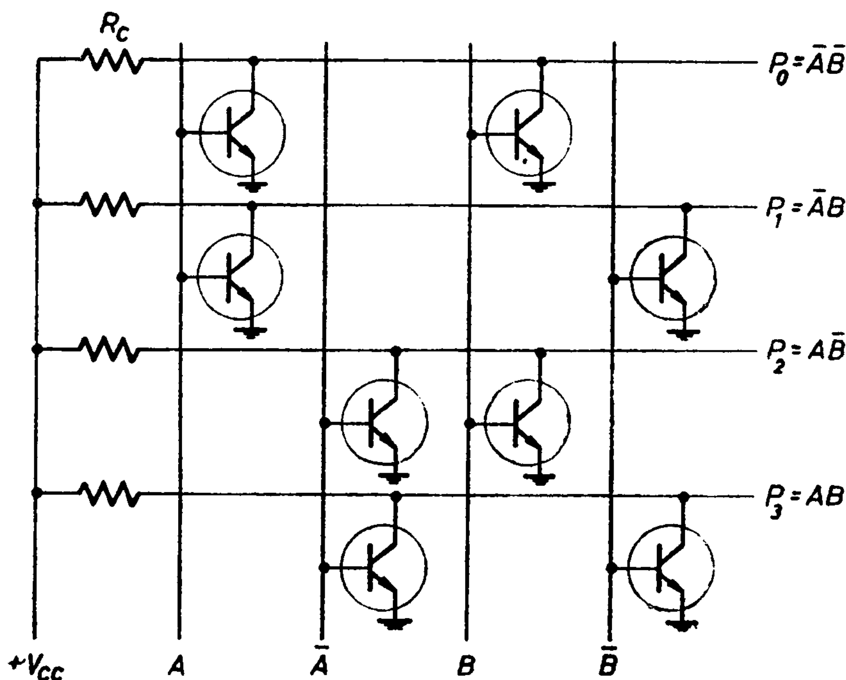
Sl. 6.6. Prekidačka matrica sa logičkim elementima u *RTL* tehnici

Preko vertikalnih vodova dovode se pobudni logički signali na odgovarajuće ulaze *NILI* kola. Logika ovih kola je takva, da se na izlazu tranzistora *TR* uspostavlja visoki nivo napona, odnosno stanje logičke jedinice, samo kada je na svim ulazima tog kola prisutan napon logičke nule. Prema tome, selekcija pojedinih izlaza, određenih poznatim *P* članovima matrice, zahtevaće ovde drugačije kombinacije signala na ulazima logičkih kola nego što je to bio slučaj u diodnoj tehnici. U stvari pri korišćenju logičkih kola sa invertorima, kao što je ovde slučaj sa *NILI* elementima, ulazi tih kola moraju da se priključe na invertovane vrednosti pobudnih signala, koji se pojavljuju u dotičnom logičkom proizvodu. Tako, na primer, da bi se detektovala kombinacija ulaznih signala $P_0 = \bar{A}\bar{B}$, *NILI* kola treba da se priključe na ulaze *A* i *B* a ne na $\bar{A}$ i $\bar{B}$, kao što je to bio slučaj u diodnoj matrici. Uočavajući, dakle, samo ovu razliku, može se lako izvesti sinteza prekidačke matrice i na osnovu kombinacione tabele, znajući da sada logičke nule, umesto jedinica, određuju gde treba da se postave otpornici *R* za vezu između horizontalnih i vertikalnih vodova matrice.

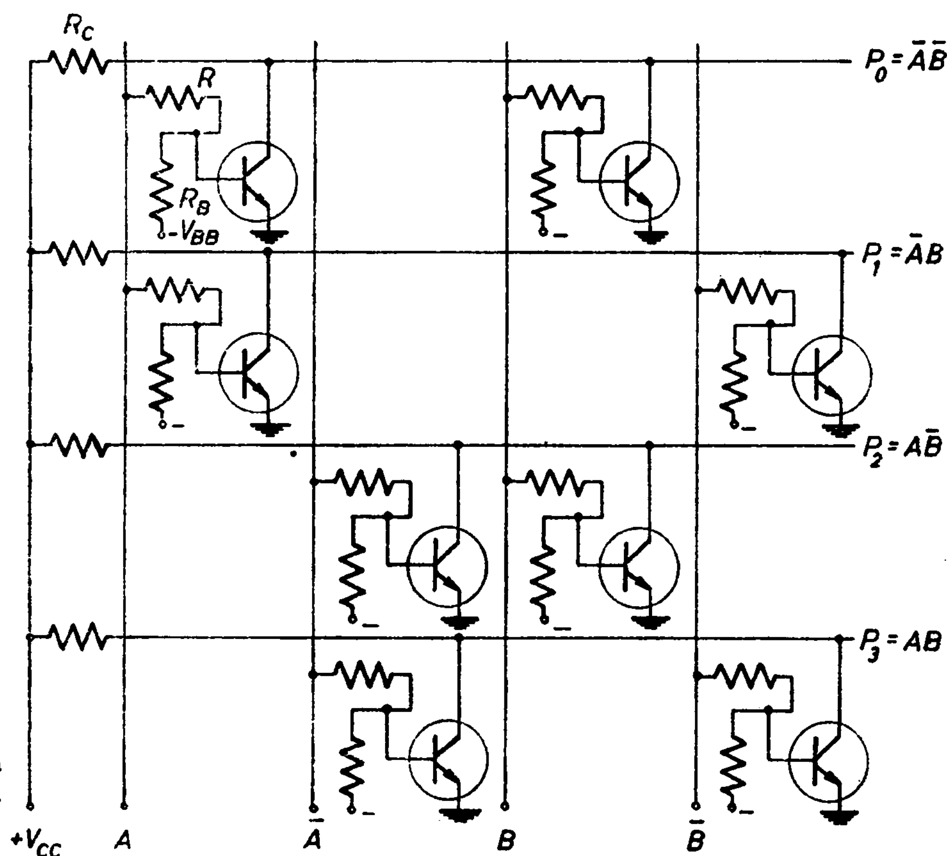
Na sl. 6.7 pokazano je izvođene prethodne prekidačke matrice pomoću logičkih elemenata u *DCTL* tehnici. I ovde su upotrebljena *NILI* kola, kod kojih su tranzistori pojedinih horizontalnih grana direktno spregnuti na zajednički kolektorski otpornik R_C. Baze ovih tranzistora su vezane na komplemente ulaza koji određuju dotični izlaz. Tako, na primer, na izlazu $P_0 = \bar{A}\bar{B}$ formiraće se stanje logičke jedinice samo u slučaju da su ulazi *A* i *B* na niskom naponu.

Prekidačka matrica sa direktnom tranzistorskom spregom ima niži napon logičke nule nego što je to slučaj kod diodne matrice. Međutim, neujednačenost napona

provođenja tranzistora V_{BE}, kao i kritična vrednost napona blokiranja, često ne obezbeđuju dovoljnu pouzdanost rada matrice. U takvim okolnostima bolje je da se umesto logičkih elemenata *DCTL* sistema upotrebe odgovarajuća kola modifikovanog *RCTL* sistema.



Sl. 6.7. Prekidačka matrica sa logičkim elementima u *DCTL* tehnici

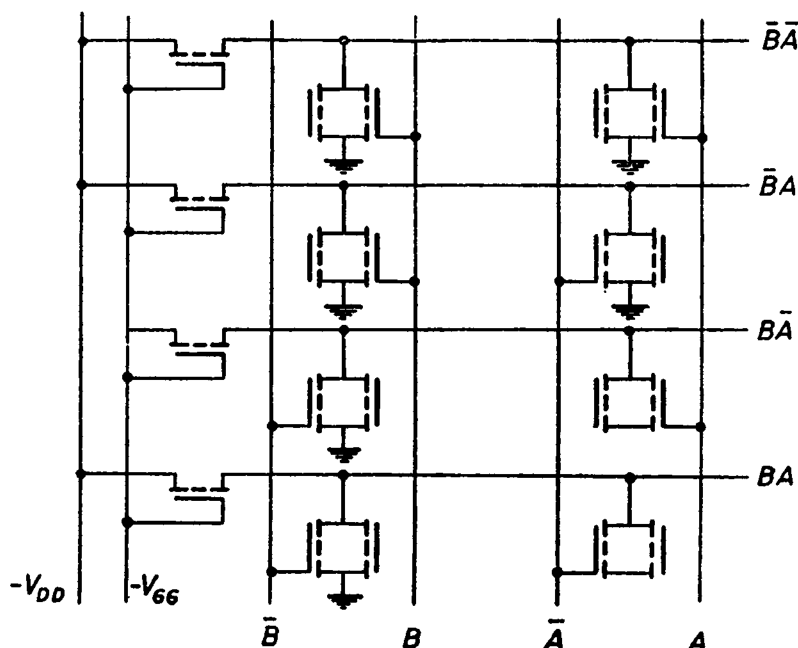


Sl. 6.8. Prekidačka matrica sa logičkim elementima u *RCTL* tehnici

Na sl. 6.8 data je šema iste prekidačke matrice sa *NILI* kolima u *RCTL* tehnici. Koncepcija mreže i način rada ni u čemu se ne razlikuju od prethodnog slučaja. Pouz-

danost rada matrice, međutim, je poboljšana dodavanjem otpora R i R_B kao i napona V_{BB}. Istina, time je nešto smanjena brzina rada prekidačke matrice, pa će, možda, biti potrebno da se paralelno otpornicima R dodaju još i kondenzatori C.

Suvišno je posebno naglašavati da se kompletne prekidačke matrice za određene svrhe izrađuju danas u integrisanom obliku. Za ovakvu proizvodnju pored diodnih privlačne su i matrice sa logičkim kolima u *DCTL* tehnici. U poslednje vreme, međutim, umesto sa bipolarnim radije se izgrađuju matrice sa unipolarnim tranzistorima u *MOS* tehnici. Prednosti ove tehnike u integrisanoj proizvodnji složenih mre-



Sl. 6.9. Prekidačka matrica sa logičkim elementima u *MOS* tehnici

ža, sa ne tako velikim brzinama rada, su dovoljno poznate. Zato ćemo ovde na sl. 6.9 još samo da pokažemo izgled modifikovane šeme prethodne matrice sa dva para ulaza u *MOS* tehnologiji. Opterećenje upotrebljenih *NILI* kola, kao što se vidi, je dinamičko. Svi prekidački elementi izvedeni su u parovima, što je pogodnije sa gledišta proizvodnje. U stvari veza gejtova sa vertikalnim vodovima izvedena je svuda, samo što je kod nekorišćenih tranzistora povećana debljina oksidnog sloja u području gejta, usled čega tranzistor postaje neaktivan. Napomenimo još i to, da *NILI* kola u ovoj matrici rade sa negativnom logikom, što znači da je visoki nivo napona na negativnom, a niski na nultom potencijalu.

6..3 TIPOVI PREKIDAČKIH MATRICA

Bulova matrična funkcija za višeizlaznu logičku mrežu može se, kao što je već istaknuto, da ostvari sa različitim prekidačkim elementima. Međutim, i u jednoj istoj tehnici izvođenja, na primer diodnoj, primenjuje se nekoliko načina realizacije prekidačke mreže. Drugim rečima, to znači da postoji više tipova prekidačkih matrica, pri čemu, naravno, svaki tip poseduje i neke svoje specifičnosti izražene, na primer, brojem komponenata, složenošću upotrebljenih logičkih elemenata, brojem stepena mreže, odnosno nivoa u njenoj realizaciji, itd.

U široj primeni susreću se uglavnom tri tipa prekidačkih matrica, koje se u literaturi, a i u praksi, nazivaju često različitim imenima. Pomenute tri vrste prekidačkih

matrica su: pravougaona (rectangle-matrix), piramidalna (pyramid-ili trees-matrix) i razdeljena (dual-tree-matrix). Naglasimo da ovi nazivi matrica potiču od spoljašnjeg izgleda šeme, iako to, razume se, nije od značaja za logičku funkciju mreže.

6.3.1. Pravougaona matrica

K_i	Binarni kod	Logički proizvodi
	D C B A	Pi
0	0 0 0 0	$P_0 = \bar{D}\bar{C}\bar{B}\bar{A}$
1	0 0 0 1	$P_1 = \bar{D}\bar{C}\bar{B}A$
2	0 0 1 0	$P_2 = \bar{D}\bar{C}B\bar{A}$
3	0 0 1 1	$P_3 = \bar{D}\bar{C}BA$
4	0 1 0 0	$P_4 = \bar{D}C\bar{B}\bar{A}$
5	0 1 0 1	$P_5 = \bar{D}C\bar{B}A$
6	0 1 1 0	$P_6 = \bar{D}CB\bar{A}$
7	0 1 1 1	$P_7 = \bar{D}CBA$
8	1 0 0 0	$P_8 = D\bar{C}\bar{B}\bar{A}$
9	1 0 0 1	$P_9 = D\bar{C}\bar{B}A$
10	1 0 1 0	$P_{10} = D\bar{C}B\bar{A}$
11	1 0 1 1	$P_{11} = D\bar{C}BA$
12	1 1 0 0	$P_{12} = DC\bar{B}\bar{A}$
13	1 1 0 1	$P_{13} = DC\bar{B}A$
14	1 1 1 0	$P_{14} = DCB\bar{A}$
15	1 1 1 1	$P_{15} = DCBA$

Tabela 6.3. Kombinaciona tabela kodovanog prekidača sa 16 izlaza

Šemiranje pravougaone matrice okarakterisano je time, što ona sadrži vertikalne i horizontalne vodove koji se ukrštaju pod pravim uglom. Veze između ovih vodova ostvaruju se pomoću prekidačkih elemenata, na primer dioda. Raspored elemenata određen je sadržajem B i P matrice Bulove matrične funkcije koja opisuje datu mrežu. Prema tome, prekidačke matrice, o kojima je bilo reči u prethodnom izlaganju, su u stvari pravougaone prekidačke matrice.

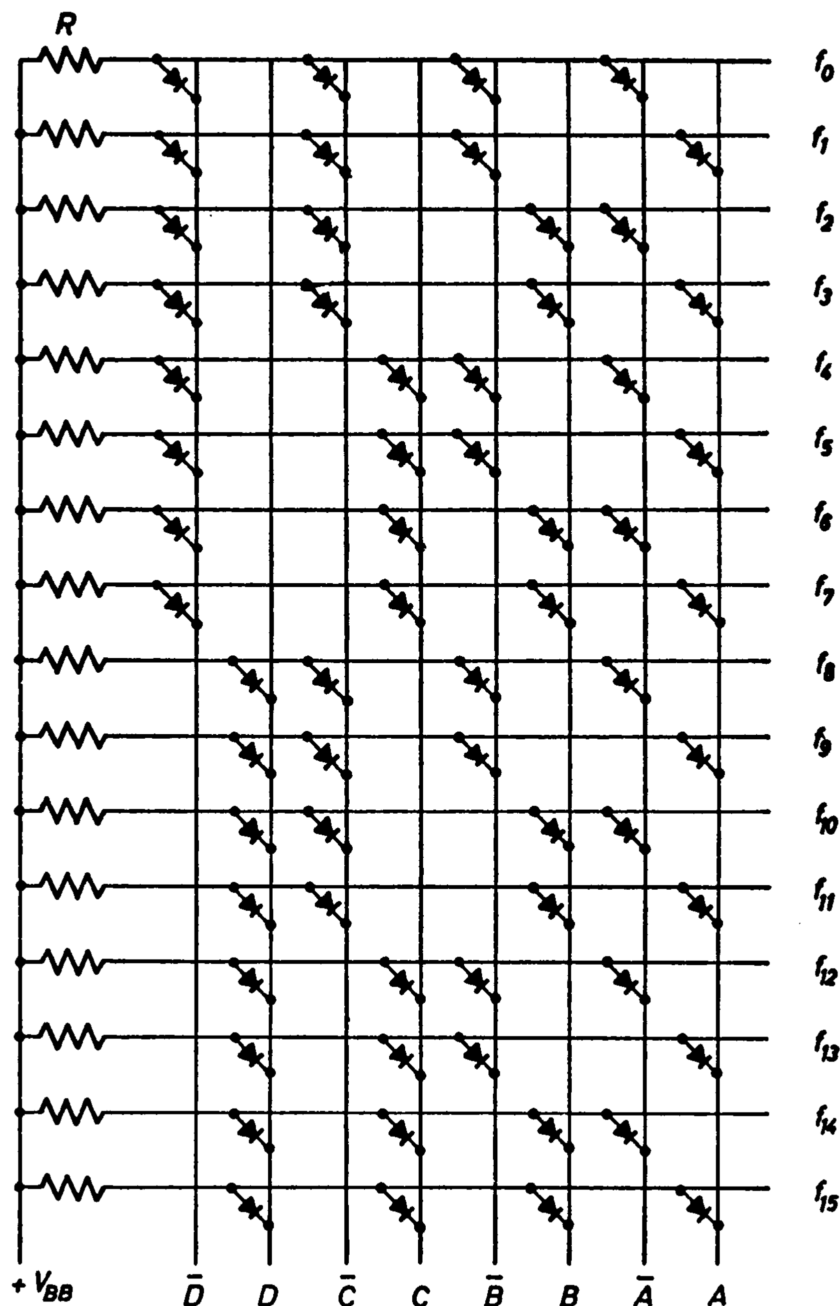
Iako je sinteza pravougaone prekidačke matrice već pokazana, ovde ćemo da ilustrujemo još jedan primer, koji će biti pogodniji za uporedno razmatranje navedenih tipova matrica. Neka to bude kodovani prekidač sa 16 položaja. Matrična funkcija, koja opisuje mrežu sa 16 izlaza, mora da ima isto toliko P članova sa po četiri nezavisno promenljive veličine. Ako se za realizaciju pomenutog prekidača usvoji binarni kod, onda se prema kombinacionoj tabeli 6.3 određuju odgovarajući izrazi za članove proizvoda P_i, koji su takođe naznačeni u istoj tabeli. Obratimo pažnju da su ovde nezavisno promenljive, odnosno logičke vrednosti ulaznih signala pisane obrnutim redom abecede. To je učinjeno iz razloga, što će se istim simbolima vrlo često da predstavljaju i binarne vrednosti, pri čemu se usvaja princip da pozicione vrednosti cifara takvih brojeva rastu po abecednom redu.

Na osnovu datih podataka o logici pomenutog prekidača sa 16 izlaza može da se napiše odgovarajuća matrična funkcija mreže u obliku:

$$\begin{bmatrix} f_0 \\ f_1 \\ f_2 \\ f_3 \\ \cdot \\ \cdot \\ f_{12} \\ f_{13} \\ f_{14} \\ f_{15} \end{bmatrix} = \begin{bmatrix} 1\ 0\ 0\ 0 \cdots 0\ 0\ 0\ 0 \\ 0\ 1\ 0\ 0 \cdots 0\ 0\ 0\ 0 \\ 0\ 0\ 1\ 0 \cdots 0\ 0\ 0\ 0 \\ 0\ 0\ 0\ 1 \cdots 0\ 0\ 0\ 0 \\ \cdots\cdots\cdots\cdots \\ \cdots\cdots\cdots\cdots \\ 0\ 0\ 0\ 0 \cdots 1\ 0\ 0\ 0 \\ 0\ 0\ 0\ 0 \cdots 0\ 1\ 0\ 0 \\ 0\ 0\ 0\ 0 \cdots 0\ 0\ 1\ 0 \\ 0\ 0\ 0\ 0 \cdots 0\ 0\ 0\ 1 \end{bmatrix} \begin{bmatrix} P_0 \\ P_1 \\ P_2 \\ P_3 \\ \cdot \\ \cdot \\ P_{12} \\ P_{13} \\ P_{14} \\ P_{15} \end{bmatrix} \qquad (6.12)$$

Pošto zadata mreža ima 16 izlaza, gornja B matrica treba da sadrži 16 redova i 16 kolona. Zapazimo da svaki red ima samo po jednu jedinicu, što znači da se prekidačka matrica može da ostvari samo primenom logičkih I kola, sl. 6.10.

Pravougaona matrica odlikuje se jednostavnošću koncepcije šemiranja, zbog čega se ponekad i naziva prosta matrična mreža. Za n parova ulaznih signala u posmatranom matričnom prekidaču se ostvaruje 2^n izlaznih funkcija. Veza između izlaza i ulaza matrice ostvaruje se preko *I* kola, što se lako uočava na datoj šemi logičke mreže.



Sl. 6.10. Pravougaona prekidačka matrica

S obzirom da se od n pari ulaza do svakog izlaza dolazi preko samo jednog logičkog elementa, pravougaona matrica je, znači, jednostepena, tj. ostvaruje se pomoću logičkih kola u samo jednom nivou. Ova osobina predstavlja prednost pravougaone matrice u odnosu na druge. S druge strane, međutim, broj ulaza upotrebljenih logičkih elemenata može da bude dosta veliki, jer se povećava u istom iznosu kao i broj pari ulaznih signala prekidačke mreže. To ponekad može da predstavlja ograničenje mogućnosti primene pravougaone matrice. Osim toga, ovoj matrici se pripisuje kao

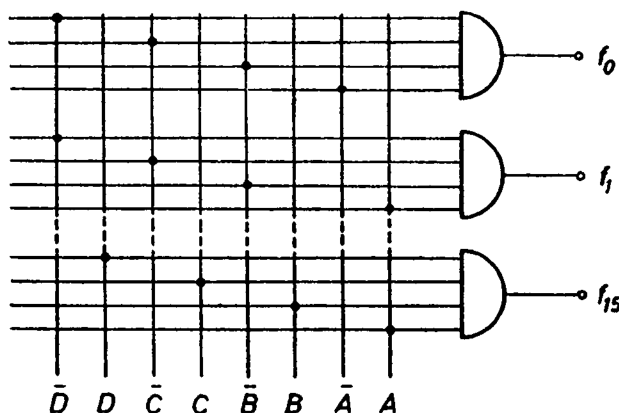
nedostatak i veliki broj prekidačkih elemenata, koji se moraju da ugrade pri njenoj realizaciji. Iako ovaj nedostatak karakteriše prvenstveno izradu matrice sa diskretnim komponentama, on često nije beznačajan ni u integrisanoj proizvodnji. To se bolje može da oceni uzimajući u obzir nagli porast broja prekidačkih elemenata sa povećanjem broja ulaza n. Naime, ukupan broj I kola u posmatranom kodovanom prekidaču sa n ulaza jednak je broju izlaza, odnosno 2^n. Pošto svako I kolo ima n ulaza, to je ukupan broj prekidačkih elemenata u pravougaonoj matrici dat izrazom

$$N = n \cdot 2^n. \tag{6.13}$$

Prema tome, u datoj matrici sa četiri nezavisna ulaza biće upotrebljena 64 prekidačka elementa. Ako bi pravougaona matrica imala deset pari ulaza, onda bi za njenu realizaciju bilo potrebno 10 240 prekidačkih elemenata. Ovako veliki broj prekidača, a uz to i neophodnost korišćenja I kola sa često velikim brojem ulaza, nametnuli su potrebu i drugačijeg šemiranja prekidačkih matrica.

Napomenimo da se danas pri izgradnji prekidačkih matrica umesto prekidača u diskretnom obliku radije upotrebljavaju gotova logička kola sa potrebnim brojem ulaza.

Na sl. 6.11 prikazana je samo delimično šema veza ranije prekidačke matrice sa logičkim elementima od po četiri ulaza. Vidimo da i u ovom slučaju pravougaona matrica zadržava svoju osnovnu formu šemiranja, koristeći ukrštenu mrežu spojnih vodova između ulaza i izlaza.



Sl. 6.11. Pravougaona matrica sa logičkim elementima

Za ocenu valjanosti prekidačke mreže ponekad su od interesa i neki drugi parametri kao što su, na primer, faktor račvanja i faktor ujednačenosti. Faktor račvanja izražava se najvećim brojem ulaza drugih logičkih kola koji se priključuju na izlaz prethodnog logičkog kola. Drugim rečima, to je faktor opterećenja logičkih kola u prekidačkoj matrici. U jednostepenoj mreži, kao što je pravougaona matrica, taj faktor je jednak nuli, pošto nema međusobnog sprezanja upotrebljenih logičkih elemenata.

Faktor ujednačenosti definiše se brojem ulaza logičkih kola koji su vezani na pojedine ulazne priključke prekidačke mreže. Ovaj faktor u neku ruku karakteriše opterećenje pobudnih generatora prekidačke mreže. U opštem slučaju na generatore pobudnih signala nije vezan isti broj prekidačkih elemenata matrice. Međutim, svakako da je povoljnija realizacija prekidačke matrice u kojoj je broj priključaka na pojedinim ulazima ne samo manji već i ravnomerno raspoređen na sve ulaze. Pravougaona matrica odlikuje se time, što ima ujednačene faktore opterećenja ulaza. Istina, taj faktor može da bude dosta veliki, jer je jednak vrednosti 2^{n-1}. Prema tome za prekidačku matricu na sl. 6.10 vrednost ovog faktora je 8.

Faktor račvanja i faktor ujednačenosti u suštini karakterišu jedan isti parametar — opterećenje. Stoga ćemo umesto njih u daljem izlaganju radije da koristimo termin faktor opterećenja logičkih elemenata, odnosno ulaza prekidačke mreže.

Veličina struje pojedinih ulaza prekidačke mreže u opštem slučaju ne zavisi samo od broja priključenih prekidačkih elemenata, tj. od ranije definisanog faktora

opterećenja ulaza. Da bi se odredilo strujno opterećenje izvora pobudnih signala nije, znači, dovoljno poznavati faktore opterećenja ulaza, već se moraju da odrede i odgovarajuće struje na ulaznim priključcima mreže. U jednostepenoj mreži, kao što je pravougaona matrica, te struje mogu lako da se odrede. Na prvi pogled moglo bi se zaključiti da su te struje proporcionalne broju priključenih prekidačkih elemenata na dotičnim ulazima. Međutim, pošto je struja kroz zbirnu optornost logičkog I kola praktično konstantna, onda veličine struja u pojedinim njegovim ulaznim granama mogu da budu različite, zavisno od broja provodnih prekidača. Vodeći računa o tome, odredićemo struju opterećenja, na primer ulaza A pravougaone prekidačke matrice na sl. 6.10, pod pretpostavkom da je selektovan izlaz $f_0 = \bar{D}\bar{C}\bar{B}\bar{A}$. To znači da su u matrici provodne sve diode koje su priključene na ulaze A, B, C i D. Da bi se našla struja ulaza A, treba prvo da se odrede veličine struja kroz sve diode vezane na ovaj ulaz. U logičkom kolu sa izlazom f_1 provodi samo jedna dioda vezana na ulaz A, pa je struja kroz nju jednaka struji kroz zbirnu otpornost R, naime $I_{A1} = I_R$. U kolu sa izlazom f_3 vode dve diode, vezane za ulaze B i A, pa je otuda $I_{A3} = I_R/2$ itd. Vrednosti svih struja navedene su u tabeli 6.4. Osim toga, u tabeli su sa „+" naznačene provodne diode u svim korišćenim I kolima. Na osnovu toga vidimo da struje kroz diode ovakve matrice variraju u opsegu od (0,25 — 1) I_R. Sabirajući sve komponente struja ulaza A nalazi se da ona iznosi $I_A = 3{,}75\ I_R$. Napomenimo da je strujno opterećenje ulaza pravougaone matrice podjednako za svaki opterećeni ulaz pri bilo kom selektovanom izlazu.

Log. kolo I_i	Ulazi D	C	B	A	I_{Ai}/I_R
1	—	—	—	+	1,000
3	—	—	+	+	0,500
5	—	+	—	+	0,500
7	—	+	+	+	0,333
9	+	—	—	+	0,500
11	+	—	+	+	0,333
13	+	+	—	+	0,333
15	+	+	+	+	0,250

Tabela 6.4 Komponente struja na ulazu A matrice na sl. 6.10

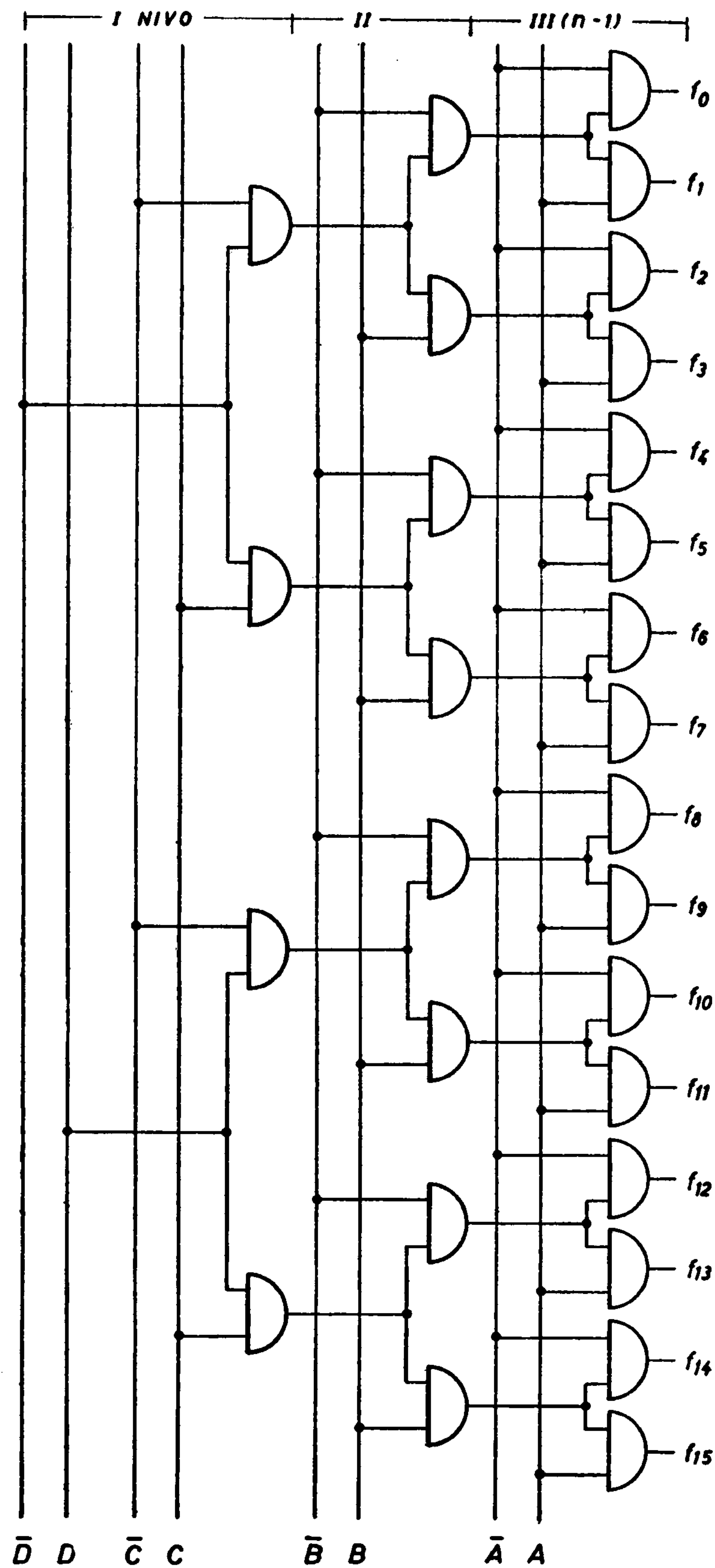
Broj pari ulaza	Broj izlaza	Broj log. elem.	Broj ulaza log. elem.	Broj prek. elem.	Faktor opter. ulaza
n	2^n	2^n	n	$n2^n$	2^{n-1}
2	4	4	2	8	2
3	8	8	3	24	4
4	16	16	4	64	8
5	32	32	5	160	16
6	64	64	6	384	32

Tabela 6.5. Neki karakteristični podaci za pravougaone matrice

Na kraju u tabeli 6.5 dati su neki karakteristični podaci za pravougaonu prekidačku matricu kao što su: broj logičkih elemenata, broj prekidačkih elemenata, faktor opterećenja ulaza i drugi.

6.3.2. Piramidalna matrica

Za razliku od pravougaone, piramidalna prekidačka matrica nije jednostepena. Šta više broj nivoa logičkih elemenata može da bude i dosta veliki, pošto je on samo za jedan manji od broja nezavisno promenljivih veličina. Pri šemiranju matrice obično se prekidački ili logički elementi grupišu po nivoima. Kako se broj elemenata u pojedinim nivoima stalno smanjuje idući od izlaza prema ulazu prekidačke matrice, to ovakva struktura mreže podseća na piramidu, odakle joj i potiče dati naziv. Posmatrano s druge strane, međutim, matrica se razgranava od ulaza prema izlazima, te tako podseća na stablo drveta, pa je neki tako i nazivaju.

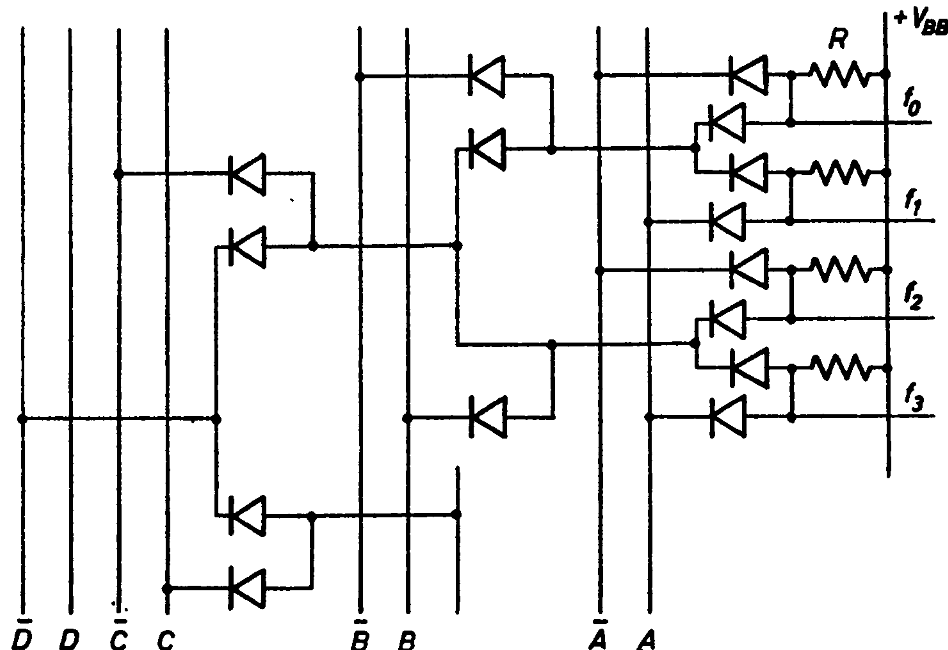


Sl. 6.12. Piramidalna prekidačka matrica

Kao primer šemiranja piramidalne prekidačke matrice uzećemo opet kodovani prekidač sa 16 izlaza. Izlazne matrične funkcije mreže, prikazane kombinacionom tabelom 6.3, mogu da se ispišu i u sledećem obliku:

$$
\begin{array}{lll}
f_0 = \bar{D}\,[\bar{C}\,(\bar{B}\,\bar{A})] & f_4 \cdot = \cdot \bar{D}\,[C\,(\bar{B}\,\bar{A})] & f_{12} = D\,[C\,(\bar{B}\,\bar{A})] \\
f_1 = \bar{D}\,[\bar{C}\,(\bar{B}\,A)] & \cdots\cdots\cdots & f_{13} = D\,[C\,(\bar{B}\,A)] \\
f_2 = \bar{D}\,[\bar{C}\,(B\,\bar{A})] & \cdots\cdots\cdots & f_{14} = D\,[C\,(B\,\bar{A})] \\
f_3 = \bar{D}\,[\bar{C}\,(B\,A)] & f_{11} = D\,[\bar{C}\,(B\,A)] & f_{15} = D\,[C\,(B\,A)].
\end{array}
\tag{6.14}
$$

Očigledno je da se svaka od ovih funkcija može da realizuje pomoću logičkih *I* elemenata sa po četiri ulaza, kao što je to bilo pokazano na sl. 6.11. Međutim, ako se sinteza gornjih funkcija vrši tako, da zagrade predstavljaju posebne nivoe mreže, onda se svaki od tih izraza može da ostvari kroz trostepenu vezu *I* kola sa po dva ulaza prema sl. 6.12. Delimična detaljna šema veza ovakve matrice data je na sl. 6.13.



Sl. 6.13. Delimična šema veza matrice na sl. 6.13 u diodnoj tehnici

U šemi piramidalne matrice na sl. 6.12 jasno su istaknuta tri nivoa sa po 4,8 i 16 identičnih logičkih elemenata. Pošto ovi elementi imaju po dva ulaza, za realizaciju diodne matrice sa 16 izlaza biće potrebno ukupno 56 dioda, što je manje nego u ranijoj pravougaonoj matrici. Ukupan broj prekidačkih elemenata u piramidalnoj matrici sa *n* ulaza izračunava se prema formuli

$$N = \sum_{k=3}^{n+1}{}' \, 2^k. \tag{6.15}$$

Za realizaciju prekidačke matrice sa 10 ulaza, na primer, ovde će biti potrebno ukupno 4088 prekidačkih elemenata. Vidimo, dakle, da je broj angažovanih prekidača u ovom slučaju smanjen za oko 60% u poređenju sa pravougaonom matricom. Ovaj rezultat ukazuje na nesumnjivo preimućstvo ovakve koncepcije izgradnje prekidačkih matrica.

Što se tiče faktora opterećenja, piramidalna matrica je nepovoljnija od pravougaone. Pre svega, višestepenost mreže uslovila je opterećenje logičkih elemenata sa faktorom 2 u svim nivoima sem u izlaznom. S druge strane, iz istog razloga faktor opterećenja ulaza nije više ujednačen. Naime, ovaj faktor zavisi od nivoa u kome se dotični ulaz nalazi. Sa sl. 6.12 vidimo da faktor opterećenja ulaza D i C, koji se nalaze u prvom nivou, iznosi 2. Faktor opterećenja ulaza B, u drugom nivou, iznosi 4, dok se za ulaz A, u trećem nivou, povećava na 8. To znači da se faktor opterećenja ulaza udvostručava u svakom narednom nivou mreže ($2^1, 2^2, 2^3, \cdots 2^{n-1}$). Primetimo da faktor opterećenja ulaza na koje su priključeni logički elementi izlaznog stepena piramidalne prekidačke matrice, ima istu vrednost kao i kod pravougaone matrice. Međutim, to još uvek ne znači da je i strujno opterećenje tih ulaza isto.

Uopšte uzevši, strujna opterećenja pojedinih ulaza piramidalne prekidačke matrice su različita. Napomenimo da veći faktor opterećenja ulaza u višestepenim mrežama ne mora da znači i veće strujno opterećenje. To je i razumljivo kad se ima u vidu, na primer, da kroz prekidačke elemente u prvom nivou mreže prolaze i struje većeg broja logičkih elemenata iz viših nivoa. Zbog toga je u principu strujno opterećenje ulaza kod višestepene mreže veće nego kod jednostepene.

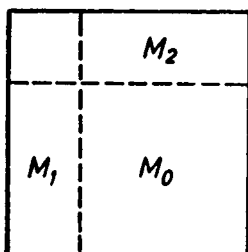
Broj pari ulaza	Broj Izlaza	Broj log. elem.	Broj prek. elem.	Najv. faktor opter. ulaza	Faktor opter. log. elem.
n	2^n	$\sum_{k=2}^{n} 2^k$	$2\sum_{k=2}^{n} 2^k$	2^{n-1}	
2	4	4	8	2	2
3	8	12	24	4	2
4	16	28	56	8	2
5	32	60	120	16	2
6	64	124	248	32	2

Tabela 6.6. Neki karakteristični podaci za piramidalne matrice

Na kraju dodajmo da su i ovde, u tabeli 6.6, navedeni neki karakteristični podaci za piramidalne prekidačke matrice sa različitim brojem ulaza.

6.3.3. Razdeljena matrica

Razdeljena matrica sastoji se u stvari od tri matrice, označene blokovima M_0, M_1 i M_2 na sl. 6.14. Centralna matrica M_0 sadrži logičke I elemente sa po dva ulaza. Ovi elementi, kojih ima 2^n, raspoređeni su u koordinatnoj matričnoj formi i omogućavaju vezu između horizontalnih i vertikalnih vodova koji dolaze iz periferijskih matričnih blokova M_1 i M_2. Blokovi M_1 i M_2 sadrže prekidačke matrice proizvoljnog tipa, preko kojih se uvode spoljašnji pobudni signali u prekidačku mrežu. Ako je mreža predviđena za n nezavisnih ulaza, onda se na blok M_1 dovodi m ulaza, pri čemu je $m < n$. Preostalih $(n - m)$ ulaza priključuje se na mrežu preko bloka M_2. Prema tome ulazi D, C, B i A kodovanog prekidača sa 16 pozicija mogu da se raspodele tako, da ulazi D i C dolaze preko bloka M_1, a B i A preko

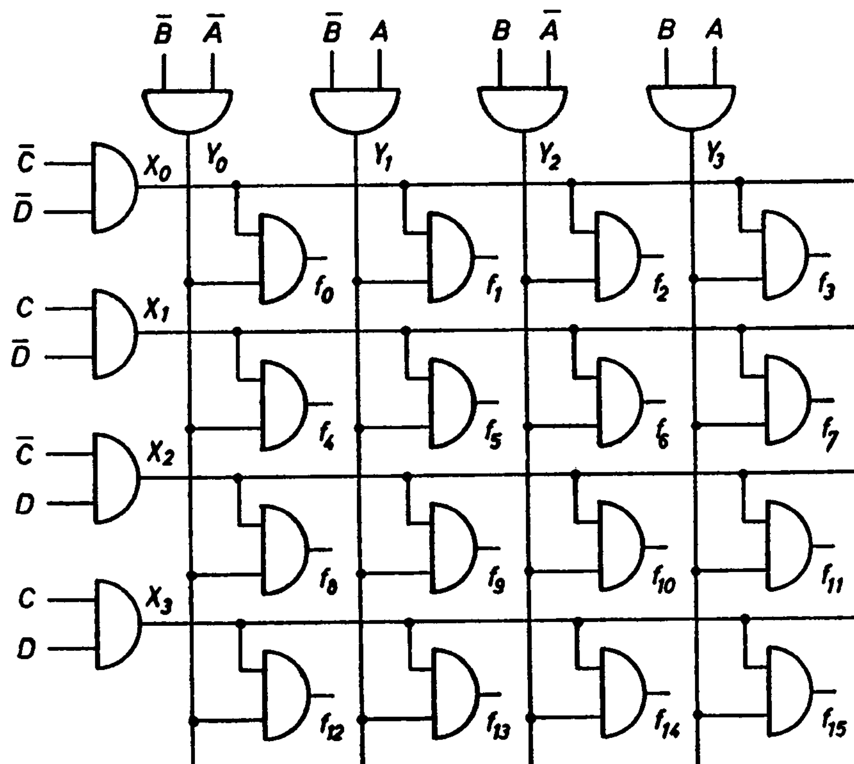


Sl. 6.14. Blok-šema razdeljene matrice

bloka M_2. Saglasno s tim, izlazne funkcije matrice, date u tabeli 6.3, mogu sada da se napišu u obliku:

$$
\begin{aligned}
f_0 &= (\bar{D}\,\bar{C})(\bar{B}\,\bar{A})\\
f_1 &= (\bar{D}\,\bar{C})(\bar{B}\,A)\\
f_2 &= (\bar{D}\,\bar{C})(B\,\bar{A})\\
&\cdots\cdots\\
f_{13} &= (D\,C)(\bar{B}\,A)\\
f_{14} &= (D\,C)(B\,\bar{A})\\
f_{15} &= (D\,C)(B\,A).
\end{aligned}
\tag{6.16}
$$

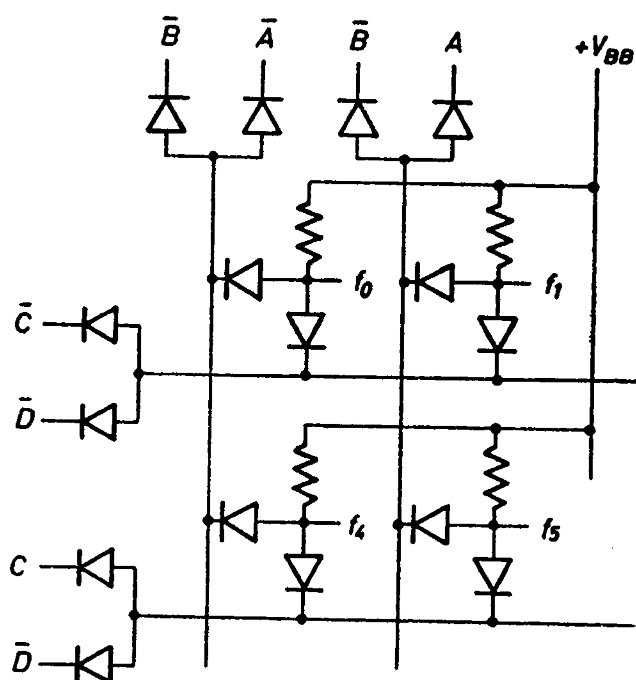
Ovi izrazi pokazuju da će razdeljena prikidačka matrica biti realizovana pomoću logičkih *I* elemenata u dva nivoa. Logički elementi u prvom nivou pripadaće periferijskim matricama M_1 i M_2, a oni u drugom nivou sačinjavaće centralnu matricu M_0.



Sl. 6.15. Razdeljena prekidačka matrica

Šema veza razdeljene prekidačke matrice, izvedene na gore opisani način, pokazana je na sl. 6.15, dok je delimična detaljna šema data na sl 6.16. Kao što se vidi, centralna matrica sadrži 16, a periferijske po 4 logička elementa sa po dva ulaza. Prema tome, ukupan broj prekidačkih elemenata iznosi 48. Ovaj broj prekidačkih elemenata je još manji nego što je bio u piramidalnoj matrici, zbog čega je ovakva koncepcija šemiranja prekidačke mreže od posebnog interesa. U cilju ubedljivije ilustracije gornje konstatacije, navedimo da je za razdeljenu prekidačku matricu sa 10 ulaza potrebno svega 2 240 prekidačkih elemenata. U poređenju sa pravougaonom matricom, to čini uštedu u prekidačkim elementima za više od 75%, a u poređenju sa piramidalnom matricom — za oko 45%.

Faktor opterećenja logičkih elemenata u periferijskim blokovima M_1 i M_2 može da bude dosta veliki. Ovaj faktor je jednak broju izlaza iz matrica M_1, odnosno M_2. U datom primeru na svaki izlaz iz blokova M_1 i M_2 priključuju se po četiri I kola iz centralnog bloka. Prema tome, maksimalni faktor opterećenja logičkih elemenata iznosi 4. Što se tiče opterećenja ulaza prekidačke mreže, ono je potpuno izbalansirano tako da faktor opterećenja svakog ulaza iznosi 2. Strujno opterećenje ulaza može da



Sl. 6.16. Delimična šema veza matrice na sl. 6.15 u diodnoj tehnici

Log. I kolo	I_{Ai}/I_R
Y_1	1,00
f_1	1,00
f_5	0,50
f_9	0,50
f_{13}	0,50
Y_3	0,50
f_3	0,50
f_7	0,25
f_{11}	0,25
f_{15}	0,25

Tabela 6.7. Komponente struja ulaza A matrice na sl. 6.15

se nađe na sličan način, kao što je pokazano kod pravougaone matrice. Ako i ovde potražimo struju ulaznog priključka A pri selektovanom izlazu $P_0=\bar{D}\bar{C}\bar{B}\bar{A}$, nalaze se komponente struja navedene u tabeli 6.7. Pri određivanju ovih struja treba uzeti u obzir logička kola vezana na vertikale Y_1 i Y_3. Primetimo da se struje sa vertikale Y_3 granaju na ulaze A i B.

Kada se izvrši sabiranje dobijenih komponenata struje, nalazi se da je ukupno strujno opterećenje ulaza A jednako $I_A=5{,}25\ I_R$. Pošto se ovde radi o izbalansiranoj matričnoj mreži, isti rezultat bi se dobio i za bilo koji drugi opterećeni ulaz. Prema tome, ovaj podatak pokazuje da je strujno opterećenje ulaza u razdeljenoj matrici veće nego u pravougaonoj. Uopšte gledano, to opterećenje može da se smanji, ako se povećaju otpornosti u logičkim kolima. Takvo rešenje, međutim, nepovoljno se odražava na brzinu rada prekidačke matrice.

Broj prekidačkih elemenata u razdeljenoj matrici dobija se pojedinačnim iznalaženjem tih elemenata u svakom bloku posebno. Prema tome je

$$N = N_0 + N_1 + N_2 \tag{6.17}$$

gde je $N_0 = 2^{n+1}$ — broj elemenata u centralnoj — koordinatnoj matrici M_0, a N_1 i N_2 — brojevi elemenata u periferijskim matricama M_1, odnosno M_2. Broj prekidačkih elemenata u ovim matricama zavisi od primenjenog tipa matrice, kao i od raspodele ulaza na jednu i drugu matricu. Ako je broj ulaza po jednoj periferijskoj matrici $m \leqslant 3$ u pogledu broja prekidačkih elemenata potpuno je svejedno koji će se tip matrice da upotrebi. Razlika postoji samo u pogledu broja nivoa mreže i ulaza logičkih kola. Tako, na primer, za $n = 6$ izvršićemo raspodelu ulaza tako, da se po

tri nezavisno promenljive veličine dovode na periferijske blokove M_1 i M_2. Ako se u ovim blokovima upotrebi pravougaoni tip matrice, ukupan broj prekidačkih elemenata u razdeljenoj matrici iznosi

$$N = 2^{n+1} + 2(m \cdot 2^m) = 128 + 2 \cdot 24 = 176,$$

pri čemu je $m = n/2 = 3$.

U slučaju da su u periferijskim blokovima upotrebljene matrice piramidalnog oblika, za razdeljenu matricu u pogledu broja prekidačkih elemenata dobija se isti rezultat:

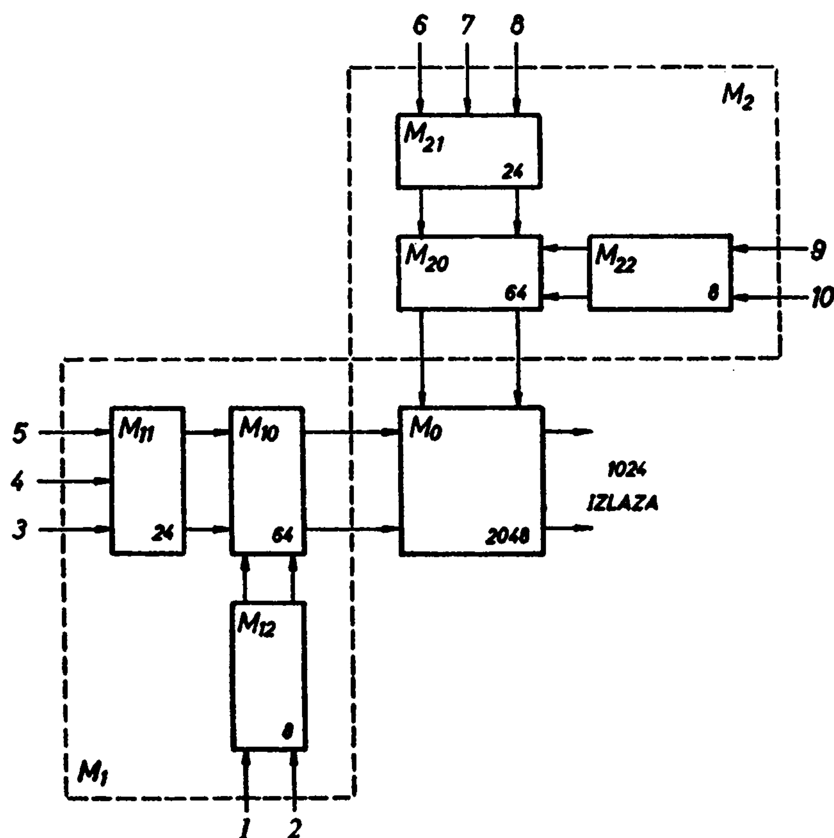
$$N = 2^{n+1} + 2 \sum_{k=3}^{m+1} 2^k = 176.$$

Iako je broj prekidača u oba slučaja isti, prva mreža se rešava u dva, a druga u tri nivoa. S druge strane, u prvom slučaju potrebna su I kola sa dva i sa tri ulaza, dok u drugom — samo sa dva ulaza.

Ista matrična mreža može da se ostvari i tako, što će se šest nezavisnih ulaza razdeliti na periferijske matrice nesimetrično, recimo sa $m_1 = 2$ i $m_2 = 4$. Primenjujući u bloku M_1 pravougaonu matricu, a u bloku M_2 — razdeljenu, ukupan broj prekidačkih elemenata u ovakvoj mreži je

$$N = 128 + 8 + 48 = 184.$$

Ovaj primer ilustruje poznati stav, da je za sintezu matrične mreže najpovoljnije da se izvrši balansiranje, odnosno simetrična raspodela ulaza na periferijske blokove.



Sl. 6.17. Blok-šema razdeljene matrice sa 10 ulaza. U svakom bloku je upisan broj upotrebljenih prekidačkih elemenata

Pokažimo još jedan primer sastavljanja složenije mreže u obliku razdeljene prekidačke matrice. Matrica treba da bude predviđena za prijem deset ulaznih signala ($n = 10$), što znači da će da ima $2^{10} = 1024$ izlaza. Blok-šema ovakve mreže data je na sl. 6.17. Centralni blok je M_0 i on ima $2^{10+1} = 2048$ prekidačkih elemenata.

Periferijski blokovi su M_1 i M_2. Raspodela ulaza izvršena je tako, da prvih 5 pripada bloku M_1 a drugih 5 bloku M_2. Pošto je pokazano da je za više od tri ulaza najpovoljnije da se upotrebi oblik razdeljene matrice, to su i matrice M_1 i M_2 rešene na tom principu. Naime, centralni blok M_{10} matrice M_1 sadržaće $2^{5+1}=64$ prekidačka elementa. Periferijski blokovi M_{11} i M_{12} imaju 3 odnosno 2 ulaza, što je najpribližnije balansiranoj raspodeli. Tip matrice u ovim blokovima je potpuno irelevantan sa gledišta broja prekidačkih elemenata, jer blok M_{11} mora da sadrži 24, a blok M_{12} — 8 elemenata. Stoga ćemo u bloku M_{12} (a takođe i u M_{22}) koristiti pravougaoni tip matrice. U bloku M_{11} (a takođe i u M_{21}) upotrebićemo, ipak, piramidalni oblik matrice, radi unifikacije potrebnih logičkih elemenata. Time se najveći broj nivoa logičke mreže povećava za jedan, ali su svuda upotrebljena identična *I* kola sa po dva ulaza. Naime, broj nivoa mreže za ulaze 1, 2, 9 i 10 je tri, dok je za ostale — četiri. Ukupan broj logičkih *I* kola kao i prekidačkih elemenata za ovu matričnu mrežu, izvedenu u diodnoj tehnici, dat je u tabeli 6.8.

Blok	Broj Log. I kola	Broj prek. elem.
M_0	1024	2048
M_{10}	32	64
M_{11}	12	24
M_{12}	4	8
M_{20}	32	64
M_{21}	12	24
M_{22}	4	8
Ukupno	1120	2240

Tabela 6.8. Broj logičkih i prekidačkih elemenata u matrici na sl. 6.17

6.3.4. Poređenje tipova prekidačkih matrica

Višeizlazna prekidačka mreža, opisana Bulovom matričnom funkcijom, može — kao što smo videli — da bude realizovana u obliku matrične mreže pravougaonog, piramidalnog ili razdeljenog tipa. Međutim, karakteristike različito izvedenih prekidačkih matrica nisu iste, ne samo u pogledu ekonomičnosti realizacije, već i u pogledu nekhi drugih parametara kao što su: broj nivoa mreže, faktor opterećenja logičkih elemenata, opterećenje ulaza mreže itd. Pošto je, ipak, za ocenu valjanosti matrične mreže od prvorazrednog značaja broj angažovanih prekidačkih elemenata, to se mora nastojati da se taj broj što više smanji. U tom cilju, kao prvo, istaknimo i ovde, treba po mogućstvu što više da se uproste polazne prekidačke funkcije izbacujući iz nje sve suvišne članove. Dalja ušteda prekidačkih elemenata u matrici postiže se izvođenjem matrice u više nivoa. U tabeli 6.9 dati su neki podaci za navedene tipove matrica,

Broj pari ulaza	Broj izlaza	Prekidačka matrica					
		Pravougaona		Piramidalna		Razdeljena	
		Broj prekid. elemen.	Broj nivoa	Broj prekid. elemen.	Broj nivoa	Broj prekid. elemen.	Broj nivoa
2	4	8	1	8	1	8	1
3	8	24	1	24	2	24	2
4	16	64	1	56	3	48	2
5	32	160	1	120	4	96	3
6	64	384	1	248	5	176	3
7	128	896	1	504	6	328	3
8	256	2 048	1	1 016	7	608	3
9	512	4 608	1	2 040	8	1 168	4
10	1 024	10 240	1	4 088	9	2 240	4

Tabela 6.9. Neki uporedni podaci za razne tipove prekidačkih matrica

koji uglavnom ilustruju ekonomičnost njene izgradnje. Iz podataka za broj prekidačkih elemenata vidi se, da on naglo raste sa povećanjem broja ulaza n. U ovom pogledu pravougaona matrica stoji najgore, jer se kod nje pri svakom povećanju vrednosti n samo za jedan, broj prekidačkih elemenata uvećava za preko dva puta. Zbog toga će se sigurno ovaj oblik matrice da koristi samo pri malom broju ulaznih signala. Pri konstrukciji prekidačke mreže sa većim brojem ulaza, međutim, svakako je najpovoljnije da se upotrebi razdeljeni tip matrice, kao što je to pokazano na sl. 6.17.

U pogledu nivoa mreže, najbolje stoji pravougaona matrica. Međutim, ona iziskuje logičke elemente, čiji je broj ulaza jednak broju pobudnih signala. Na suprot tome, piramidalna matrica rešava se pomoću logičkih elemenata sa po dva ulaza, ali sa porastom broja ulaza matrice raste i broj nivoa mreže. To nesumnjivo dovodi do smanjenja logičke amplitude napona, a isto tako ograničava i brzinu rada prekidačke mreže. U tom pogledu razdeljeni tip matrice predstavlja svakako povoljniji izbor, jer se pomoću *I* kola sa po dva ulaza rešavaju matrične mreže sa zaključno 16 ulaza u samo četiri nivoa.

6.4. PRIMENE PREKIDAČKIH MATRICA

Već je rečeno da se prekidačke matrice u praktičnoj primeni obično nazivaju prema funkciji koju obavljaju u jednom složenom digitalnom sistemu. U nekim specifičnim uslovima primene koriste se samo neki a ne svi raspoloživi izlazi matrice. Takve matrice su, znači, nepotpune, za razliku od potpunih matrica, o kojima je do sada bilo reči. Zahvaljujući neiskorišćenim izlazima matrice, prekidačke funkcije za preostale izlaze mogu da budu još više uprošćene, što je, razume se, od interesa u pogledu ekonomičnosti praktičnog izvođenja matrice.

Najčešća primena prekidačkih matrica susreće se pri manipulisanju sa različitim numeričkim sistemima. Tu se matrice koriste kao koderi, dekoderi i konvertori koda. Dalje, matrice nalaze primenu kao komparatori numeričkih vrednosti. Osim toga, one se upotrebljavaju kao višepoložajni prekidači, koji se izgrađuju u vidu selektora, komutatora, distributora itd. U ovu grupu došle bi i koordinatne — adresne matrice, zatim matrice koje se koriste u generatorima funkcija, raznim indikatorskim sistemima i vizuelnim sistemima uopšte, itd. Neke od navedenih primena prekidačkih matrica biće nešto detaljnije obrađene u daljem izlaganju.

6.4.1. Koder

Numeričko predstavljanje informacija u cilju obrade u digitalnim uređajima vrši se pomoću simbola nekog brojnog sistema. Takav jedan sistem, koji se najviše koristi u digitalnoj obradi podataka uopšte, jeste binarni. Neosporno je, međutim, da je za izražavanje numeričkih vrednosti najpogodniji decimalni sistem. Zbog toga je, kao što nam je poznato, formiran mešoviti binarno-kodovani decimalni sistem — *BCD*. U ovom sistemu svaka decimalna cifra se predstavlja određenom grupom binarnih cifara. Raspored binarnih cifara u tim grupama određen je zakonitošću usvojenog koda. Zbog toga se postupak izražavanja decimalnih cifara pomoću binarno kodovanih slogova naziva kodovanje, a logička mreža, sa kojom se obavlja postupak kodovanja, naziva se koder ili enkoder. U većini slučajeva takva mreža je prekidačka matrica.

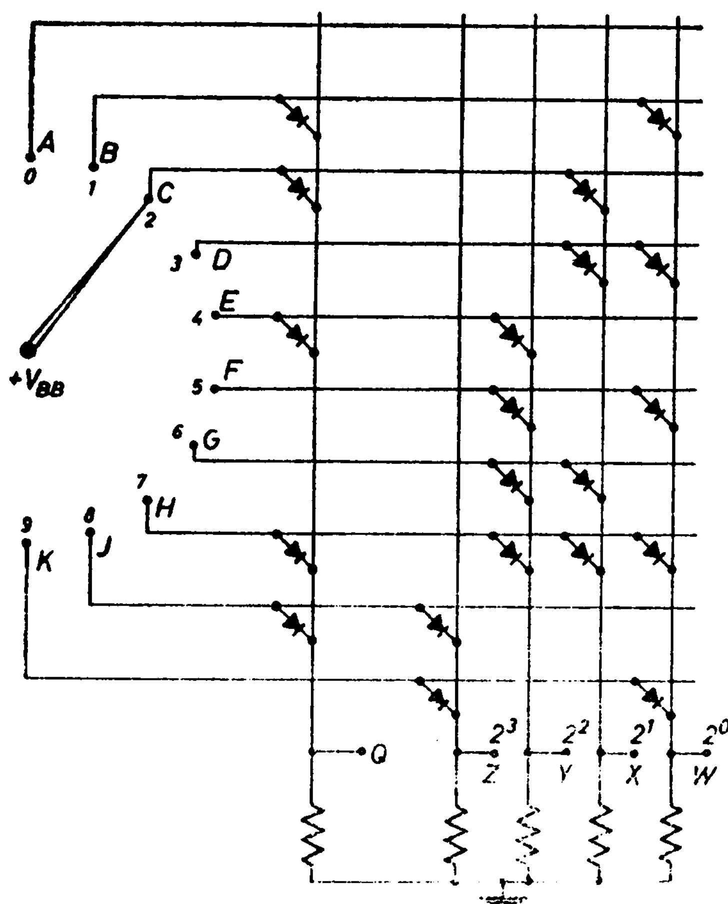


Sl. 6.18. Blok-šema kodera

Na sl. 6.18 prikazana je blok-šema kodera, koga u stvari sačinjava koderska matrica bilo kog tipa. U principu takva matrica ima 2^n ulaza i n izla-

za, ako se koristi u potpunoj formi. Tako, na primer, koder, koji se upotrebljava za kodovanje slova, treba da ima oko 30 ulaza. To znači da kodne grupe moraju da sadrže bar po pet cifara, te je stoga broj izlaza kodera dat vrednošću $n = 5$.

Za kodovanje deset decimalnih cifara, kodni slogovi moraju imati najmanje po četiri binarne cifre, te otuda takav koder poseduje četiri izlaza. Ako se, pored toga, uvede i kontrola parnosti, što se redovno primenjuje pri prenosu binarnih podataka, na primer telefonskim linijama, onda će kodne grupe da sadrže po pet binarnih cifara, prema tome, koder će da ima pet izlaza. Jedan takav koder za transformaciju decimalnih cifara u *BCD* cifre prirodnog binarnog koda 8421 sa kontrolom parnosti bita prikazan je sasvim uprošćeno na sl. 6.19. Pri sintezi koderske matrice pošlo se od



Ulazi		Izlazi	
Dec. cifra	Simbol	Kontr. parn. Q	Binarne tetrade ZYXW
0	A	0	0 0 0 0
1	B	1	0 0 0 1
2	C	1	0 0 1 0
3	D	0	0 0 1 1
4	E	1	0 1 0 0
5	F	0	0 1 0 1
6	G	0	0 1 1 0
7	H	1	0 1 1 1
8	J	1	1 0 0 0
9	K	0	1 0 0 1

Tabela 6.10. Kombinaciona tabela kodera decimalnih cifara

Sl. 6.19. Koder *BCD*8421 sa kontrolom parnosti

kombinacione tabele 6.10. Na osnovu navedenih vrednosti ispisane su izlazne funkcije matrice, sačinjene od zbirova logičkih proizvoda, koji se ovde svode samo na po jednu promenljivu. Te funkcije su:

$$\begin{aligned} Q &= B + C + E + H + J \\ Z &= J + K \\ Y &= E + F + G + H \\ X &= C + D + G + H \\ W &= B + D + F + H + K \end{aligned} \tag{6.18}$$

Prva funkcija odnosi se na kontrolu parnosti, dok ostale daju binarne tetrade cifara u kodu 8421. Gornje jednačine mogu da se napišu i u matričnom obliku:

$$\begin{bmatrix} Q \\ Z \\ Y \\ X \\ W \end{bmatrix} = \begin{bmatrix} 0 & 1 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \end{bmatrix} \begin{bmatrix} A \\ B \\ C \\ D \\ E \\ F \\ G \\ H \\ J \\ K \end{bmatrix} \quad (6.19)$$

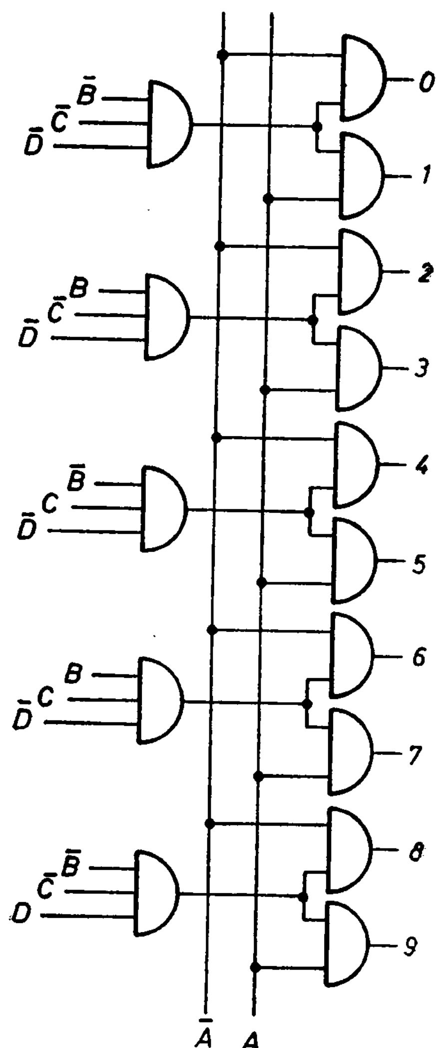
Ova matrica ukazuje pre svega da su logički *I* elementi nepotrebni, pošto *P* članovi matrice sadrže samo po jednu promenljivu. Osim toga, prva kolona *B* matrice, kao i član *A* iz *P* matrice, su suvišni. Najzad, veći broj jedinica u redovima *B* matrice pokazuje da se u realizaciji mreže moraju da koriste *ILI* kola. Prema svemu tome je i šemirana prekidačka matrica na sl. 6.19, čija izlazna funkcija sleduje kôd *BCD* 8421 sa parnim brojem jedinica.

6.4.2. Dekoder

Digitalna obrada podataka nameće korišćenje nekog kodovanog brojnog sistema, koji je pogodan za tehničko izvođenje postupaka obrade, ali ne i za prezentiranje dobijenih rezultata. Zbog toga se kodovana slova abecede, ili binarno kodovane decimalne cifre, moraju konačno da transliraju u uobičajene simbole za slova abecede, odnosno za cifre u decimalnom brojnom sistemu. Postupak prevođenja binarno kodovane informacije u neki pogodniji oblik za opštu upotrebu, naziva se dekodovanje, a logička mreža koja ima takvu funkciju, je dekoder ili translator. Naziv dekoder često ima i daleko šire značenje, skoro isto što i prekidačka matrica. To samo ukazuje na široku primenu ovakvog tipa logičke mreže.

Blok-šema dekodera ista je kao i ona na sl. 6.18, samo što je treba koristiti u obrnutom smeru. Za razliku od kodera, dekoder, znači, ima n ulaza i 2^n izlaza. Prema tome, takve mreže su nam već dovoljno poznate. Primera radi, ovde ćemo pokazati neke mogućnosti sinteze dekodera *BCD* cifara. Ako se opet držimo sistema *BCD* 8421, navedeni dekoder mora da raspolaže sa četiri ulaza i deset izlaza. Kombinaciona tabela dekodera u potpunom obliku, tj. sa svih mogućih 16 izlaza, data je u tabeli 6.3. Pošto je ovde potrebno samo deset izlaza, radi se, dakle, o nepotpunoj dekoderskoj matrici. U prirodnom *BCD* sistemu koriste se prvih deset kombinacija ulaznih signala *D*, *C*, *B* i *A* iz tabele 6.3 Prema tome, takav dekoder je već prikazan na sl. 6.10, s tim što treba da se izostave izlazne funkcije od f_{10} do f_{15}. U takvom dekoderu upotrebljeno je ukupno 40 prekidačkih elemenata. Broj ovih elemenata može da se smanji na 34, ako se dekoder izvede u obliku razdeljene prekidačke matrice. Takav dekoder već postoji na sl. 6.15, s tim što ovde treba da se izostave logički elementi X_3 i f_{10} do f_{15}. Najzad, često se koristi i dekoder izveden prema sl. 6.20. Ovaj dekoder u prvom nivou daje pet izlaza, pa se onda, dodavanjem ulaza *A* i $\bar{A}$, ovaj broj izlaza udvostručava na deset. Zbog toga se ovakav koder naziva bikvinarni. Inače, on sadrži dva logička kola manje, ali jedan prekidački element više, od navedenog dekodera na sl. 6.15.

Zahvaljujući činjenici, da *BCD* dekoder ne koristi sve raspoložive izlaze, moguće je izvesti minimizaciju, odnosno uprošćavanje izlaznih funkcija f_{0-9}. U tom cilju na sl. 6.21 ucrtana je Karnoova tablica sa 16 polja. Svako polje je predviđeno za upisivanje po jedne izlaznefunkcijepotpunog dekodera sa četiri ulaza. Odabrani izlaz upisuje se pomoću simbola „1“ u odgovarajuće polje. Ostali izlazi, koji su predviđeni za korišćenje, upisuje se pomoću simbola „0“. Izlazi, koji ne dolaze u obzir za korišćenje, konkretno f_{10-15}, obeleženi su u odgovarajućim poljima simbolom „x“. Logička vrednost ovih izlaza nije važna, te se može pretpostaviti da je jednaka nuli ili jedinici. U postupku minimizacije funkcija za izlaze f_{0-9} pretpostavićemo da pseudofunkcije f_{10-15} imaju vrednost jedinice.



Sl. 6.20. Bikvinarni dekoder *BCD* 8421

Karnoova tablica pokazuje da funkcija f_0 i f_1 ne mogu da budu uprošćene. U funkcijama f_2 i f_3 može da izostane promenljiva *D*, ako se one kombinuju sa pseudofunkcijama f_{10} i f_{11}. Naime,

$$f_2 = \bar{D}\bar{C}B\bar{A} + D\bar{C}B\bar{A} = \bar{C}B\bar{A}.$$

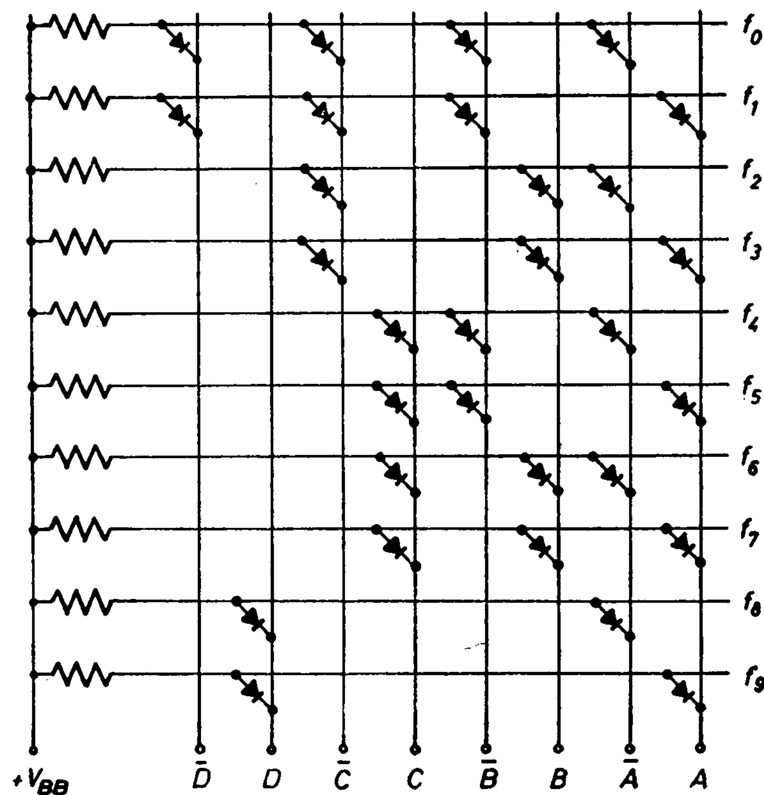
DC \ BA	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12 X	13 X	15 X	14 X
10	8	9	11 X	10 X

Sl. 6.21. Karnoova tablica za minimizaciju funkcija f_0—f_9

Na sličan način eliminiše se promenljiva *D* iz funkcija $f_{4,5,6,7}$, ako im se respektivno dodadu pseudofunkcije $f_{12,13,14,15}$. Najzad spajajući polje za funkciju f_8 sa poljima funkcija $f_{10,12,14}$, kao i polje za funkciju f_9 sa poljima funkcija $f_{11,13,15}$, iz izraza za f_8 i f_9 biće eliminisane promenljive *C* i *B*. Prema tome, matrična funkcija *BCD* dekodera sa minimiziranim izlaznim funkcijama biće:

$$\begin{bmatrix} f_0 \\ f_1 \\ f_2 \\ f_3 \\ f_4 \\ f_5 \\ f_6 \\ f_7 \\ f_8 \\ f_9 \end{bmatrix} = \begin{bmatrix} 1\,0\,0\,0\,0 & 0\,0\,0\,0\,0 \\ 0\,1\,0\,0\,0 & 0\,0\,0\,0\,0 \\ 0\,0\,1\,0\,0 & 0\,0\,0\,0\,0 \\ 0\,0\,0\,1\,0 & 0\,0\,0\,0\,0 \\ 0\,0\,0\,0\,1 & 0\,0\,0\,0\,0 \\ 0\,0\,0\,0\,0 & 1\,0\,0\,0\,0 \\ 0\,0\,0\,0\,0 & 0\,1\,0\,0\,0 \\ 0\,0\,0\,0\,0 & 0\,0\,1\,0\,0 \\ 0\,0\,0\,0\,0 & 0\,0\,0\,1\,0 \\ 0\,0\,0\,0\,0 & 0\,0\,0\,0\,1 \end{bmatrix} \begin{bmatrix} \bar{D}\bar{C}\bar{B}\bar{A} \\ \bar{D}\bar{C}\bar{B}A \\ \bar{C}B\bar{A} \\ \bar{C}BA \\ C\bar{B}\bar{A} \\ C\bar{B}A \\ CB\bar{A} \\ CBA \\ D\bar{A} \\ DA \end{bmatrix} \qquad (6.20)$$

Ova matrična funkcija pokazuje da se dekoder realizuje samo pomoću logičkih *I* kola, ali sa različitim brojem ulaza. Takav dekoder ucrtan je na sl. 6.22. Umesto 40, vidi se da ovaj dekoder sadrži svega 30 prekidačkih elemenata, te je u tom pogledu povoljniji od standardnog — potpunog dekodera. Pa ipak, dodajmo, da kod ovog dekodera može da dođe do pogrešnog rada, ukoliko nije sprečena mogućnost formiranja



Sl. 6.22. Uprošćeni dekoder *BCD*8421

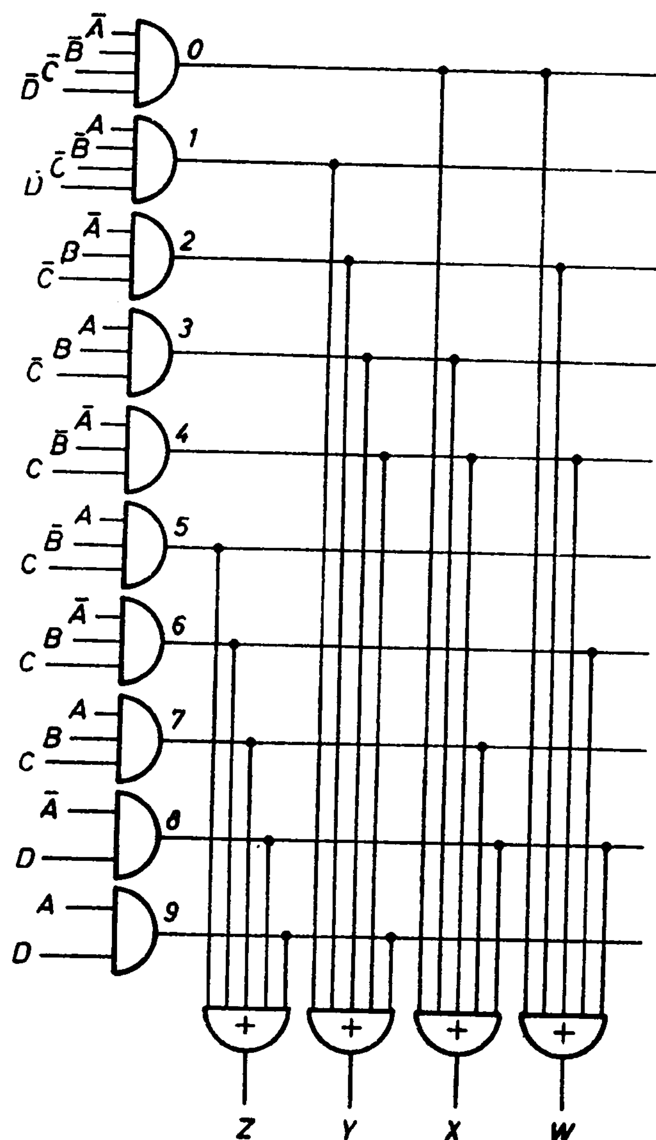
neke od nekorišćenih kombinacija signala na ulazu. Na primer, izlaz f_9 biće aktiviran ne samo pri tetradi P_9, nego i pri slučajnom pojavljivanju pseudotetrada P_{11}, P_{13} ili P_{15}. Zbog toga u sistemu, koji koristi uprošćeni dekoder, mora da bude posebnim merama obezbeđena pouzdanost njegovog jednoznačnog dekodovanja.

6.4.3. Konvertor koda

Prekidačke matrice mogu da se upotrebe za konverziju jednog koda u drugi. Ovaj postupak u stvari sadrži dva ranija postupka: dekodovanje i kodovanje. Samo, dok su ovi postupci bili vezani za decimalni brojni sistem, dotle je konverzija koda u tom pogledu generalnija, pošto se radi o transformaciji oblika informacije iz bilo kog u neki drugi numerički sistem. U većini slučajeva, međutim, konverzija koda odnosi se na promenu kodnih grupa sa kojima se decimalne cifre izražavaju u binarnom brojnom sistemu. Pri tom se u stvari informacija iz jednog binarnog koda dekoduje u decimalni, pa se onda vrši kodovanje u drugi binarni kod. Prema tome, konvertor koda nije ništa drugo do istovremena sprega dekodera i kodera.

Razmotrimo kao primer konverziju prirodnog koda *BCD*8421 u kod „više 3". O ovom kodu bilo je reči u ranijem izlaganju, a ovde ponovimo samo toliko, da se tu

radi opet o prirodnom toku binarnih tetrada, koje su samo pomerene „na više“ za brojnu vrednost 3. Prema tome, rad pomenutog konvertora može da se prikaže kombinacionom tabelom 6.11. Ova tabela pokazuje da konvertorska matrična mreža



Sl. 6.23. Konvertor koda *BCD*8421 u kod „više 3“

BCD ulazi 8 4 2 1	Decim. cifra	*BCD* izlazi „više 3“ Z Y X W
$\bar{D}\bar{C}\bar{B}\bar{A}$	0	0 0 1 1
$\bar{D}\bar{C}\bar{B}A$	1	0 1 0 0
$\bar{C}B\bar{A}$	2	0 1 0 1
$\bar{C}BA$	3	0 1 1 0
$C\bar{B}\bar{A}$	4	0 1 1 1
$C\bar{B}A$	5	1 0 0 0
$CB\bar{A}$	6	1 0 0 1
CBA	7	1 0 1 0
$D\quad\bar{A}$	8	1 0 1 1
$D\quad A$	9	1 1 0 0

Tabela 6.11. Kombinaciona tabela konvertora koda

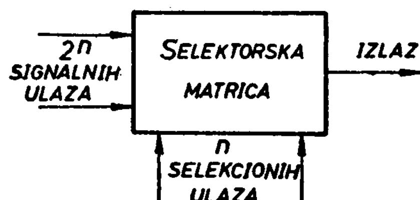
ima deset logičkih *I* kola na ulazu, što u stvari čini identičan dekoder sa onim na sl. 6.22. Osim toga, matrica sadrži i četiri logička *ILI* kola na izlazima *Z*, *Y*, *X* i *W*. Jedinice u kolonama izlaza određuju veze izlaznih i ulaznih kola. Prema tome, šema konvertora izvedena pomoću logičkih *I* i *ILI* elemenata izgleda kao na sl. 6.23. Ona sadrži 14 logičkih kola, odnosno 50 prekidačkih elemenata. Napomenimo u vezi s tim, da se ista konverzija koda može da ostvari sa još manjim brojem komponenata u slučaju da je prethodno izvršeno uprošćavanje izlaznih funkcija. Na primer, odmah pada u oči da se izlaz *W* pojavljuje kadgod postoji ulaz $\bar{A}$. To znači da logički element na izlazu *W* nije ni potreban, jer se ovaj izlaz može direktno da spoji sa ulazom $\bar{A}$.

6.4.4. Selektor, distributor i komutator

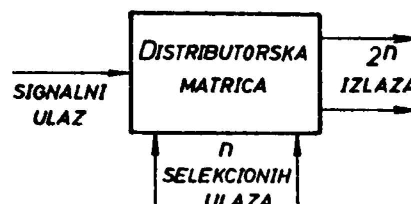
Selektor i distributor su ista kola po osnovoj koncepciji rada, a u neku ruku su suprotna po namenjenim funkcijama. Naime, iz mnoštva prisutnih informacija na ulazu selektor bira jednu određenu i prenosi je na jedan jedini postojeći izlaz. Distributor, međutim, preko samo jednog postojećeg ulaza prima informaciju i prenosi je na određeni izlaz, koji je izabran od više postojećih. Da bi se u prvom slučaju mogao da odabere željeni ulaz, preko koga se prima informacija, a u drugom da se odabere

željeni izlaz, kome se upućuje informacija, ovakve mreže imaju dve grupe ulaza: signalne i selekcione ulaze.

Na sl. 6.24 data je blok-šema selektora. Kao što se vidi on ima n selekcionih ulaza, koji omogućavaju izbor jednog od 2^n postojećih signalnih ulaza. Svaki izabrani ulaz spaja se posredstvom logičkih elemenata sa izlazom. U nekim primenama selek-



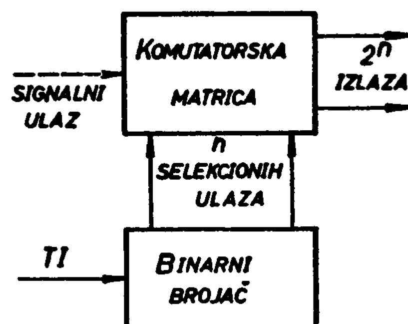
Sl. 6.24. Blok-šema selektrora



Sl. 6.25. Blok šema distributora

tora, selekcioni ulazi nisu ništa drugo do adrese pojedinih kanala ili prenosnih vodova sa kojih se dobijaju raspoložive informacije (na primer pri čitanju memorisane informacije sa magnetnog doboša).

Na sl. 6.25 data je blok-šema distributora. Kod njega postoji jedan signalni ulaz, a posredstvom n selekcionih ulaza bira se jedan od 2^n izlaza. I u ovom slučaju selekcioni ulazi često sadrže adrese kanala ili vodova na koje se upućuje dati signal informacije (na primer pri upisivanju informacije u magnetni doboš preko magnetne glave).



Sl. 6.26. Blok-šema komutatora

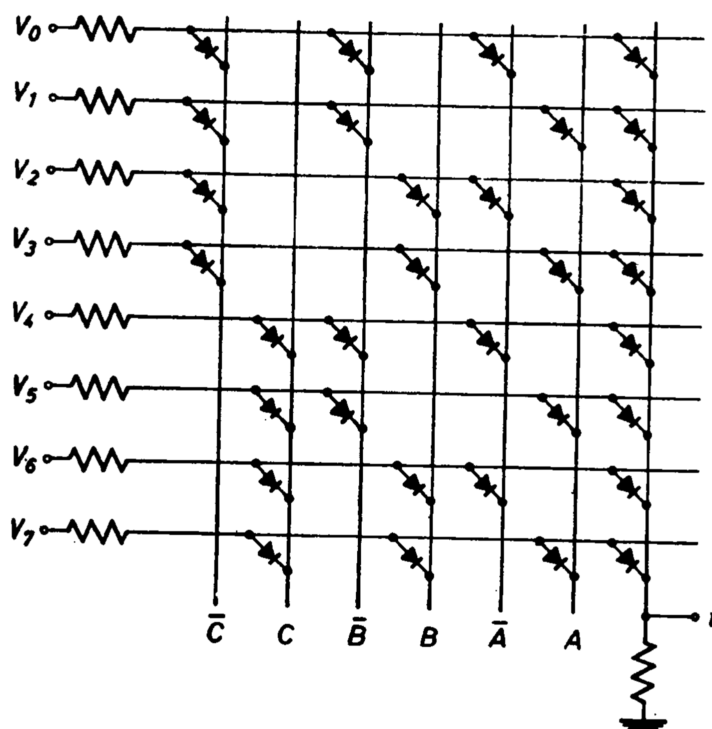
Komutator je u stvari distributor kod koga je redosled odabiranja izlaza unapred određen, sl. 6.26. Taj redosled je obično utvrđen kombinacijama stanja binarnog brojača, koga pobuđuju takt-impulsi *TI*. Ako se radi o četvorobitnom brojaču, on će na ulazu komutatorske matrice da formira prirodni binarni redosled tetrada, koje su navedene u tabeli 6.3. Dati redosled tetrada uslovljava isti redosled biranja izlaza komutatora. Prema tome, po završenoj izmeni 16 mogućih kombinacija binarnih vrednosti na selekcionim ulazima, ciklus biranja izlaza komutatora se ponavlja. Ako se na svaki izabrani izlaz dovodi informacija sa jednog signalnog ulaza, koji je na sl. 6.26 naznačen crticama, onda se u stvari radi samo o jednom specijalnom distributoru. Međutim, komutator obično ne raspolaže signalnim ulazom, pa se njegova uloga svodi na to, da formira određene binarne kombinacije na izlazu, koje će da posluže za aktiviranje nekih drugih prekidača, na primer u nekim prenosnim kanalima. Prema ovoj ulozi, komutator više odgovara kanalnom prekidaču, pa se često tako i naziva.

U cilju bližeg upoznavanja napred navedenih prekidačkih mreža, prikazaćemo sintezu matrične mreže jednog selektora. Neka je broj selekcionih ulaza mreže $n = 3$. Prema tome selektor može da ima najviše $2^n = 8$ signalnih ulaza. Na ovim ulazima prisutni su logički signali u vidu napona V_i, gde je $i = 0, 1, 2, \ldots 7$. Selektovani izlaz, prema tome, funkcija je ne samo selekcionih ulaza, već i odgovarajućeg logičkog stanja signala na odgovarajućem signalnom ulazu. Selekcioni ulazi određeni su logičkim proizvodima tri promenljive, čije se vrednosti nalaze u tabeli 6.2.

Izlazna funkcija selektora može da se napiše u matričnom obliku:

$$[f] = [1\ 1\ 1\ 1\ \ 1\ 1\ 1\ 1] \begin{bmatrix} P_0\, V_0 \\ P_1\, V_1 \\ P_2\, V_2 \\ P_3\, V_3 \\ P_4\, V_4 \\ P_5\, V_5 \\ P_6\, V_6 \\ P_7\, V_7 \end{bmatrix} \tag{6.21}$$

Ova prekidačka matrica može da se realizuje pomoću osam *I* i jednog *ILI* kola, sl. 6.27. Zapazimo da su signalni ulazi V_i dovedeni preko otpora opterećenja odgovarajućih *I* kola. Time je smanjen broj prekidačkih elemenata u *I* kolima i eliminisana je



Sl. 6.27. Selektor sa osam signalnih ulaza

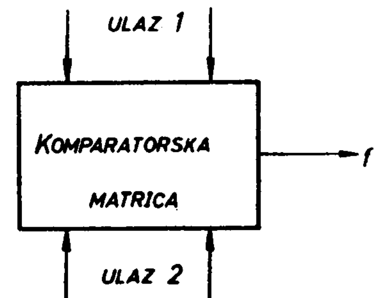
potreba baterije za napajanje. Zbog toga je, razumljivo, potrebna veća logička amplituda signala V_i da bi se na izlazu selektora obezbedila sigurna diskriminacija logičkih nivoa napona.

6.4.5. Komparator

Komparator je složena prekidačka mreža pomoću koje se vrši upoređivanje binarnih vrednosti. Postupak komparacije sastoji se u tome da se izvrši provera jednakosti svakog bita iste pozicione vrednosti u dva binarna broja, pri čemu se jednakost registruje logičkom jedinicom, a nejednakost logičkom nulom. Razumljivo je

da će upoređivani binarni brojevi biti jednaki samo u slučaju kada se na izlazu komparatora bude registrovalo onoliko jedinica koliko upoređivani brojevi imaju bita.

Blok-šema opisanog bit-komparatora data je na sl. 6.28. Na ulaze 1 i 2 dovode se binarni brojevi. Broj ulaznih priključaka na ovim ulazima određen je kapacitetom cifara upoređivanih binarnih brojeva. Uzmimo kao primer četvorocifrene brojeve, odnosno izraze date promenljivim D, C, B i A. Neka su na ulazu 1 priključene promenljive D_1, C_1, B_1 i A_1, a na ulaz 2 odgovarajuće vrednosti promenljivih D_2, C_2, B_2, i A_2. Upoređujući promenljive sa istim pozicionim vrednostima, dolazi se do komparatorskih jednačina:



Sl. 6.28. Blok-šema komparatora bita

$$\begin{aligned} f_A &= \bar{A}_1 \bar{A}_2 + A_1 A_2 \\ f_B &= \bar{B}_1 \bar{B}_2 + B_1 B_2 \\ f_C &= \bar{C}_1 \bar{C}_2 + C_1 C_2 \\ f_D &= \bar{D}_1 \bar{D}_2 + D_1 D_2. \end{aligned} \tag{6.22}$$

Konačni rezultat gornje komparacije biće izražen jednačinom

$$f = f_D f_C f_B f_A. \tag{6.23}$$

Realizacija jednačine (6.22) iziskuje osam *I* i četiri *ILI* elementa sa po dva ulaza. Pored toga potrebno je još jedno *I* kolo sa četiri ulaza za realizaciju jedn. (6.23). Šema komparatorske matrice, izvedena prema datim jednačinama, pokazana je na sl. 6.29. Matrica ima osam pari ulaza, na koje se dovode upoređivane veličine. Rezultat upoređivanja po bitima određene pozicione vrednosti pokazuje se na izlazima $f_{D, C, B, A}$ odgovarajućih *ILI* kola. Ovi izlazi na komparatoru ne moraju da postoje. Konačni rezultat komparacije datih brojnih vrednosti pojavljuje se na izlazu f logičkog *I* kola sa četiri ulaza. Na ovom izlazu uspostaviće se stanje logičke jedinice samo ako su svi prethodni izlazi $f_{D, C, B, A}$ takođe u stanju jedinice, a to znači kada su svi odgovarajući biti u upoređivanim brojevima jednaki. Razume se da se postupak komparacije može da izvede i postupno, privodeći parove odgovarajućih vrednosti jednom istom bit-komparatoru određenim vremenskim redosledom. Pri tome postupak komparacije može da se prekine čim se naiđe na prvu nepodudarnost upoređivanih veličina. Za razliku od prethodnog, ovaj način komparacije angažuje manji broj logičkih elemenata u komparatorskoj matričnoj mreži, ali je postupak komparacije sporiji i zavisan od broja bita u upoređivanim brojevima.

Problem komparacije u navedenom primeru može da se reši uz angažovanje nešto manjeg broja logičkih elemenata, ako se pri analizi komparatora umesto logičkih proizvoda iskoriste logički zbirovi promenljivih veličina. Naime, funkcija f_A može da se napiše kao logički zbir članova proizvoda ili kao logički proizvod članova zbira:

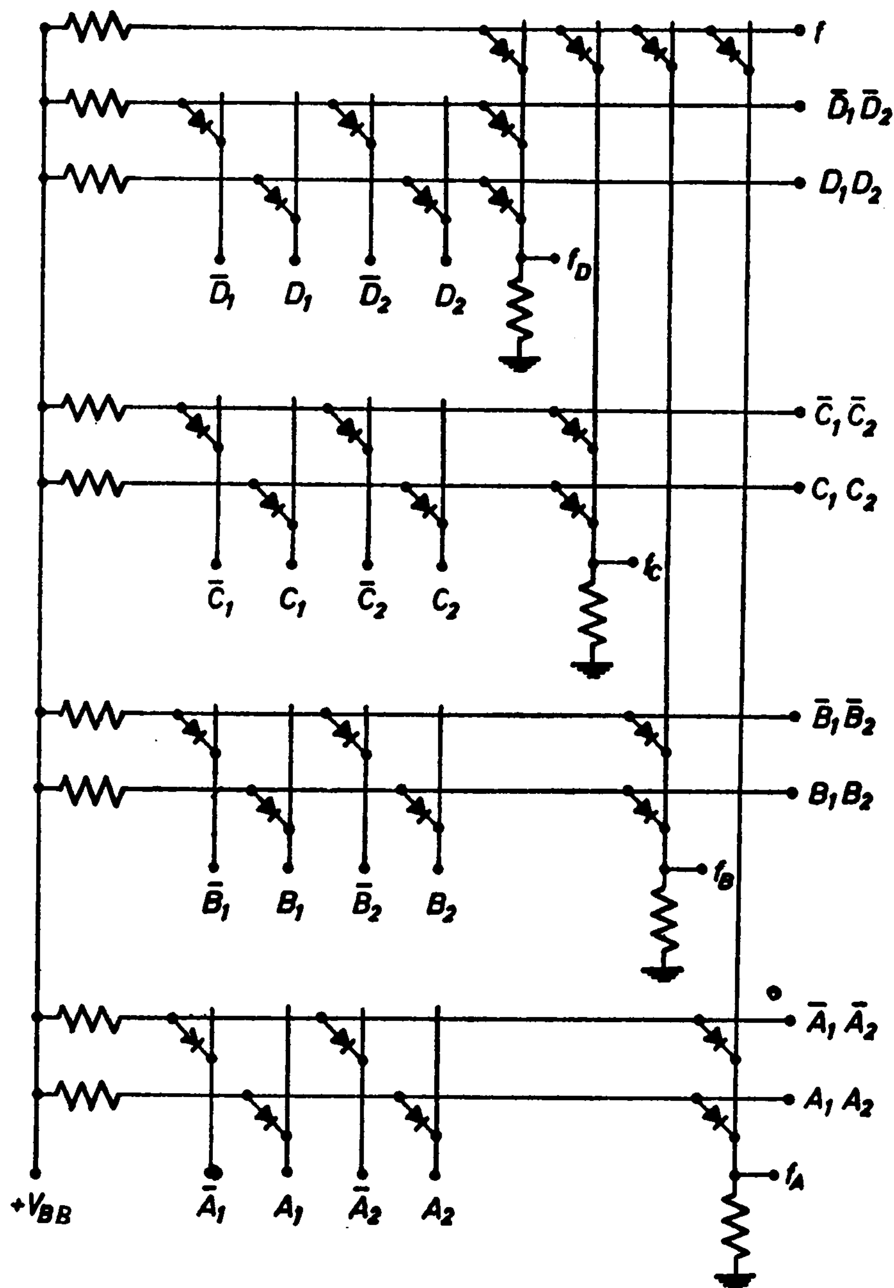
$$f_A = \bar{A}_1 \bar{A}_2 + A_1 A_2$$

ili

$$f_A = (A_1 + \bar{A}_2)(\bar{A}_1 + A_2). \tag{6.24}$$

Prema tome, jednačina (6.23) može da se napiše u obliku:

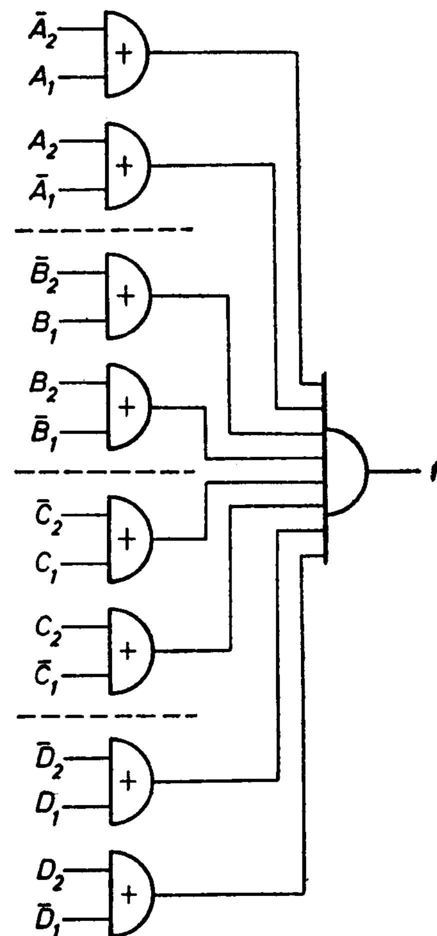
$$f = (D_1 + \bar{D}_2)(\bar{D}_1 + D_2)(C_1 + \bar{C}_2)(\bar{C}_1 + C_2)$$
$$(B_1 + \bar{B}_2)(\bar{B}_1 + B_2)(A_1 + \bar{A}_2)(\bar{A}_1 + A_2). \tag{6.25}$$



Sl. 6.29. Četvorobitni komparator

Sinteza ove funkcije pokazana je na sl. 6.30. Kao što se vidi, u njoj je upotrebljeno osam *ILI* i jedno *I* kolo, znači ukupno devet logičkih elemenata, za razliku od 13, koliko je bilo potrebno u ranijoj šemi. Izvesna ušteda postiže se i u pogledu broja

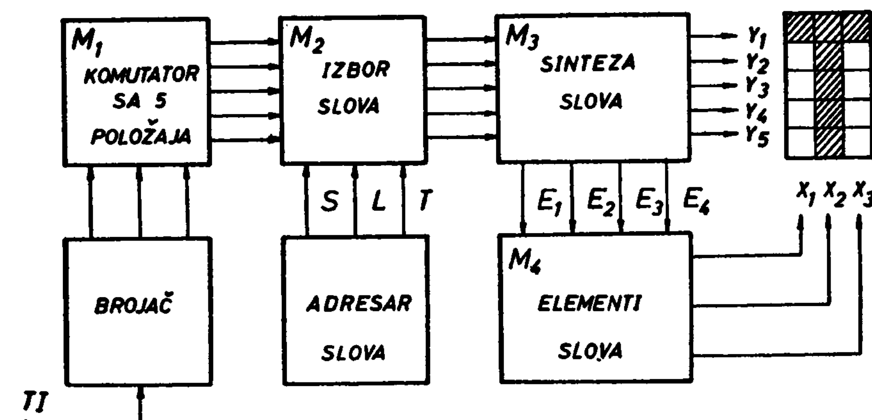
prekidačkih elemenata: umesto 28 u ranijoj mreži, ovde je potrebno 24. Najzad ova logička mreža se izvodi u dva, dok je ranija bila u tri nivoa. Prema tome, komparator realizovan na bazi analize sa *S* članovima neosporno je ekonomičnije rešenje od onog čija se analiza zasniva na korišćenju *P* članova. Pa ipak, opšte je mišljenje da su mreže sa *S* članovima teže za shvatanje i predočavanje, te se stoga nerado koriste. Ovo samo ilustruje činjenicu, da na izgled najprirodniji logički izrazi nisu uvek i najbolji sa gledišta realizacije logike i primenjenih kola.



Sl. 6.30. Ekonomičniji četvorobitni komparator

6.4.6. Generator simbola

Prekidačke matrice nalaze vrlo veliku primenu u generatorima karaktera najraznovrsnijih oblika i sadržine. Da bi se shvatio rad takvih, često vrlo složenih uređaja, ukratko ćemo da izložimo principe funkcionisanja generatora simbola: slova, cifara, znakova itd. U cilju lakšeg objašnjenja pomenutih principa, uzećemo kao primer sintezu nekih slova abecede sa što je moguće manjim brojem elemenata. Blok-šema takvog uređaja data je na sl. 6.31. Ova šema sastoji se od više blokova, čiji su funkcionalni nazivi naznačeni na slici. U gornjem desnom uglu slike ucrtan je simbol *T* u mreži kvadratnih polja, poređanih u pravcu koordinatnih osa *X* — *Y* u odnosu 3 : 5. Svaki kvadrat predstavlja svetlosno polje ili ćeliju, koja ima svoju adresu određenu koordinatama *X* i *Y*. Pojavom visokog napona na izabranom *X* i *Y* vodu, pali se odgovarajuća svetlosna ćelija. Obično je podešeno, da se sve eksitovane ćelije u istom redu pale istovremeno. Prema tome, kompozicija simbola vrši se po vertikali, polazeći od Y_1 do Y_5. Ako je ciklus ponavljanja eksitacije *Y* vodova dovoljno brz, stiče se vizuelni utisak da selektovane ćelije neprekidno svetle, što znači da je ostvarena mirna slika željenog simbola.



Sl. 6.31. Blok-šema generatora simbola

Y koordinate svetlosnih ćelija odabiraju se pomoću komutatora sa pet izlaza. Kao što je ranije rečeno, selekcione ulaze komutatora obezbeđuje binarni brojač. Izlazi komutatora dodeljuju se u bloku M_2 odabranom slovu iz adresara, na primer slovu T. Blok M_3 vrši sintezu, odnosno kompoziciju odabranog slova. Naime, slova se sastavljaju iz odgovarajućih elemenata, koji se postavljaju jedan za drugim po redovima. Elementi su u stvari zajednička svetlosna polja, koja se pojavljuju u više simbola. Ovi elementi su smešteni u bloku M_4. Slovo T, na primer, može da se složi po redovima koristeći samo dva takva elementa: jedan, koji sadrži sva tri svetleća polja i drugi, kod koga je osvetljena samo ćelija u sredini reda. Prvi element, znači, treba da se postavi samo u red Y_1 dok drugi element popunjava preostale redove date koordinatama Y_{2-5}.

Na sl. 6.32 ucrtana je detaljnija šema generatora simbola. Istina, pokazani generator predviđen je da daje samo tri slova S, L i T. U donjem levom uglu slike pokazani su elementi E_{1-4} sa kojima se može da izvede sinteza sva tri slova. U delu slike M_1 simbolično je predstavljen komutator, koga u stvari sačinjava već poznata prekidačka matrica. U delu slike M_2 prikazana je mreža, u kojoj se posredstvom logičkih I elemenata dodeljuju komutatorski izlazi pojedinim slovima. Deo slike obeležen sa M_3 sadrži matricu za kompoziciju slova, a u donjem delu slike, označenom sa M_4 ucrtana je matrica sa elementima slova. Obe ove matrice sastavljene su od odgovarajućih ILI kola i to M_4 prema elementima slova $E_{1,2,3,4}$ a M_3 prema rasporedu tih elemenata u dotičnom slovu. Vidimo, na primer, da kompozicija slova T pri Y_1 zahteva element E_1, a pri Y_{2-5} — element E_4. Za slovo L potrebna su isto tako samo dva elementa E_1 i E_2, dok se pri sintezi slova S koriste tri elementa: E_1, E_2 i E_3. Očigledno je da će sa povećanjem asortimana simbola da raste i broj potrebnih elemenata. Osim toga, broj elemenata se povećava i pri detaljnijoj obradi simbola. Za generisanje takvih simbola, međutim, potreban je i veći broj svetlosnih ćelija, što povećava složenost i ostalih kola.

Pri logičkom projektovanju generatora simbola mogu da se koriste definisane logičke funkcije pojedinih matričnih blokova prikazanih na sl. 6.32. U bloku M_2 postoji po pet izlaza za svako slovo, te se odgovarajuća logička mreža može da prikaže jednačinama:

$$\begin{aligned} Y_{Si} &= SY_i \\ Y_{Li} &= LY_i \\ Y_{Ti} &= TY_i \end{aligned} \tag{6.26}$$

gde je $i = 1, 2, 3, 4$ i 5. Realizacija ovih jednačina iziskuje 15 logičkih I kola sa po dva ulaza.

Matrični blok M_3 sadrži četiri izlaza, definisana sledećim jednačinama:

$$\begin{aligned} E_1 &= Y_{S1} + Y_{S3} + Y_{S5} + Y_{L5} + Y_{T1} \\ E_2 &= Y_{S2} + Y_{L1} + Y_{L2} + Y_{L3} + Y_{L4} \\ E_3 &= Y_{S4} \\ E_4 &= Y_{T2} + Y_{T3} + Y_{T4} + Y_{T5}. \end{aligned} \tag{6.27}$$

Ove prekidačke funkcije ostvarene su pomoću četiri ILI kola.

Sl. 6.32. Šema veza generatora simbola

Najzad, blok M_4 ima tri izlaza definisana jednačinama

$$X_1 = E_1 + E_2$$
$$X_2 = E_1 + E_4 \qquad (6.28)$$
$$X_3 = E_1 + E_3$$

Za realizaciju ovih funkcija upotrebljena su tri logička *ILI* kola sa po dva ulaza.

6.4.7. Koordinatna matrica

U nekom skupu elemenata javlja se često potreba da svaki element može da bude identifikovan po mestu, odnosno lokaciji koju u datom skupu zauzima. Drugim rečima, svaki takav element mora da poseduje tačno definisanu adresu. U prethodnom primeru generatora simbola videli smo, da su svetlosna polja u mreži za sintezu slova bila određena koordinatama X i Y. Te koordinate nisu ništa drugo do adrese lokacija pojedinih svetlosnih ćelija. Potreba adresovanja je od posebnog značaja u memorijskim sistemima, gde broj elemenata, koje treba identifikovati, može da bude vrlo veliki. Identifikacija tako velikog broja elemenata efikasno se izvodi pomoću prekidačkih matrica na taj način, što se svakom elementu dodeljuje adresa u vidu određene kombinacije binarnih cifara. Matrica, koja je sačinjena na bazi takvih adresnih podataka, ni u čemu se ne razlikuje od već pokazanih dekoderskih mreža. Međutim, kao što smo već pomenuli, određivanje nekog elementa u jednom skupu vrši se i pomoću adresa, koje sadrže svega dve promenljive X i Y. Identifikacija elemenata na ovaj način izvodi se pomoću koordinatnih matričnih mreža.

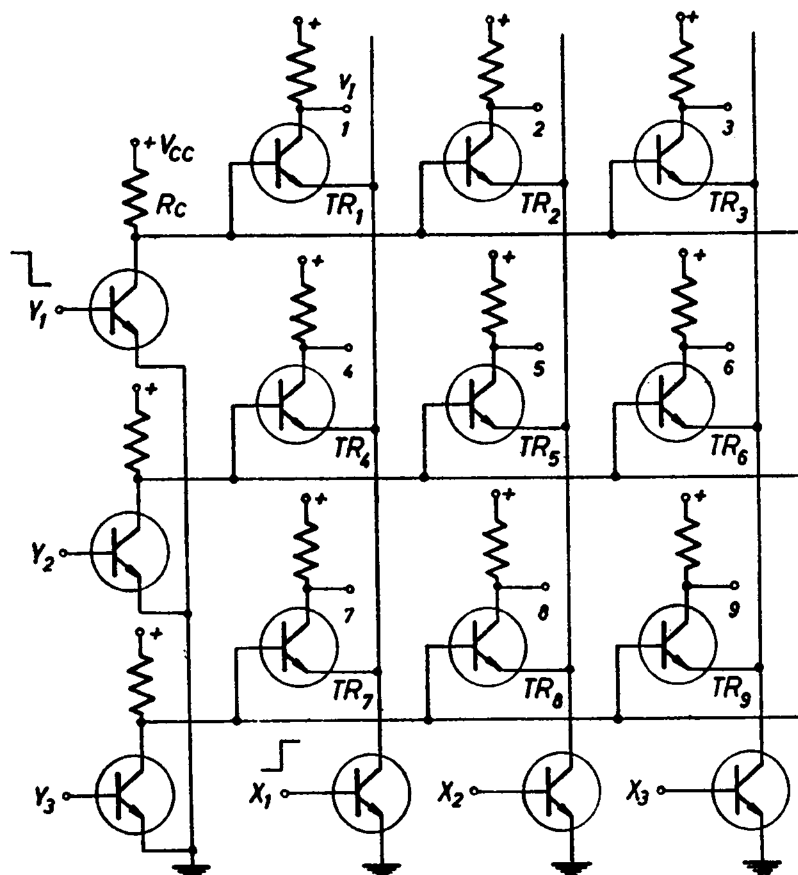
Koordinatne matrice u poluprovodničkoj tehnici izvode se kako sa tranzistorima tako i sa diodama. Osnovna prednost tranzistorskih matrica ogleda se u pojačavačkom svojstvu prekidačkih elemenata i boljoj diskriminaciji logičkih nivoa. Tranzistorski prekidački elementi u koordinatnoj matrici kontrolišu se koincidentnim delovanjem dva signala. Da bi se to postiglo, svaki prekidač mora da ima po dva ulaza, od kojih se jedan vezuje na odgovarajuće horizontalne, a drugi na vertikalne vodove koordinatne matrice. Dovođenjem istovremene pobude samo na jedan horizontalni i jedan vertikalni vod, nastaje eksitacija samo onog prekidačkog elementa, čiji su ulazi priključeni na te vodove. Prema tome, pobuđeni par vodova predstavlja adresu eksitovanog prekidačkog elementa.

Na sl. 6.33 ucrtana je šema koordinatne matrice za devet adresovanih prekidačkih elemenata TR_{1-9}. Emitori adresovanih tranzistora vezani su na vertikalne, a baze na horizontalne vodove, koji se pobuđuju preko odgovarajućih X i Y tranzistora. U mirnom stanju tranzistori $X_{1,2,3}$ su zakočeni, dok su tranzistori $Y_{1,2,3}$ provodni. Prema tome, svaki od devet adresovanih tranzistora je „dvostruko" blokiran: preko baze koja je na niskom kolektorskom naponu tranzistora Y, i preko emitora, koji je priključen na vrlo veliku otpornost neprovodnog tranzistora X. Da bi se bilo koji od adresovanih tranzistora doveo u provodno stanje, nužno je, dakle, da se istovremeno deluje na baze odabranog para X i Y tranzistora tako, da se tranzistor X dovede u provodno, a Y u neprovodno stanje. Prema tome, uslov provođenja, na primer tranzistora TR_4, jeste prisustvo visokog napona na bazi tranzistora X_1 i niskog napona na bazi tranzistora Y_2. Drugim rečima, adresa tranzistora TR_4 je X_1 Y_2 ili tačnije X_1 $\overline{Y_2}$, jer se on može da eksituje samo pod dejstvom odgovarajućih impulsa na tim ulazima matrice. Naglasimo da u koordinatnim matricama ne sme nikada da bude eksitovano više od jednog X i jednog Y ulaza.

Ako se broj ulaza simetrične koordinatne matrice označi sa 2 n, onda je broj izlaza takve matrice jednak vrednosti 2^n. Broj izlaza koordinatne matrice ograničen je uglavnom dozvoljenim brojem prekidačkih elemenata, koji mogu da se priključe na iste spojne vodove. Veliki broj ovih elemenata ponekad može da dovede u pitanje pouzdanost diskriminisanja logičkih nivoa napona na izlazu Y tranzistora. Tako, na primer, ograničenje broja priključenih tranzistora može da bude uzrokovano inverznim strujama neprovodnih tranzistora. Naime, u mirnom stanju kolektorski napon na nekom Y tranzistoru — neka to bude Y_1 — je

$$v_{CY1} = V_{CC} - R_C (I_{CY1} - nI_{CBO}), \tag{6.29}$$

gde je I_{CBO} inverzna struja kolektorskog spoja tranzistora priključenih na izlaz prekidačkog elementa Y_1. Ovaj napon treba da bude dovoljno nizak, tako da, na



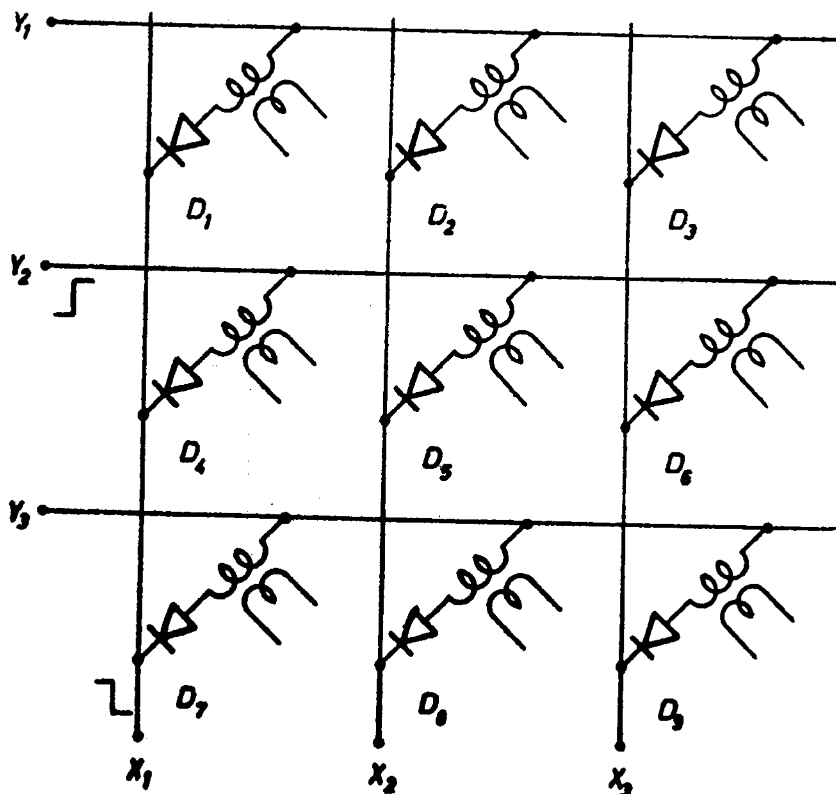
Sl. 6.33. Koordinatna matrica

primer, tranzistor TR_1 ostaje u zakočenom stanju i u slučaju da se na ulaz X_1 dovede napon logičke jedinice. Prema tome, i u najnepovoljnijem slučaju treba da bude zadovoljen uslov da je

$$V_{CY1} < V_{CX1} + V_{BET1}. \tag{6.30}$$

Očigledno je da se sa povećanjem broja priključenih tranzistora na Y vodove ovaj uslov pogoršava, ukoliko inverzne struje upotrebljenih tranzistora nisu zanemarljivo male.

Koordinatna matrična mreža može da se izvede i prema šemi na sl. 6.34. Da bi rad prekidačkih elemenata — u ovom slučaju dioda — bio funkcija dva ulazna signala, u mirnom stanju naponi na ulazima X odgovaraju logičkoj jedinici, a na ulazima Y — logičkoj nuli. Tek izmenom oba ova stanja, na primer na ulazima X_1 i Y_2, dioda D_4 postaje provodna, te se u eksitovanom transformatoru indukuje odgovarajući izlazni napon. Ako transformator poseduje veći broj primarnih ili sekundarnih namotaja, onda se može podesiti da, pri eksitovanju primara, u sekundarnim namotajima nastaju unapred određene kombinacije izlaznih napona.



Sl. 6.34. Koordinatna matrica sa transformatorima

Pri analizi ovakve prekidačke matrice za slučaj kada je jedna dioda eksitovana, treba imati u vidu da, pored sigurno blokiranih dioda, ima i takvih, koje se nalaze u blizini režima provođenja. Na primer, ako su pobudni naponi matrice + 5 V i —5 V, onda su u mirnom stanju svi ulazi X na +5 V, a ulazi Y na —5 V. Prema tome, sve se diode nalaze na inverznom naponu od 10 V. Pri eksitaciji pomenute diode D_4, ulaz X_1 biće priključen na napon —5 V, a ulaz Y_2 na +5 V. U ovom slučaju nije teško zaključiti, da je došlo do promene napona na svim diodama, koje su priključene na eksitovane vodove X_1 i Y_2. Pri tome se dioda D_4 nalazi u provodnom režimu, dok su se ostale približile režimu provođenja, pošto je napon na njima sveden na nulu. Očigledno je da ove diode, iako su još uvek zakočene, smanjuju otpornost u strujnim kolima, koja šentiraju selektovani prekidački element. Naime, odvodne struje u tim kolima onemogućavaju da se izgrade ovakve matrice sa većim brojem ulaza. Pored toga treba dodati, da ovakve mreže iziskuju potrebu strujnih generatora za pobudu spojnih vodova.

LITERATURA

1. *Chu, Y.*: Digital Computer Design Fundamentals, McGraw-Hill, New York, 1962, gl. 9
2. *Gillie, A.C.*: Pulse and Logic Circuits, McGraw-Hill, New York, 1968, gl. 17 i 18
3. *Kinter, P.M.*: Electronic Digital Techniques, McGraw-Hill, New York, 1968, gl. 4
4. *Delhom, L.A.*: Design and Application of Transistor Switching Circuits, McGraw-Hill, New York, 1968, gl. 13
5. *Crawford, R.H.*: MOSFET in Circuit Design, McGraw-Hill, New York, 1967, pgl. 5.7
6. *Malvino, A.P., Leach, D.P.*: Digital Principles and Applications, McGraw-Hill, New York, 1969, pgl. 10.6
7. *Turner, J.F.*: Digital Computer Analysis, Merrill, Columbus, Ohio, 1968, pgl. 15.5 i 15.6
8. *Rumpf, K.H., Pulvers, M.*: Transistor-Elektronik, VEB Verlag-Technik, Berlin, 1970, pgl. 5.1
9. *Oberman, R.M.M.*: Disciplines in Combinational and Sequential Circuit Design, McGraw--Hill, New York, 1970, gl. 8
10. *Aleksić, T.Ž.*: Logička sinteza digitalnih sistema, Naučna knjiga, Beograd, 1971, pgl. 3.4

GLAVA 7

MEMORIJSKI ELEMENTI

Kombinacioni logički elementi, kao što znamo, okarakterisani su time, da im je izlazna funkcija zavisna samo od trenutne kombinacije nezavisno promenljivih veličina na ulazima. Ovi elementi, definisani pravilima osnovnih logičkih operacija, opisani su ranije kao logička kola ili osnovni logički elementi. U prethodnoj glavi pokazano je da se pomoću ovakvih elemenata može da izvrši sinteza složenijih logičkih mreža, koje i dalje zadržavaju karakter kombinacionih digitalnih kola. Naime, istaknimo i ovom prilikom, da vremenski redosled, odnosno sekvencija logičkih stanja ovakvih kola nema nikakvog uticaja na uspostavljanje novog stanja. To, zapravo, znači da kombinaciona kola nemaju sposobnost zadržavanja i čuvanja, odnosno pamćenja ili memorisanja primljenih podataka.

Pri digitalnoj obradi podataka, međutim, nastaje potreba da se izvesni podaci ne samo čuvaju, i pamte, već često i da se akumuliraju, odnosno zbrajaju. To znači, da ovakva kola moraju biti u stanju da i po prestanku delovanja ulaznih signala zadrže privremeno ili trajno uspostavljena logička stanja. Pri ponovnom delovanju pobudnih signala, logička stanja u ovim kolima se menjaju u skladu sa odgovarajućim izlaznim funkcijama pojedinih kola. Za razliku od kombinacionih kola, međutim, u ovim izlaznim funkcijama redovno se pored pobudnih signala javlja i parametar koji vodi računa o prethodnom logičkom stanju u kolu. To znači da su ova kola zavisna od vremenskog redosleda, od sekvencije logičkih stanja, te se s toga i nazivaju sekvencijalna digitalna kola.

U ovoj glavi biće reči ne o sekvencijalnim digitalnim kolima složenijeg sastava već o elementima pomoću kojih se takva kola mogu da ostvare. Pri tome, naravno, posvetićemo veću pažnju samo elementima, koji su našli široku primenu u sekvencijalnim mrežama, kao što su flipflopovi i magnetna jezgra.

Pre projektovanja bilo kog prekidačkog kola potrebno je da se definišu logičke funkcije koje kolo treba da ispuni. Kod sekvencijalnih kola te funkcije se mogu da izraze u opisnoj formi, u obliku kombinacione tabele ili pomoću vremenskih dijagrama. Opisna forma logike kola se obično transformiše u tabelarno sređene logičke vrednosti operacionih stanja projektovanog kola, na osnovu kojih se iznalaze odgovarajuće Bulove funkcije u najprikladnijem obliku za sintezu kola. Ovaj način rada primenjivan je, kao što smo videli, kod kombinacionih kola, a važiće i za sekvencionalna kola uz izvesne dopune. Na osnovu onoga što je već rečeno, logično je očekivati da prekidačke funkcije sekvencijalnih kola moraju da sadrže i vremensku dimenziju, koja kod kombinacionih logičkih mreža nije postojala. Zbog toga će i rad ovakvih kola biti često prikazan pomoću vremenskih dijagrama ili dijagrama sekvencija, što nije ništa drugo do grafička ilustracija rada kola.

7.1. VRSTE MEMORIJSKIH ELEMENATA

Sekvencijalna kola, kao što je već rečeno, okarakterisana su uspostavljanjem logičkih stanja, koja ne zavise samo od trenutne vrednosti ulaznog signala, već i od zatečenog stanja u kolima. Zatečeno stanje odgovara ranije primljenim digitalnim podacima posredstvom pobudnih signala. Prema tome, pamćenje ili memorisanje informacije u digitalnoj formi, obavlja se zadržavanjem određenih logičkih stanja u pojedinim osnovnim elementima sekvencijalne mreže.

Za izgradnju sekvencijalnih digitalnih mreža koriste se memorijski elementi. Osnovna funkcionalna karakteristika ovih elemenata proističe iz navedene logike sekvencijalnih mreža. Memorijski element je logički prekidač koji zadržava uspostavljeno logičko stanje na izlazu i po prestanku delovanja ulaznog signala. Takav prekidač treba da ima jasno diskriminisana dva logička stanja: stanje logičke nule i stanje logičke jedinice. Pored toga, svako od tih stanja treba da bude na neki način održavano i po prestanku delovanja pobudnog signala, po čemu se memorijski element bitno razlikuje od kombinacionog elementa.

Postoji više tipova logičkih prekidača sa memorijskim svojstvom, odnosno kraće rečeno, memorijskih elemenata. Svaki prekidač koji poseduje dva stabilna stanja, odnosno dva ustaljena položaja je u stvari memorijski element. Poznati kombinacioni elementi imaju samo jedno postojano stanje, koje odgovara slučaju neeksitovanih ulaza. Drugo stanje, međutim, nije postojano, jer je njegovo trajanje vezano za trajanje pobudnih signala. Stoga se kombinacioni elementi u osnovnom obliku ne mogu da koriste i kao memorijski. Međutim, pomoću dva osnovna logička kola sa invertorima može da se realizuje memorijski element, ukoliko se njihova međusobna veza izvede tako, da se ostvari pozitivna povratna sprega između logičkih kola. Ovakvi memorijski elementi su u stvari regenerativna bistabilna kola, poznata pod popularnim nazivom flipflop. S obzirom da ovi memorijski elementi iziskuju upotrebu prekidača sa pojačivačkim svojstvom, oni se nazivaju aktivnim. Očigledno je da u ovu grupu spadaju svi memorijski elementi koji koriste odgovarajuća prekidačka kola izvedena sa bipolarnim i mos-tranzistorima, tunelskim diodama i drugim poluprovodničkim elementima.

Aktivni memorijski elementi izgrađuju se kako sa diskretnim komponentama tako i u integrisanoj formi. Većina ovih elemenata odlikuje se velikom brzinom rada i lakoćom identifikovanja uspostavljenog stabilnog stanja. Relativno veliki broj komponenata čini ove elemente nepogodnim za izgradnju većih sekvencijalnih mreža. Osim toga, zbog stalne potrošnje električne energije, ili potrebe povremenog obnavljanja uspostavljenih stanja, aktivni elementi nisu pogodni za čuvanje digitalnih informacija u dužem vremenskom periodu. Šta više, u nekim aktivnim memorijskim elementima, memorisani sadržaj se bespovratno uništava i pri kratkotrajnom nestanku električne energije. Prema tome, aktivni memorijski elementi su uglavnom nepostojani.

U drugu grupu memorijskih elemenata spadaju svi oni, koji za memorisanje digitalnih informacija koriste pasivne komponente. Za tu svrhu veoma su pogodni magnetni materijali, koji poseduju četvrtastu histerezisnu karakteristiku. Zahvaljujući takvoj karakteristici, magnetni materijal može da se dovede u dva jasno izdvojena remanentna stanja, koja odgovaraju stabilnim stanjima bilo kog drugog prekidača. Prema tome, jezgra, napravljena od takvog materijala, mogu da posluže kao logički prekidači koji po svojoj prirodi sadrže memorijske osobine. Naime, kad se jezgro namagnetiše u jednom smeru, ono zadržava to magnetno stanje i po ukidanju struje koja ga je izazvala. To znači, da ovakav memorijski element može da čuva zabeleženi

podatak neograničeno dugo bez potrošnje električne energije. Prema tome, pasivni memorijski elementi su postojani. Napomenimo da pored magnetnih jezgara postoji čitav niz drugih magnetnih memorijskih elemenata, čiji se rad zasniva na korišćenju dva remanentna stanja magnetnog materijala kao što su: magnetna jezgra sa više otvora, magnetne površine, magnetni filmovi, itd.

Pasivni memorijski elementi odlikuju se, dakle, pre svega mogućnošću održavanja uspostavljenog stanja bez stalnog utroška električne energije. Stoga su oni pogodni za memorisanje digitalnih podataka na duže vreme. Osim toga, dimenzije ovih elemenata mogu da budu vrlo male pa su pogodni za izgradnju većih memorijskih sistema. Najzad, pasivni memorijski elementi mogu da se upotrebe i za realizaciju kombinacionih mreža, gde u izvesnim slučajevima imaju i neke prednosti nad uobičajenim kombinacionim elementima. Pri svemu tome, napomenimo da je brzina rada pasivnih memorijskih elemenata manja nego aktivnih, a uz to su i temperaturska ograničenja kritičnija.

U grupu pasivnih memorijskih elemenata dolaze i oni čija se osobina memorisanja ostvaruje korišćenjem reaktivnih komponenata: kapacitivnosti i induktivnosti Memorisanje u ovakvim, na primer *RC*-kolima, mogućno je zahvaljujući činjenici da je kondenzator akumulacioni element, koji svoj električni tovar ne može trenutno da promeni. Prema tome, primljenu informaciju u obliku električnog tovara, ovakav memorijski element zadržava i po prestanku signala koji je prouzrokovao taj tovar. Kako se električni tovar u kondenzatoru tokom vremena smanjuje, to se mora da vrši povremeno obnavljanje tovara. Zbog toga su i ovi memorijski elementi nepostojani.

Nepostojani pasivni memorijski elementi su jednostavni za izvođenje sa diskretnim komponentama. Često se primenjuju u izgradnji linija za kašnjenje, koje su takođe jedan vid memorijskih mreža. S druge strane, ovi memorijski elementi su nepogodni za integrisanu proizvodnju. Pored toga, vreme memorisanja bez obnavljanja je dosta ograničeno, zbog čega se ovi praktično upotrebljavaju samo u nekim privremenim memorijama. Dodajmo, međutim, da se u poslednje vreme sve više koriste međuelektrodne kapacitivnosti mos-tranzistora kao memorijski medijum za poluprovodničke memorije u integrisanoj tehnologiji.

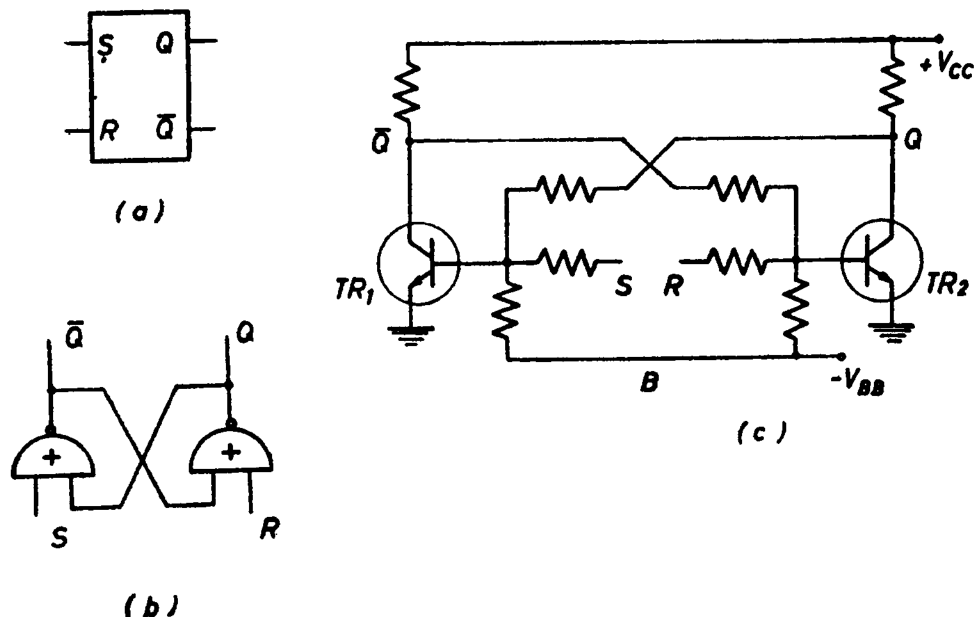
7.2. FLIPFLOP KAO MEMORIJSKI ELEMENT

Flipflop pripada klasi multivibratorskih kola sa dva stabilna stanja, zbog čega se i naziva bistabilni multivibrator ili binarno kolo. S obzirom da ovo kolo generiše jedan izlazni impuls na svaka dva ulazna, neki ga nazivaju „prepolovljač impulsa". Najzad, pošto ovo kolo čini osnovni element u brojačkim mrežama, to se ponekad zove i binarna brojačka jedinica. Pored svih ovih termina, naziv flipflop je ipak najpopularniji u stručnoj literaturi, iako se čine prigovori da taj naziv ne ukazuje ni na kakvu osobinu kola.

Flipflop je regenerativno digitalno kolo koje, kao što rekosmo, poseduje dva stabilna stanja. Ova dva stanja kola izražavaju se na već uobičajeni način u terminologiji logičkih kola, naime sa logičkom nulom i logičkom jedinicom. Pored toga, kod memorijskih elemenata uveden je i termin koji određuje stanje mirovanja ili početno stanje kola, što je kod sekvencijalnih logičkih mreža neophodno da se definiše. Početno stanje memorijskog elementa naziva se resetovano (reset), a prema usvojenoj konvenciji resetovano stanje odgovara stanju logičke nule. Nasuprot ovome, stanje kola koje odgovara logičkoj jedinici, naziva se setovano (set). Oba ova termina koristićemo u opisivanju sekvencijalnih mreža, bilo da su one realizovane sa aktivnim ili, pak, pasivnim memorijskim elementima.

7.2.1. RS flipflop

Posmatrajući flipflop kao logičko kolo vidi se da on sadrži dva logička elementa *NILI* ili *NI* tipa sa po dva ulaza. Na sl. 7.1 pokazane su šeme jednog takvog flipflopa sa *NILI* kolima u *RTL* tehnici. Jedan par ulaza *NILI* kola iskorišćen je za uspostavljanje pozitivne povratne sprege između invertora, dok je drugi par rezervisan za ulazne priključke memorijskog elementa označene sa R i S (reset i set). Logička stanja kola identifikuju se prema nivou napona na izlazima Q i $\overline{Q}$. Uopšte je usvojeno da se stanje flipflopa izražava logičkom vrednošću napona na izlazu Q. Kad tranzistor TR_2 vodi, izlaz Q je na niskom naponu, pa se kaže da je flipflop resetovan. Da bi se



Sl. 7.1. *RS* flipflop
(a) grafički simbol
(b) logička šema sa *NILI* elementima
(c) šema veza u *RTL* tehnici

ostvarilo takvo stanje kola, mora se na ulaz R dovesti visoki napon. S druge strane, kad je tranzistor TR_2 zakočen, na izlazu Q je visoki napon, pa se kaže da je flipflop setovan. Ovakvo stanje ostvaruje se dovođenjem visokog napona na ulaz S. Očigledno je da izlaz $\overline{Q}$ flipflopa ima komplementnu vrednost izlaza Q. Osim toga, napomenimo, da je stanje flipflopa nedefinisano ako se istovremeno eksituju oba ulaza R i S. To znači, da ovo kolo može da bude samo setovano ili resetovano, te se stoga ovakav memorijski element bliže oanačava kao *RS* flipflop.

Rad flipflopa kao memorijskog elementa može da bude prikazan kombinacionom tabelom, ili pomoću odgovarajućih jednačina prekidačke algebre. Kombinaciona tabela treba da sadrži moguće vrednosti nezavisno promenljivih veličina i odgovarajuće izlazne funkcije. Nezavisno promenljive u ovom slučaju su: ulazni signali R i S kao i prethodno stanje flipflopa na izlazu Q. Pošto se ovde operiše sa logičkim vrednostima izlaza Q u dva vremenska intervala koji sleduju jedan za drugim, mora se uvesti i dopunska oznaka koja pokazuje na koji se vremenski interval odnosi navedeno stanje kola. U sinhronizovanim, odnosno taktovanim digitalnim sistemima, kao što je poznato, za jednu logičku operaciju predviđa se određeni vremenski kvant, koji se naziva bit-vreme ili takt-interval. Prema tome, stanje flipflopa vezuje se za jedan

takav takt-interval trajanja T, pa se izlaz Q u dva susedna takt-intervala može da označi sa $Q(t_0)$ i $Q(t_0 + T)$, ili kraće sa Q i $Q(T)$. Napomenimo da se vremenska stanja flipflopa često obeležavaju i na drugi način kao na primer sa Q^n i Q^{n+1} odnosno Q_n i Q_{n+1}, gde se indeksi n i $n + 1$ odnose na dva susedna vremenska intervala T_n i T_{n+1}. Da bi se način pisanja što više pojednostavio, u daljem tekstu ćemo uglavnom da izostavljamo indekse uz vrednosti nezavisno promenljivih, dok ćemo izlaznoj funkciji, koja nastaje u sledećem takt-intervalu, dodavati simbol T, a ponekad i indeks $n+1$.

Ulazne promenljive			Izlazna promenljiva
$R(t_0)$	$S(t_0)$	$Q(t_0)$	$Q(t_0+T)$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	ND
1	1	1	ND

(a)

Tabela 7.1. Kombinaciona tabela RS flipflopa
(a) u potpunom obliku
(b) u sažetom obliku

T_n		T_{n+1}
R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	ND

(b)

Način rada RS flipflopa prikazan je kombinacionim vrednostima navedenim u tabeli 7.1 a. Nezavisno promenljive R, S i Q odnose se na vreme t_0 a izlazna funkcija Q kasni za taktni period T. Uočimo da je izlazna funkcija flipflopa nedefinisana (ND) za slučaj da su pobudni signali dovedeni istovremeno na oba ulaza.

Prekidačka funkcija RS flipflopa definisanog pomoću kombinacione tabele 7.1a nalazi se kao zbir logičkih proizvoda

$$\begin{aligned} Q(T) &= \bar{R}\bar{S}Q + \bar{R}S\bar{Q} + \bar{R}SQ \\ &= \bar{R}\bar{S}Q + \bar{R}S. \end{aligned} \tag{7.1}$$

Nedefinisana stanja kola ND mogu da se uzmu u obzir na taj način, što se usvaja da u posmatranom takt-intervalu bilo S ili R mora da ima vrednost logičke nule. Prema tome, mora da je proizvod

$$RS = 0. \tag{7.2}$$

Koristeći uslov (7.2) i primenom zakona apsorpcije datog identitetom (3.11 b), za izlaznu funkciju RS flipflopa nalazi se:

$$\begin{aligned} Q(T) &= \bar{R}\bar{S}Q + \bar{R}S + RS \\ &= S + \bar{R}\bar{S}Q \\ &= S + \bar{R}Q. \end{aligned} \tag{7.3}$$

Prema tome, RS flipflop imaće stanje logičke jedinice jedino ako se setuje, ili ako se ne resetuje, ali pod uslovom da je pre toga već bio u setovanom stanju. Podsetimo se da su simboli na desnoj strani jedn. (7.3) vezani za vremenski period t_0, a na levoj za $t_0 + T$.

Jednačine (7.2) i (7.3) potpuno definišu logičku prirodu RS flipflopa. Funkcija $Q(T)$ određuje izlazna stanja memorijskog elementa, te se stoga ona naziva izlazna, odnosno karakteristična funkcija ili jednačina.

Kombinaciona tabela 7.1a može da se napiše i u sažetijem obliku, kao što je to pokazano u tabeli 7.1b. Data tabela pokazuje da izlazna funkcija Q_{n+1} ostaje nepromenjena, tj. zadržava raniju vrednost Q_n, ako na ulaz kola nije dovedena ni R ni S pobuda. Dalje, kolo će biti setovano, ako je eksitovan samo S ulaz, odnosno resetovano, ako je eksitovan samo R ulaz, bez obzira koje je logičko stanje kola bilo zatečeno. Najzad, ako se istovremeno eksituju oba ulaza, izlazno stanje Q_{n+1} je nedefinisano. Pri ispisivanju karakteristične funkcije flipflopa, u ovom slučaju, treba voditi računa da je vrednost Q_n u koloni Q_{n+1} nezavisno promenljiva, pa se za jedn. (7.1) odmah dobija

$$Q_{n+1} = \bar{R}\bar{S}Q_n + \bar{R}S.$$

Kombinacione tabele 7.1 opisuju logiku standardnog RS flipflopa. Logika ovog kola međutim, može ponekad i da odstupa od gore opisane. Na primer, negde se uvodi da je S ulaz dominantan, pa izlazna funkcija za istovremenu R i S pobudu nije više nedefinisana već je $Q(T) = Q_S^T = 1$. Isto tako može da bude R ulaz dominantan u kom slučaju je $Q_R^T = 0$ pri koincidentnoj pobudi oba ulaza. Najzad, u nekim slučajevima zahteva se i to, da pri istovremenoj eksitaciji ulaza R i S izlaz flipflopa ostane nepromenjen, tj. $Q_{RS}^T = Q$. Sve ove modifikovane logike RS flipflopa iznete

R	S	Q_R^T	Q_S^T	Q_{RS}^T
0	0	Q	Q	Q
0	1	1	1	1
1	0	0	0	0
1	1	0	1	Q

Tabela 7.2. Modifikovane logike RS flipflopa

su u tabeli 7.2. Prema datim podacima, karakteristične funkcije ovakvih memorijskih elemenata su:

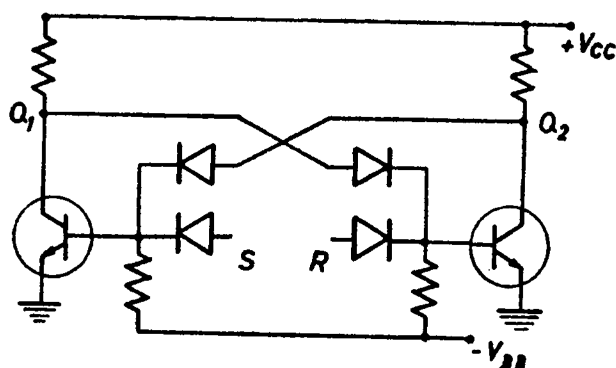
$$Q_R^T = \bar{R}(S + Q), \tag{7.4}$$

$$Q_S^T = S + \bar{R}Q, \tag{7.5}$$

$$Q_{RS}^T = \bar{R}S + (\bar{R} + S)\,Q. \tag{7.6}$$

Za realizaciju flipflopa naročito u integrisanoj tehnologiji, umesto RTL radije se koriste DTL, TTL pa i ECL sistemi logičkih kola. Na sl. 7.2 a data je šema takvog flipflopa sa $NILI$ elementima u DTL tehnici. Iako se i ovde radi o binarnom RS kolu, njegova logička funkcija ne odgovara u potpunosti standardnom tipu RS flipflopa. Naime, treba uočiti da je stanje ovog kola određeno i za koincidentne ulaze $R = 1$ i $S = 1$, ali tako da su oba izlaza Q_1 i Q_2 identična i jednaka nuli. To je posledica toga što se istovremenom eksitacijom ulaza R i S oba tranzistora dovode u zasićenje, tako da su diode u sprežnim granama inverzno polarizovane. Prema tome, ovakav memorijski element nema uvek komplementarne izlaze. Kompletan rad ovog kola prikazan je kombinacionim vrednostima u tabeli 7.3.

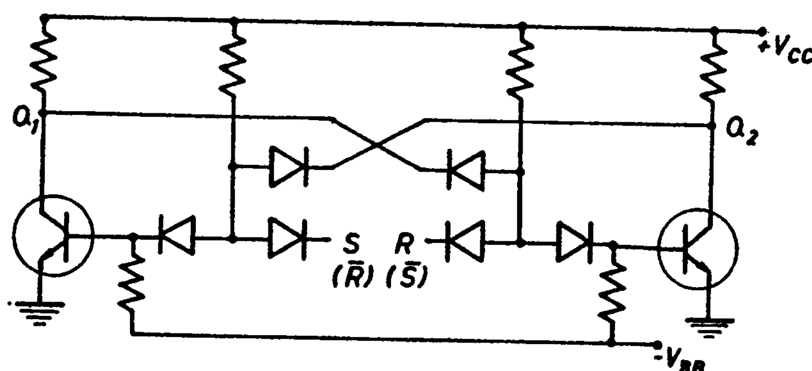
Logika memorijskog *RS* elementa u nekoliko se menja i u slučaju da je flipflop izveden sa *NI* kolima u *DTL* sistemu, sl. 7.2 b. U ovakvom binarnom kolu oba izlaza se postavljaju u stanje logičke jedinice u slučaju da su ulazi *R* i *S* istovremeno dovedeni na niski napon. Komplementarnost izlaza i ovde, znači, nije uvek zastupljena. Kompletan način rada ovakvog memorijskog elementa prikazan je takođe kombinacionim vrednostima u tabeli 7.3.



(a)

		Za *NILI*		Za *NI*	
R	*S*	Q_1^T	Q_2^T	Q_1^T	Q_2^T
0	0	Q_1	Q_2	1	1
0	1	0	1	0	1
1	0	1	0	1	0
1	1	0	0	Q_1	Q_2

Tabela 7.3. Logika *RS* flipflopa u *DTL* tehnici



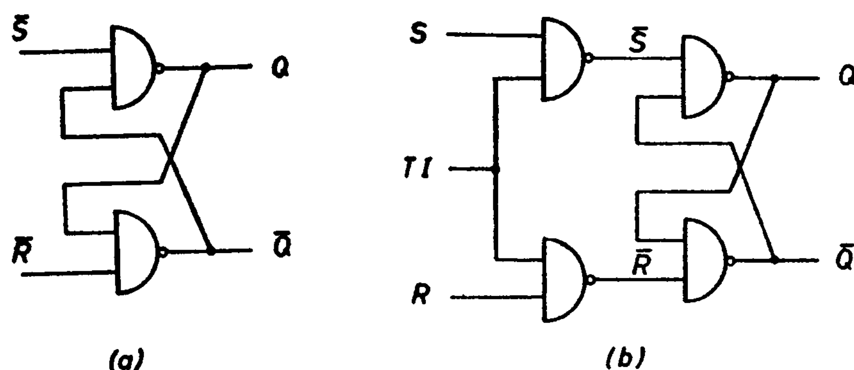
(b)

Sl. 7.2. *RS* flipflopovi u *DTL* tehnici
(a) sa logičkim *NILI* elementima
(b) sa logičkim *NI* elementima

Primetimo da važenje tabele 7.3. ima i jedno ograničenje. Naime u flipflopu sa *NILI* kolima zadržava se prethodno stanje pri $R = 0$ i $S = 0$. Ovo je, međutim, neodrživo kada je prethodno stanje ostvareno istovremenom eksitacijom ulaza $R = 1$ i $S = 1$. Slično važi i za flipflop sa *NI* kolima, samo što je u ovom slučaju prethodno stanje neodrživo, ako su oba logička elementa bila u stanju logičke jedinice. Najzad napomenimo i to da se stanje flipflopa okarakterisano sa $Q_1^T = Q_2^T$ održava samo dotle dok postoje odgovarajući signali na ulazima *R* i *S*. Prema tome, flipflop u takvom stanju prestaje u stvari da bude memorijski element, što je posledica prekidanja pozitivne povratne sprege između upotrebljenih logičkih elemenata.

Za setovanje *RS* flipflopa sa *NILI* kolima, sl. 7.2 a, neophodno je dovesti visoki napon na ulaz *S*. Istaknimo, dakle, da će pri $S = 1$ biti $Q_2 = 1$. Analogno tome, za setovanje *RS* flipflopa sa *NI* kolima, sl. 7.2 b, neophodno je da se dovede niski

napon na ulaz R. Zbog toga se češće ovaj ulaz označava kao priključak za setovanje, ali sa invertovanom pobudom. S obzirom da se takva pobuda dovodi direktno na ulaz tranzistora koji se setuje, RS flipflop sa NI kolima izvodi se, znači, prema logičkoj šemi na sl. 7.3 a, a njegov rad je tada ilustrovan kombinacionim vrednostima datim u tabeli 7.4 a. Primetimo da u ovom slučaju važi ista logika kao i za RS flipflop sa $NILI$ kolima, jer se, na primer, i ovde za $R = S = 0$ stanje flipflopa ne menja.



Sl. 7.3. Logičke šeme RS flipflopova sa NI elementima

(a) za direktnu pobudu

(b) za taktovanu pobudu

(a) direktna pobuda			(b) taktovana pobuda		
$\bar{R}$	$\bar{S}$	Q_{n+1}	R	S	Q_{n+1}
0	0	ND	0	0	Q_n
0	1	0	0	1	1
1	0	1	1	0	0
1	1	Q_n	1	1	ND

Tabela 7.4. Logika RS flipflopa sa NI elementima (sl. 7.3)

Na sl. 7.3 b ucrtana je šema taktovanog RS flipflopa sa NI kolima. Taktni impulsi TI dovode se na binarno kolo preko upravljačkih NI elemenata sa izlazima $\bar{S}$ odnosno $\bar{R}$. Ako je na ulazu S prisutan napon logičke jedinice, sinhronizovano sa taktnim impulsom TI nastaje na ulazu binarnog kola $\bar{S}$ nivo logičke nule. Zahvaljujući tome na izlazu flipflopa uspostavlja se konačno setovano stanje. Kompletna logika taktovanog flipflopa sa NI kolima prikazana je odgovarajućim logičkihm vrednostima u tabeli 7.4 b. Primetimo da se date vrednosti u potpunosti slažu sa onima za standardni flipflop u tabeli 7.1 b.

Kao što vidimo, tehnička izvođenja memorijskog elementa može unekoliko da izmeni njegovu logičku karakteristiku. Međutim, u našem izlaganju pridržavaćemo se redovno logike standardnog memorijskog RS elementa, izražene kombinacionom tabelom 7.1 odnosno jednačinom (7.3). Prema tome, smatraćemo da pri niskim ulazima R i S izlazna stanja kola ostaju nepromenjena, dok su pri visokim ulazima R i S ta stanja nedefinisana. Pored toga naglasimo još i to, da izlazi memorijskog elementa moraju uvek da poseduju komplementarne vrednosti.

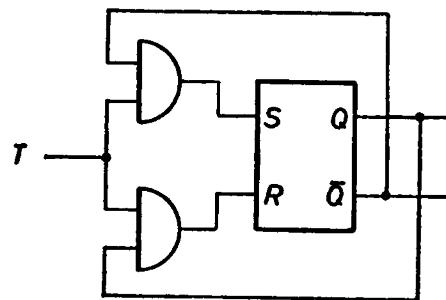
7.2.2. T flipflop

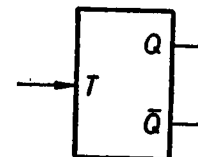
Za razliku od prethodnog, trigerski (trigger) ili kraće T flipflop ima samo jedan ulaz za dovođenje pobudnog signala. To znači da se u ovom slučaju mora izvesti simetrično okidanje — trigerovanje bistabilnog kola. U principu to se može da ostvari jednostavnim spajanjem ulaza R i S u jedan ulazni priključak T na već pokazanim šemama RS flipflopova. U tom slučaju pobudni signal se preko T dovodi simetrično na baze oba tranzistora, ali će efektivno da deluje samo na bazi neprovodnog tranzistora prisiljavajući ga da pređe u provodno stanje. Naime, ako se kolo na sl. 7.1 nalazi u resetovanom stanju, tj. pri $Q = 0$, trigerska pobuda efektivno deluje na neprovodni tranzistor TR_1 uzrokujući izmenu stanja flipflopa tako da je $Q(T) = 1$. Sledeći trigerski impuls efektivno deluje na bazi tranzistora TR_2 te se ponovo uspostavlja prvobitno stanje dato sa $Q(2T) = 0$. Prema tome, način rada memorijskog T flipflopa je vrlo jednostavan, što se vidi i iz kombinacione tabele 7.5. Izlazna funkcija ovog kola može direktno da se napiše u obliku

$$Q_{n+1} = T\bar{Q} + \bar{T}Q = T \oplus Q. \qquad (7.7)$$

T	Q	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 7.5. Kombinacione vrednosti T flipflopa





Sl. 7.4. T flipflop
(a) logička šema
(b) grafički simbol

Gornja jednačina pokazuje da je stanje logičke jedinice na izlazu memorijskog T elementa uslovljeno isključivim postojanjem ili trigerskog pobudnog impulsa ili već resetovanog stanja flipflopa. Istaknimo još jedanput, da trigerski flipflop vrši izmenu logičkih stanja pri svakoj pojavi visokog napona na ulazu.

Transformacija RS u T flipflop jednostavnim spajanjem R i S ulaza može ponekad nepovoljno da se odrazi na sam rad kola kao i na trigerske impulse. U svakom slučaju, što je uostalom dobro poznato, bolje je da se pobudni impulsi dovode preko odgovarajućih dioda direktno na baze ili na kolektore prekidačkih tranzistora. Ako se, međutim, raspolaže integrisanim logičkim komponentama, na slici 7.4a je pokazan jedan od načina kako se može RS flipflop bez prepravke da upotrebi kao trigersko kolo. Način rada date logičke mreže vrlo je jednostavan. Pošto su izlazi RS flipflopa komplementarni, uvek će samo jedno od tih kola biti pripremljeno da propusti trigerski impuls. Na primer, pri $Q = 0$ trigerski impuls može samo da setuje flipflop tako da će biti $Q(T) = 1$. Sledeći pobudni impuls međutim, moći će samo da resetuje kolo, tako da ponovo postaje $Q(2T) = Q = 0$, itd.

7.2.3. RST flipflop

RST flipflop je u stvari binarno kolo sa tri ulaza. Prema oznakama tih ulaza vidi se da će ovaj memorijski element da sadrži karakteristike oba prethodna *RS* i *T* elementa. Prema tome, u principu ovde nema ništa novo izuzev što se kombinacione mogućnosti kola proširuju. To se najbolje vidi iz tabele 7.6 koja prikazuje logičko funkcionisanje *RST* flipflopa. Zapazimo da je u tabeli uzet u obzir rad memorijskog kola za slučajeve kada se eksituje samo po jedan od postojeća tri ulaza. Prema tome, pretpostavlja se da nikada ne mogu istovremeno da deluju dva ulaza, te stoga pri određivanju izlazne funkcije treba iskoristiti i uslov

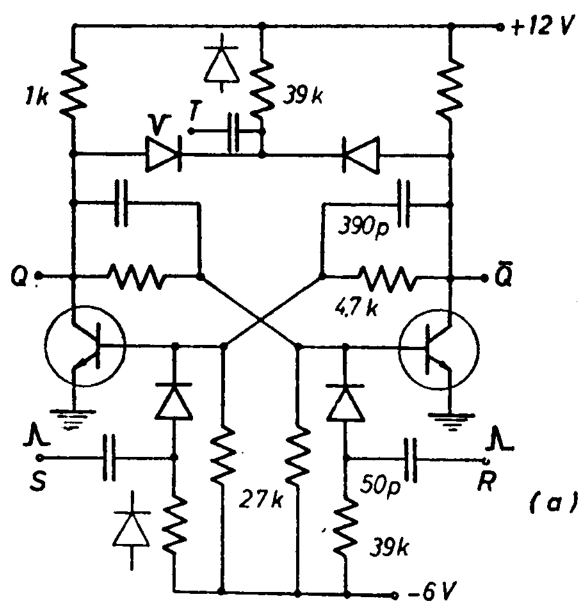
$$RS = RT = ST = 0. \quad (7.8)$$

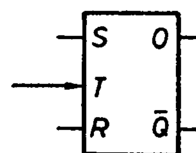
R	S	T	Q	Q_{n+1}
0	0	0	0	0
0	0	0	1	1
0	1	0	0	1
0	1	0	1	1
1	0	0	0	0
1	0	0	1	0
0	0	1	0	1
0	0	1	1	0

Tabela 7.6. Kombinacione vrednosti *RST* flipflopa

Pošto *RST* flipflop ima četiri nezavisno promenljive, to će izlaznu funkciju sačinjavati logički zbirovi četvoročlanih logičkih proizvoda:

$$\begin{aligned} Q_{n+1} &= \bar{R}\bar{S}\bar{T}Q+\bar{R}S\bar{T}\bar{Q}+\bar{R}S\bar{T}Q+\bar{R}\bar{S}T\bar{Q} \\ &= \bar{R}\,[S\bar{T}+\bar{S}(\bar{T}Q+T\bar{Q})]. \end{aligned} \quad (7.9)$$





Sl. 7.5. *RST* flipflop
(a) šema veza (b) grafički simbol

Primenjujući identitet (3.17) gornja jednačina postaje

$$Q_{n+1} = \bar{R}\,[(\bar{S} + \bar{T})\,(S + \bar{T}Q + T\bar{Q})].$$

Pošto je prema jednačini (7.8) $\bar{S} + \bar{T} = \overline{ST} = 1$, to je

$$Q_{n+1} = \bar{R}S + \bar{R}\bar{T}Q + \bar{R}T\bar{Q} + S\bar{S} + RT\bar{Q},$$

jer dodata zadnja dva člana imaju nulte vrednosti. Odavde se dalje lako iznalazi konačni oblik karakteristične jednačine memorijskog RST elementa:

$$Q_{n+1} = S + T\bar{Q} + \bar{R}\bar{T}Q. \qquad (7.9')$$

Ova jednačina dakle pokazuje da će memorijski RST element biti u stanju logičke jedinice kad god se setuje, ili kad se trigeruje a pre toga je bio resetovan, ili kada je već setovan a nema pobude na ulazima R i T. Napomenimo da se do jednačine (7.10) znatno lakše dolazi primenom Karnoove tablice za minimizaciju funkcija.

Na sl. 7.5 data je šema RST flipflopa, izgrađenog sa diskretnim komponentama. Svi ulazni signali dovode se preko dioda i to R i S direktno na baze, a T na kolektore tranzistora. Primetimo da su trigerski impulsi negativni, što je inače vrlo čest slučaj u primeni T flipflopova, naročito u brojačkim kolima. Napomenimo još i to da se kod brzih flipflopova umesto otpornika u dovodima ulaznih signala često stavljaju diode, koje su redno vezane sa postojećim prenosnim diodama. Ove diode praktično ne utiču na veličinu pobudnih signala, jer su neprovodne pri njihovom delovanju. Po iščezavanju pobudnih signala, međutim, one omogućavaju brzo pražnjenje sprežnih kapaciteta na ulazima, pošto su sada direktno polarizovane.

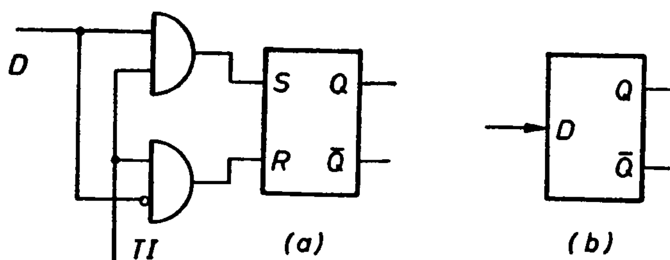
7.2.4. D flipflop

Ovaj tip memorijskog elementa nalazi primenu u logičkim mrežama poznatim pod imenom pomerački registri. Njegova logika sastoji se u tome da informaciju sa ulaza prenese na izlaz u toku idućeg takt-intervala. Drugim rečima to znači, da stanja signala na izlazu kola potpuno prate stanja na ulazu, samo što kasne za jedan takt-interval. Zbog tog kašnjenja (delay) ovo kolo je i dobilo ime D flipflop.

Na slici 7.6 pokazana je logička šema D flipflopa. Kao što vidimo kolo ima dva ulaza D i TI. Pošto se na ulaz TI dovode sinhronizacioni takt-impulsi, to ovaj memorijski element ima samo ulazni priključak D za prijem nezavisno promenljivog signala. Dovođenjem odgovarajućeg signala na ovaj ulaz u jednom takt-intervalu, vrši se priprema jednog od dva kontrolna I kola za propuštanje pobudnog impulsa u sledećem takt-intervalu. Tako, na primer, ako je ulaz $D = 1$ u trenutku t_0, onda će u sledećem bit-intervalu $t_0 + T$ takt-impuls moći da izvrši setovanje flipflopa preko gornjeg I kola. To znači da se po isteku vremena T na izlazu flipflopa pojavljuje ista vrednost signala kao i ona koja je dovedena na ulaz. U slučaju da je $D = 0$, invertovani ulazni signal omogućava resetovanje flipflopa preko donjeg I kola, tako da je logika memorijskog elementa i u ovom slučaju ista kao u prethodnom.

U vezi sa gornjim opisom rada D flipflopa u tabeli 7.7 ispisane su moguće logičke vrednosti signala na njegovom ulazu i izlazu. Prema ovome karakteristika memorijskog D elementa izražena je jednačinom

$$Q(T) = D\bar{Q} + DQ = D. \qquad (7.10)$$



Sl. 7.6. D flipflop
(a) logička šema (b) grafički simbol

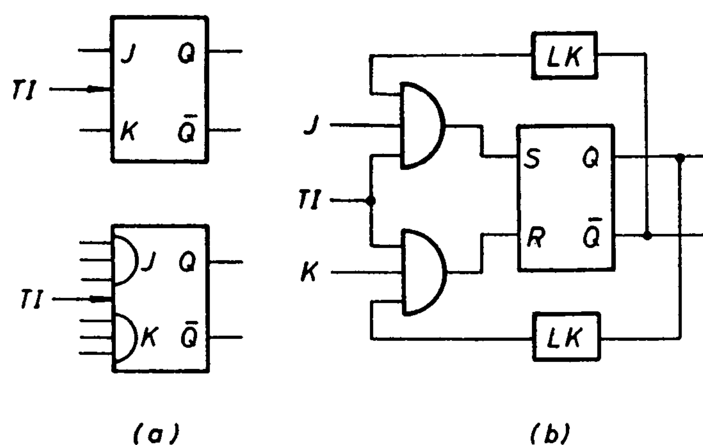
$D(t_0)$	$Q(t_0)$	$Q(t_0+T)$
0	0	0
0	1	0
1	0	1
1	1	1

Tabela 7.7. Kombinaciona tabela D flipflopa

7.2.5. JK flipflop

JK flipflop je pretežno namenjen za proizvodnju u integrisanom obliku. Međutim, to ne znači da se ovaj flipflop ne može izvesti u diskretnoj tehnici. U svakom slučaju praktična realizacija *JK* flipflopa iziskuje upotrebu četiri logička elementa, od kojih dva služe za izgradnju već poznatog *RS* kola, a druga dva su kontrolni elementi.

Logička šema *JK* flipflopa predstavljena je na slici 7.7. Vidimo da ovaj flipflop ima tri ulaza *J*, *K* i *TI*. Kako je ovo kolo namenjeno da radi u taktovanom digitalnom sistemu, na ulazu *TI* je u svakom takt-intervalu prisutan po jedan takt-impuls. Očigledno je da se ovakav ulazni signal ne tretira kao nezavisno promenljiva veličina, pa stoga sa logičke tačke gledišta ovaj memorijski element ima samo dva ulaza *J* i *K*. Ovi ulazi omogućavaju izvođenje raznovrsnije logike kola. Naime, setovanje i resetovanje postojećeg *RS* flipflopa vrši se preko kontrolnih *I* kola. Na jedan ulaz *I* kola dovode se taktni impulsi koji treba da izvrše okidanje flipflopa. Da li će pojedini impulsi efektivno da deluju na *R* ili na *S* priključak *RS* flipflopa zavisiće od toga, koje



Sl. 7.7. *JK* flipflop
(a) grafički simboli (b) logička šema

je *I* kolo prethodno bilo pripremljeno za otvaranje. Drugim rečima, to će da zavisi od vrednosti napona na druga dva ulaza pomenutih *I* kola. Jedan od tih napona se dovodi sa izlaza flipflopa preko linija za kašnjenje *LK*, koje za logiku kola nisu od značaja. Pošto *RS* flipflop ima komplementarne izlaze, povratna sprega sa izlaza obezbeđuje visoki napon na pojednom *I* kolu u svakom takt intervalu. Ako je flipflop setovan, visoki napon sa *Q* izlaza dolazi na donje *I* kolo i obrnuto, ako je flipflop resetovan visoki napon sa izlaza $\bar{Q}$ pojavljuje se na gornjem *I* kolu. Konačnu odluku o otvaranju jednog ili drugog *I* kola donose *J* i *K* ulazi zavisno od toga koja je vrednost napona dovedena na njih. Tako, na primer, ako je flipflop resetovan, a ulaz *J* se nalazi na visokom naponu, prvi taktni impuls koji naiđe izvršiće setovanje flipflopa. Razmatrajući detaljnije logičke mogućnosti ovog flipflopa vidi se da on može da radi kao *RS* i kao *T* memorijski element a osim toga može da bude i blokiran u toku neograničenog broja taktnih intervala pri bilo kom logičkom stanju.

Kompletan rad JK fliplfopa prikazan je u tabeli 7.8, koja pokazuje vrednosti izlazne funkcije u zavisnosti od nezavisno promenljivih veličina. U prva dva reda ove tabele stanje flipflopa ostaje nepromenjeno pošto su oba ulaza J i K na niskom naponu. Sledeća četiri reda pokazuju mogućnost setovanja i resetovanja kola, što zajedno sa prva dva reda ilustruje logiku RS flipflopa. Najzad poslednja dva reda odgovaraju logici T flipflopa. U ovom slučaju su ulazi J i K stalno na visokom naponu, a izmena stanja u flipflopu uslovljava nazimenično otvaranje I kola za prolaz okidnih impulsa na R odnosno S priključak.

J	K	Q	$Q(T)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Tabela 7.8. Kombinacione vrednosti JK flipflopa

Tabela 7.8 može da se napiše u sažetoj formi kao što je to ranije pokazano kod RS flipflopa. Međutim, potpuna tabela je pogodnija za ispisivanje karakteristične jednačine memorijskog elementa, koja za JK flipflop glasi

$$\begin{aligned} Q(T) &= \bar{J}\bar{K}Q + J\bar{K}\bar{Q} + J\bar{K}Q + JK\bar{Q} \\ &= \bar{K}Q + J\bar{Q}. \end{aligned} \tag{7.11}$$

Prema tome, na izlazu JK flipflopa uspostaviće se stanje logičke jedinice samo ako je flipflop bio setovan a ulaz K je na niskom naponu, ili ako je kolo resetovano a ulaz J je na visokom naponu.

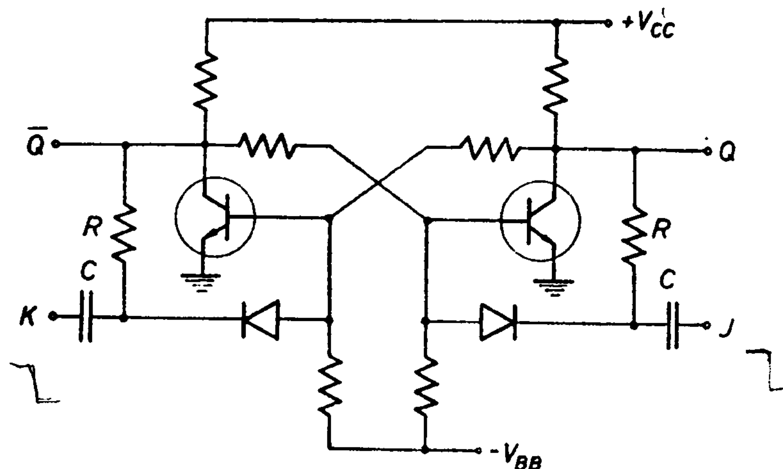
Pri formiranju JK flipflopa prema slici 7.7 sprega između izlaza i ulaza kola izvedena je preko linija za kašnjenje LK. Očigledno je da u ovom kolu mora da postoji izvesno kašnjenje izlaznog signala u odnosu na okidni napon na ulazu TI. Međutim, ako je ovo kašnjenje manje od trajanja okidnog impulsa, može doći do nepravilnog rada kola, jer će se napon na ulazu kontrolnog I elementa, koji je spregnut sa izlazom flipflopa, promeniti još dok traje okidni impuls. Uzmimo konkretan slučaj da takt-interval, odnosno bit-vreme iznosi T, pri čemu je širina impulsa τ a pauza $T-\tau$. Neka su vrednosti ulaza $J=1$, i $K=1$, a flipflop je u resetovanom položaju, znači $Q=0$. Dovođenjem takt-impulsa na ulaz TI on će biti prisutan na oba I kola, ali ga samo gornje kolo propušta, usled čega nastaje setovanje flipflopa. Na izlazu flipflopa to se manifestuje izmenom stanja tako, da je sada $Q=1$. Time se, znači, blokira gornje a otvara donje I kolo. Ako je kašnjenje u kolu bilo kraće od trajanja okidnog impulsa, onda će isti impuls koji je izvršio setovanje sada da izvrši i resetovanje flipflopa, pošto je on još uvek prisutan na oba I kola. Prema tome, da bi se ti izbeglo, mora se povećati kašnjenje signala između izlaza i ulaza flipflopa tako da bude

$$\tau < t_k < T, \tag{7.12}$$

gde je sa t_k označeno logičko kašnjenje memorijskog elementa. Ukoliko je kašnjenje u kolima manje od trajanja okidnog impulsa, očigledno je da se mora dodati i veštačko kašnjenje, kao što je to pokazano na slici 7.7.

Integrisana binarna kola su većinom direktno spregnuta i predviđena su za taktovani rad. Pri korišćenju diskretnih elemenata radije se primenjuje kapacitivna sprega kola i asinhroni rad. Pri tom se naravno nastoji da broj tranzistora bude što manji, odnosno da osnovna šema flipflopa odgovara onoj na slici 7.5. Da bi takav flipflop mogao da se upotrebi kao JK, potrebno je samo da se preurede njegovi ulazi R i S, da bi kolo moglo da radi i sa istovremenom eksitacijom oba ulaza. Takva

šema *JK* flipflopa data je na slici 7.8. Dovođenjem signala pojedinačno na ulaze *J* i *K*, kolo će biti setovano odnosno resetovano kao i svaki *RS* flipflop. Napomenimo pri tome da prvo nastaje diferenciranje okidnog napona na elementima *RC*, pa se efektivno okidanje kola vrši zadnjom ivicom, odnosno negativnim diferenciranim

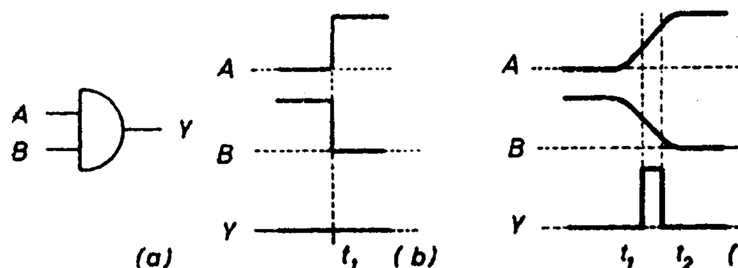


Sl. 7.8. *JK* flipflop sa diskretnim komponentama

impulsom. Osim toga treba uočiti da je uvek jedan od kondenzatora *C* skoro prazan, dok je drugi napunjen praktično na napon V_{CC}. Prema tome, efektivno dovođenje ulaznog signala na prekidački element moguće je samo sa ulaza koji je u datom trenutku vezan na nenapunjen kondenzator. Zahvaljujući tome ovo kolo može da radi kao *T* flipflop pri istovremenoj pobudi ulaza *J* i *K*.

7.2.6. MS flipflop

Konfiguracija *JK* flipflopa prema slici 7.7 ispunjava sve zahteve u pogledu pravilnog rada kola, ali potreba ugrađivanja linije za kašnjenje u vodove povratne sprege otežava proizvodnju takvih elemenata pogotovu u integrisanoj tehnici. Ove teškoće mogu da se prevaziđu konstruisanjem dvostrukog flipflopa. Istina, takav flipflop ima znatno veći broj komponenata, ali ako su pogodne za integrisanu proizvodnju to ne utiče bitno na ekonomičnost izrade.

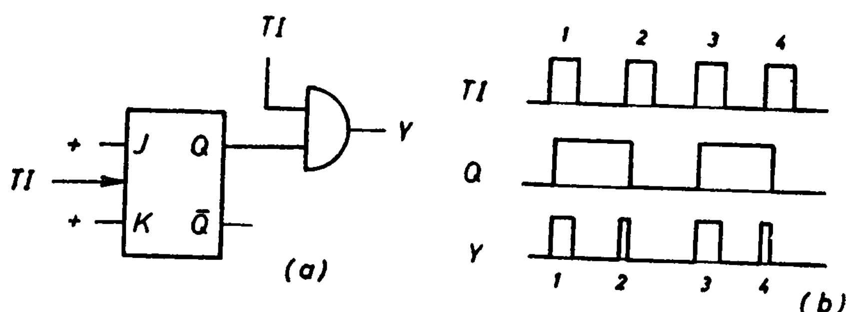


Sl. 7.9. Pojava prelaznog impulsa
(a) *I* kolo sa ulazima *A* i *B* (b) idealna pobuda (c) generisan prelazni impuls

Da bi se još jasnije istakla potreba *MS* flipflopa, ukazaćemo na jednu pojavu koja može da dovede do pogrešnog rada logičke mreže uopšte. Uzmimo za to primer logičkog *I* kola na sl. 7.9. U vremenu $t < t_1$ logičke vrednosti ulaza *A* i *B* su $A=0$ i

$B = 1$, pa je napon na izlazu $Y = 0$. U trenutku t_1 nastaje sinhronizovana trenutna promena ulaznih signala na vrednosti $A = 1$ i $B = 0$, tako da je u $t > t_1$ opet $Y = 0$. Prema tome, logika *I* kola u ovom slučaju je striktno primenjena i takav normalni rad kola ilustrovan je vremenskim dijagramom na sl. 7.9 b.

Promena vrednosti ulaznih signala, međutim, nikada nije trenutna, već je okarakterisana prelaznim režimom kao što je to pokazano na slici 7.9 c. Ako navedene promene signala *A* i *B* započinju istovremeno u t_1, a prelazni režimi su identični za oba posmatrana signala, onda će izlazna funkcija sigurno da ima vrednost $Y = 0$, ali samo za $t < t_1$ i $t > t_2$. U prelaznom intervalu između t_1 i t_2 međutim, može da dođe do pojave prelaznog impulsa, koji je pokazan na slici. Naime, u prelaznom intervalu signal *A* raste a signal *B* opada prema novim ustaljenim vrednostima. U nekom trenutku između t_1 i t_2 oba signala imaju pozitivne vrednosti. Ako su ove vrednosti veće od praga okidanja prekidačkih elemenata u *I* kolu, očigledno je da će se na izlazu formirati kratkotrajni prelazni impulsi. U slučaju da promena vrednosti signala *B* čak i nešto kasni iza *A*, verovatnoća pojave prelaznog impulsa je daleko veća. Nasuprot tome, formiranje prelaznog impulsa bilo bi onemogućeno ukoliko promena signala *A* kasni u odnosu na *B*.

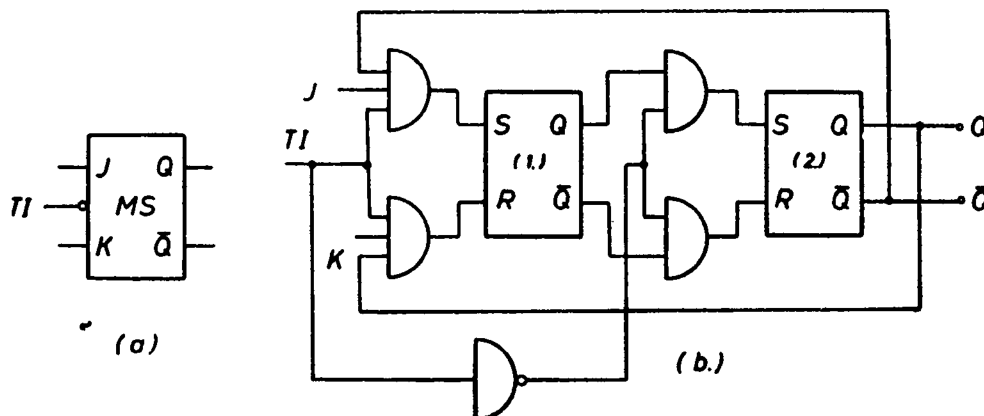


Sl. 7.10. Generisanje pogrešnih impulsa
(a) logička mreža (b) vremenski dijagrami

Pojava prelaznog impulsa, dakle, uzrokuje nepravilan rad logičkih mreža. U vezi s tim dolazi i do pogrešnih rezultata u digitalnoj obradi, što je naročito izraženo u brojačkoj tehnici. Primera radi, na sl. 7.10 dati su vremenski dijagrami izlaznog napona *I* kola kao rezultat ulaznih signala iz takt-generatora i iz memorijskog *JK* elementa. Sistem je sinhronizovan takt-impulsima *TI*, ali zbog prirodnog kašnjenja signala u memorijskom elementu, njegov izlazni napon *Q* nešto kasni. Posledica toga je očigledna: konačni izlaz *Y*, pored pravih impulsa 1 i 3 koji pokazuju da flipflop deli sa dva, sadrži i pogrešne impulse 2 i 4, nastale zbog kašnjenja signala u flipflopu, sl. 7.10 b.

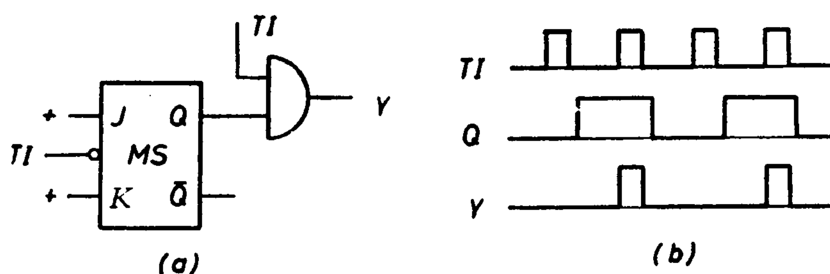
Da bi se izbegli navedeni nedostaci u primeni *JK* elementa, u poslednje vreme se mnogo više koristi konfiguracija dvostrukog flipflopa poznatog pod imenom *MS* (master-slave) flipflop, sl. 7.11. Pretpostavimo da je *MS* flipflop resetovan, znači $Q_1 = Q_2 = 0$. Dalje, neka kolo radi kao trigerski flipflop, što znači da su $J = K = 1$. Takt-impulsi imaju oblik dat na sl. 7.10. Dovođenjem taktnog impulsa na ulaz *TI* njegova prednja ivica izaziva setovanje prvog *RS* kola tako da postaje $Q_1 = 1$. Ovaj impuls nema uticaja na drugi *RS* flipflop, pošto se na njegovim ulaznim *I* kolima pojavljuje invertovan, znači sa vrednošću logičke nule. Prema tome, stanje na izlazu *MS* flipflopa za sada ostaje nepromenjeno, tj. $Q = 0$.

Zadnja ivica impulsa okončava vrednost logičke jedinice na ulazu, tako da je u preostalom delu takt-intervala ulazni napon nizak i kao takav nema više uticaja na prvo *RS* kolo. Međutim, invertovana vrednost tog napona setuje sada drugo *RS* kolo, tako da se konačno na izlazu *MS* flipflopa dobija vrednost $Q_2 = 1$. Promena



Sl. 7.11. *MS* flipflop sa *JK* logikom
(a) grafički simbol (b) logička šema

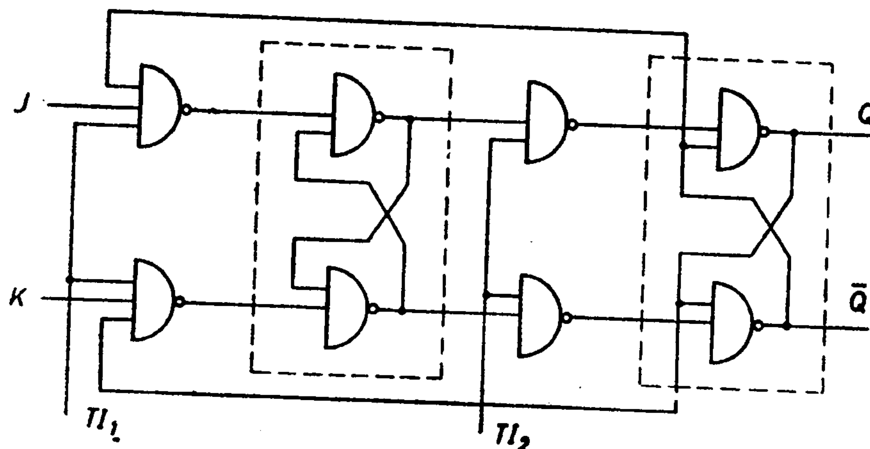
napona na izlazu *MS* flipflopa dešava se, dakle, po završetku pozitivnog dela takt-impulsa odnosno u pauzi između impulsa. Zahvaljujući tome više nema potrebe da se unosi veštačko kašnjenje u vodove povratne sprege, jer ne postoji mogućnost vremenske koincidencije između okidnog impulsa na ulazu i promenljive vrednosti povratnog napona sa izlaza. Osim toga ovakva konfiguracija flipflopa onemogućava i formiranje pogrešnih impulsa koji nastaju kao posledica kašnjenja u memorijskom elementu. U vezi s tim na sl. 7.12 ponovo je ilustrovan primer sa slike 7.10, ali sada sa primenom *MS* flipflopa.



Sl. 7.12. Primena *MS* flipflopa u primeru na sl. 7.10
(a) logička mreža (b) vremenski dijagrami

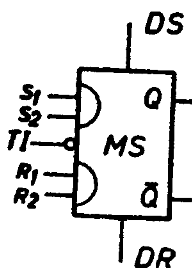
Već smo rekli da konstrukcija *MS* flipflopa iziskuje veliki broj komponenata — oko desetak tranzistora i dvadesetak dioda u *DTL* tehnici. Stoga se na ekonomičnu izradu ovakvih memorijskih elemenata može računati samo u integrisanoj proizvodnji. U vezi s tim na sl. 7.13 pokazana je šema *MS* flipflopa izgrađenog sa logičkim *NI* elementima. Primetimo da je u ovom flipflopu predviđen poseban priključak za dovođenje takt-impulsa na izlazno kolo. Drugim rečima, ovde su potrebni takt--impulsi TI_1 i TI_2, pri čemu impulsi TI_2 mora da kasne u odnosu na TI_1 da bi se

iskoristile navedene prednosti ovakvog flipflopa. Očigledno je da se umesto TI_2 mogu da koriste isto tako impulsi TI_1 koje prethodno treba samo invertovati, kao što je to pokazano na sl. 7.11.



Sl. 7.13. *MS* flipflop sa logičkim *NI* elementima

Što se tiče karakteristične funkcije *MS* flipflopa, naglasimo da ona može da bude identična sa ranije definisanim logičkim funkcijama za pojedine memorijske elemente. Prema tome, *MS* flipflop je samo specijalna konfiguracija ranijih *JK*, *RS* ili recimo *T* memorijskih elemenata. Pored toga na *MS* flipflopu lako se mogu da predvide i drugi specijalni priključci, na primer, za direktno setovanje i resetovanje kola, ili za asinhroni rad flipflopa i slično. U cilju svestranije upotrebe *MS* flipflopova, oni se obično proizvode sa više slobodnih priključaka, kao što to pokazuje grafički simbol na sl. 7.14. Ako se u ovom kolu spoje R_1 sa Q i S_1 sa $\bar{Q}$, dobija se *JK* flipflop, pri čemu S_2 odgovara ulazu *J*, a R_2 — ulazu *K*. Ako se, međutim, spoje R_1 i R_2 kao i S_1 i S_2, dati sklop se ponaša kao *RS* flipflop. Razume se, dalje, da se mogu koristiti samo priključci R_1 i S_1 kao ulazi *R* i *S*, dok preostala dva priključka R_2 i S_2 vrše neku naknadnu kontrolu ulaza R_1 i S_1. Najzad, ovakav sklop obično ima i priključke za direktno setovanje i resetovanje *DS* odnosno *DR*, koji, naravno, mogu da budu korišćeni i za prijem bilo kakvih drugih, najčešće asinhronih signala.



Sl. 7.14. Integrisani *MS* sklop

7.3. MAGNETNO JEZGRO KAO MEMORIJSKI ELEMENT

U izgradnji digitalnih uređaja značajno mesto zauzimaju magnetni materijali upotrebljeni uglavnom za memorijske naprave. Magnetni materijali koriste se u raznim vidovima, ali se za memorijske svrhe primenjuju u obliku magnetnih površina koje mogu biti debeloslojne i tankoslojne i magnetnih jezgara. Magnetne površine pod kojima se obično podrazumevaju debeloslojne, sačinjavaju pretežno legure nikla i kobalta. Ove legure se nanose u debljini većoj od 10 μm preko nemagnetne podloge. Koriste se za izradu memorija vrlo velikog kapaciteta koje se pojavljuju u obliku doboša, diskova i traka. S obzirom da debeloslojne magnetne površine nemaju karakter memorijskih elemenata, to o njima ovde neće biti više reči.

Tankoslojne magnetne površine ili magnetni filmovi sadrže legure nikla i gvožđa. Ove legure se nanose na metalni ili stakleni nosač u debljini ispod jednog mikrona (50—100 nm). Ovakve površine izrađuju se u raznim oblicima planarne ili cilindrične forme kao što su diskretne magnetne površine i magnetne žice. Iako se neke od ovih formi mogu da tretiraju i kao memorijski elementi, one se ipak ne izrađuju pojedinačno već u sklopovima, koji su pogodni za izgradnju memorijskih sistema. Zbog toga ni o njima nećemo više govoriti na ovom mestu.

Magnetna jezgra sadrže okside gvožđa, bakra, mangana, magnezijuma, i drugih dvovalentnih metala. Proizvode se u obliku diskretnih elemenata poznatih pod imenom feritna jezgra. Jezgra su nesumnljivo najrasprostranjeniji memorijski elementi, koji nalaze primenu ne samo u memorijskim sistemima već i u logičkim prekidačkim kolima. Istina, noviji sistemi logičkih kola potisli su upotrebu magnetnih jezgara iz ove oblasti izuzev u specijalnim uslovima gde se kao primarno zahteva velika imunost na smetnje i dugotrajna pouzdanost kola. No, i pored toga, proučavanje magnetnih jezgara i kao logičkog elementa doprineće potpunijem sagledavanju mogućnosti, koje jezgra pružaju u realizaciji prekidačkih mreža uopšte.

Feritna jezgra izrađuju se od usitnjene mešavine magnetnog materijala i vezivnog sredstva. Ovakva smeša se presuje u željene oblike i izlaže visokoj temperaturi (1200 — 1400°C), tako da se taj prah sinteruje u čvrstu homogenu polikristalnu strukturu. Ovakav magnetni materijal je odličan izolator, te su vihorne struje u feritnim jezgrima zanemarljivo male. Jezgra su najčešće torusnog oblika, čije dimenzije zavise od namene jezgra. Jezgra za logička kola imaju spoljni prečnik od 5 — 10 mm, a debljina im je oko 2 mm. Jezgra za memorijsku primenu su manja: spoljni prečnik je manji od 1 mm, a debljina je oko 0,5 mm. Minimalni unutrašnji prečnik jezgra je uglavnom određen mogućnošću provlačenja potrebnog broja vodova preko kojih se vrši eksitovanje jezgra.

7.3.1. Magnetizovanje feromagnetnog materijala

Najadekvatnije objašnjenje procesa magnetizovanja feromagnetnog materijala daje teorija domena. Naime, svaki atom feromagnetnog materijala sadrži u jednoj svojoj orbiti elektrone sa nebalansiranim, odnosno nekompenziranim spinovima. Ovi elektroni čine magnetne dipole. Pod dejstvom kvantnih sila magnetni dipoli mnogih susednih atoma orijentišu se u istom pravcu. Oblast koja obuhvata ovakve, međusobno paralelne magnetne dipole, naziva se domen. Pošto se dipoli pojedinih grupa susednih atoma orijentišu u različitim pravcima, to feromagnetni materijal uopšte uzevši sadrži mnogo domena. Između pojedinih domena postoje uvek prelazne oblasti — zidovi domena, čije su dimenzije znatno manje od samih domena.

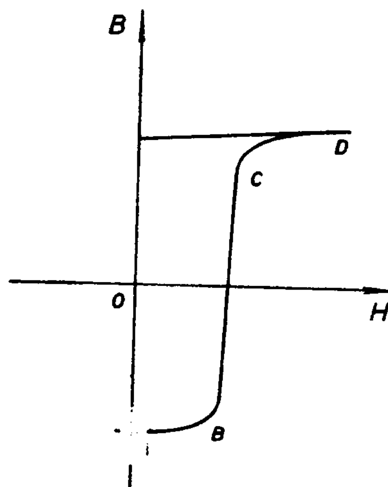
Kad se feromagnetni materijal sa proizvoljno orijentisanim domenima podvrgne dejstvu spoljašnjeg magnetnog polja, nastaje orijentisanje domena u pravcu dovedenog polja. Očigledno je da će ovaj proces najpre da zahvati domene, koji su već najpribližnije orijentisani prema spoljnjem magnetnom polju, a sa povećanjem polja proces preorijentacije zahvatiće i ostale domene. Drugim rečima, orijentisanjem većeg broja domena u istom pravcu vrši se u stvari povećanje prvobitno favorizovanog domena na račun drugih, čije su orijentacije mnogo više odstupale od pravca magnetnog polja. Postupak magnećenja feromagnetnog materijala praćen je, dakle, promenom dimenzija i orijentacije domena.

U procesu magnećenja feromagnetnog materijala razlikuju se tri karakteristične oblasti zavisno od veličine magnetnog polja. Pri malom magnetnom polju nastaje re-

versibilno magnećenje okarakterisano elastičnom promenom veličine domena, koji su najpribližnije orijentisani u pravcu magnetnog polja. Kad se magnetno polje dovoljno poveća, nastaje ireversibilno magnećenje materijala, kao posledica neelastičnog povećanja favorizovanih domena. I najzad, pri vrlo velikom magnetnom polju, dolazi samo do rotacije vektora magnetizacije domena, da bi se njegova orijentacija što više poklopila sa pravcem magnetnog polja.

Sa stanovišta primene magnetnog materijala za feritna jezgra bitno je to, što granice domena pri neelastičnom povećanju ostaju praktično nepromenjene i po uklanjanju dejstva spoljnjeg magnetnog polja. Zahvaljujući tome ovakav magnetni materijal može da posluži kao memorijski element, jer formirano magnetno stanje u jezgru odgovara podatku koji je posredstvom spoljnjeg magnetnog polja uslovio takvo stanje.

Tačno određivanje strukture domena polikristalnog feritnog materijala, koji se upotrebljava za izgradnju memorijskih elemenata, praktično je neizvodljivo. Pa ipak, prekidačko svojstvo feritnih jezgara može da bude interpretirano pomoću domena i pomeranja granica tih domena. Prema onome što je napred rečeno proističe da se svi domeni u jezgru mogu da orijentišu tako, da čine jedan jedinstven domen, ako se podvrgnu jakom uticaju spoljašnjeg magnetnog polja. Kada se, pak, to magnetno polje ukloni, formirani domen, kao što smo rekli, ostaje i dalje, karakterišući time jedno određeno magnetno stanje jezgra. Ovakvo magnetno stanje materijala odgovara na primer tački A na histerezisnoj karakteristici B — H, sl. 7.15. Ako se sada dovede magnetno polje suprotnog znaka od onoga prema kome je uspostavljeno prethodno stanje, najpre počinju da se pojavljuju sićušni domeni suprotne orijentacije na mestima kristalnih nesavršenosti materijala (na granicama magnetnih zrnaca, na mestima raznih primesa itd.). Ukoliko se radi o slabim poljima, povećanje ovih domena je neznatno i elastično, tako da se prestankom polja domeni vraćaju u ranije granice. Na karakteristici histerezisne krive to predstavlja reversibilnu oblast magnećenja, obeleženu sa A — B. Ako je, međutim, dovedeno magnetno polje veće od koercitivnog polja feritnog materijala, promene domena postaju ireversibilne, tako da se porast domena nastavlja sve dok se praktično ne formira ponovo jedinstven domen ali sada suprotne orijentacije. Ovo područje na histerezisnoj karakteristici označeno je sa B — C. Daljim povećanjem magnetnog polja nastaje samo reversibilna rotacija vektora magnetizacije domena, u težnji da se što prisnije postavi u pravcu magnetnog polja. Ovo reversibilno područje magnećenja materijala obeleženo je delom histerezisne krive C — D.



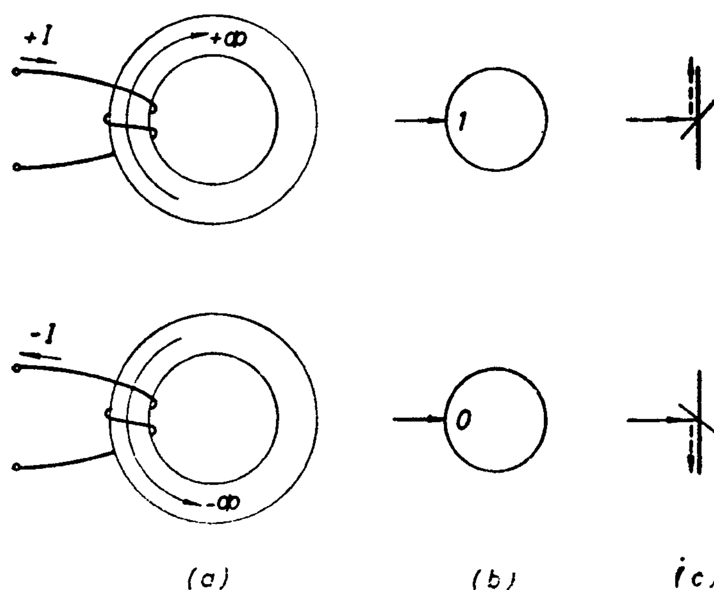
Sl. 7.15. Magnetizovanje feritnog materijala

Ireversibilni proces magnetizovanja feritnog materijala praćen je disipacijom energije, koja nastaje usled histerezisnih i vihornih gubitaka. Poznato je da su gubici usled histerezisa proporcionalni učestanosti, dok su gubici usled vihornih struja proporcionalni kvadratu učestanosti. Prema tome, sa povećanjem brzine prekidačkog delovanja jezgra povećava se i njegovo zagrevanje. Osim toga za brzi rad prekidačkog jezgra potrebna je veća eksitaciona struja što uzrokuje još veći porast disipacije, a time i povišenje temperature jezgra. Zbog toga je brzina rada kola sa feritnim jezgrima uglavnom i ograničena njegovim zagrevanjem, pošto se karakteristike magnetnog

materijala naglo pogoršavaju približavanjem temperature kritičnoj tački (Kiri--temperatura). U vezi s tim brzina prekidačkog rada većine feromagnetnih jezgara ograničena je na svega nekoliko megaherca.

7.3.2. Primena jezgra kao prekidačkog elementa

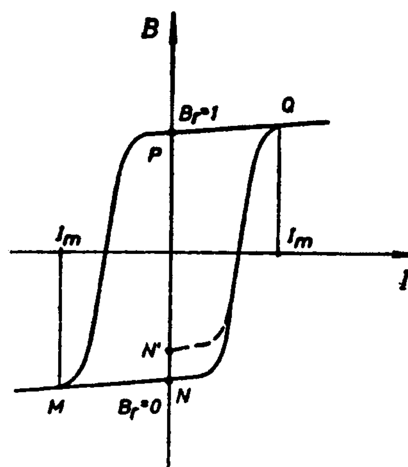
Princip rada magnetnog jezgra kao prekidačkog elementa pokazan je na slici 7.16. Na magnetno jezgro torusnog oblika postavljen je namotaj za eksitaciju jezgra, kroz koji se propušta struja magnećenja I. Namotaji na oba jezgra su motani u istom



Sl. 7.16. Eksitacija magnetnog jezgra
(a) detaljna šema
(b) grafički simbol
(c) uprošćen grafički simbol

smeru, ali je smer pobudne struje u njima različit. Koristeći poznato pravilo desne zavojnice, prema datim smerovima struje u namotajima određeni su i smerovi magnetnog fluksa u jezgrima. Smer fluksa u gornjem jezgru na slici 7.16 poklapa se sa smerom kazaljke na časovniku. Takav smer fluksa označavaćemo kao desni. Pored toga, smer struje koja stvara ovakav fluks, kao i odgovarajuću magnetnu indukciju obeležavaćemo sa „+" tj. usvojićemo da su pozitivni.

Na sl. 7.17 prikazana je tipična histerezisna kriva feritnog jezgra. Ova kriva se obično daje tako da predstavlja zavisnost između magnetnog fluksa i magnetopobudne sile $\Phi - M$, ili pak zavisnost između magnetne indukcije i magnetnog polja $B - H$. Kako je veza između $B - \Phi$ kao i $H - I$ linearna, to je ovde data zavisnost $B - I$, koja je pogodnija za prikazivanje rada jezgra kao digitalnog elementa. Pretpostavljajući da eksitovana struja kroz namotaj jezgra dostiže vrednost $I = I_m$, magnetno stanje jezgra dovodi se u zasićenje, što odgovara vrednosti magnetne indukcije u tački Q. Pri prekidanju struje I, tj. za $I = 0$, magnetna indukcija jezgra će neznatno da se



Sl. 7.17. Histerezisna kriva feritnog jezgra

smanji, zadržavajući se na vrednosti koju pokazuje tačka P. Zahvaljujući ovom remanentnom magnetizmu, koji predstavlja jedno stabilno stanje magnetnog prekidača, ovakav prekidački element može da se koristi za čuvanje informacije, primljene posredstvom strujnog impulsa $+I_m$. S obzirom da struja ovog impulsa ima pozitivan smer, to je i magnetna indukcija u tački P pozitivna i odgovara magnetnom fluksu, koji je ucrtan u gornjem jezgru na sl. 7.16 a. Prevedeno na jezik logičke algebre, možemo usvojiti da ovakvo magnetno stanje feritnog jezgra predstavlja setovano stanje memorijskog elementa, kada mu se, kao što znamo, pripisuje vrednost logičke jedinice. Prema tome, desni fluks, pozitivna indukcija, setovano jezgro i vrednost logičke jedinice — sve to označava jedno remanentno stanje datog magnetnog memorijskog elementa.

Dovodeći na eksitovani namotaj jezgra struju vrednosti $I = -I_m$, u jezgru se uspostavlja magnetna indukcija zasićenja, koja odgovara tački M na sl. 7.17. Po prestanku delovanja ove struje, tj. za $I = 0$, magnetna indukcija se neznatno menja i zadržava se na vrednosti koju pokazuje tačka N na histerezisnoj karakteristici. Prema tome, tačka N predstavlja drugo remanentno stanje jezgra, drugo stabilno stanje magnetnog prekidača. Pošto je indukcija u ovoj tački negativna u odnosu na tačku P, to ona odgovara fluksu koji se uspostavlja u donjem jezgru na sl. 7.16 a. Ovakvo stanje memorijskog elementa u digitalnoj terminologiji označava se kao resetovano ili kao vrednost logičke nule.

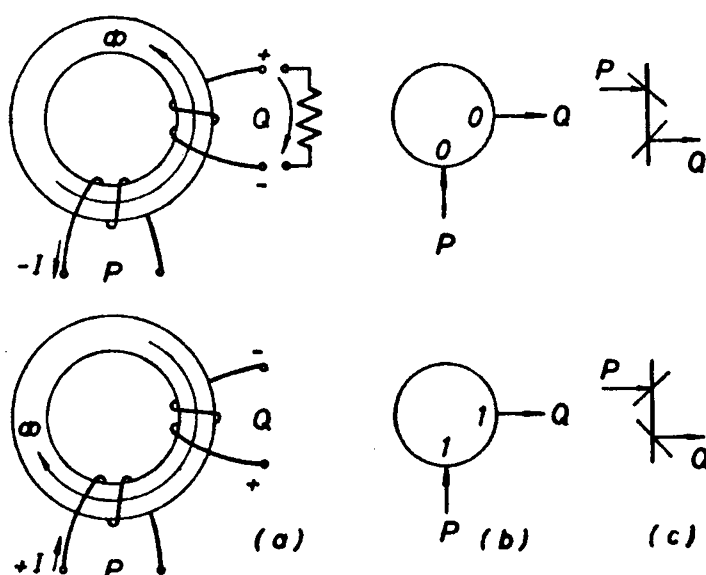
Na sl. 7.16 b pokazano je simbolično predstavljanje magnetnog prekidača u dva logička stanja. Kao što vidimo, eksitacioni namotaj naznačen je samo pravom linijom na kojoj strelica pokazuje da se radi o ulaznom namotaju, tj. namotaju preko koga se vrši pobuda jezgra. Binarni simboli 1 ili 0 pokazuju da se preko dotičnog namotaja vrši setovanje, odnosno resetovanje memorijskog elementa, što naravno uslovljava način motanja namotaja ili smer struje u njemu.

U složenijim logičkim mrežama upotrebljavaju se uprošćenije simbolične šeme za magnetne prekidače sl. 7.16 c. Ovde je magnetno jezgro predstavljeno debljom linijom, a namotaj se simbolizuje tanjom kosom crtom, koja se ukršta pod uglom od 45° sa linijom jezgra. Pravac ove crte pokazuje istovremeno i logičko stanje, koje se pri eksitaciji uspostavlja u jezgru. Koristeći analogiju odbijanja svetlosti od ogledala, ovde je usvojeno da „reflektovana pobudna struja" prema gore odgovara stanju logičke jedinice, a prema dole stanju logičke nule. Prema tome, gornji simbol na sl. 7.16 c ukazuje da će struja kroz ulazni namotaj izvršiti setovanje memorijskog elementa, dok donji simbol ukazuje na njegovo resetovanje.

Detektovanje uspostavljenog stanja u magnetnom prekidaču nije tako jednostavno, kao što je to bio slučaj kod flipflopa. Ovo stanje može da bude utvrđeno samo ponovnim eksitovanjem jezgra, pri čemu će nastala promena magnetne indukcije u jezgru moći da se konstatuje pomoću indukovanog napona u izlaznom namotaju. Prema tome, za određivanje stanja magnetnog prekidača biće potrebna dva namotaja: pomoćni ili pomerački namotaj P i izlazni namotaj Q, sl. 7.18. U gornjem jezgru slike 7.18 a kroz pomerački namotaj se propušta negativna struja, koja uzrokuje resetovanje jezgra, pa se stoga u ovom slučaju govori o reset-izlazu. Ako je jezgro već bilo u resetovanom stanju, onda se radna tačka histerezisne krive na sl. 7.17 pod dejstvom ove struje pomera iz položaja N prema položaju M, ali se po nestanku struje opet vraća ka tački N. Zbog toga nastaje reversibilna promena magnetne indukcije$B$, koja je vrlo mala, te praktično i ne dolazi do indukovanja napona u namotaju Q. Ako je, međutim, zatečeno stanje u jezgru odgovaralo tački P, gde indukcija ima pozitivnu vrednost, pod dejstvom negativne struje pomoćnog namotaja u jezgru nastaje promena magnetne indukcije sa logičke vrednosti $B_r = 1$ na vrednost $B_r = 0$.

Za razliku od prethodnog slučaja ova ireversibilna promena magnetne indukcije u jezgru, indukuje veliki napon na krajevima izlaznog namotaja Q. Prema tome, setovano ili resetovano stanje memorijskog elementa pri reset-izlazu konstatuje se postojanjem ili nepostojanjem indukovanog naponskog impulsa u izlaznom namotaju.

Za detekciju stanja magnetnog prekidača koristi se i set-izlaz. Ovakav slučaj pokazan je na donjem jezgru slike 7.18 a. Ako je jezgro bilo u donjoj radnoj tački, pozitivna struja I setovaće ga u gornju radnu tačku. Ireversibilna promena magnetne



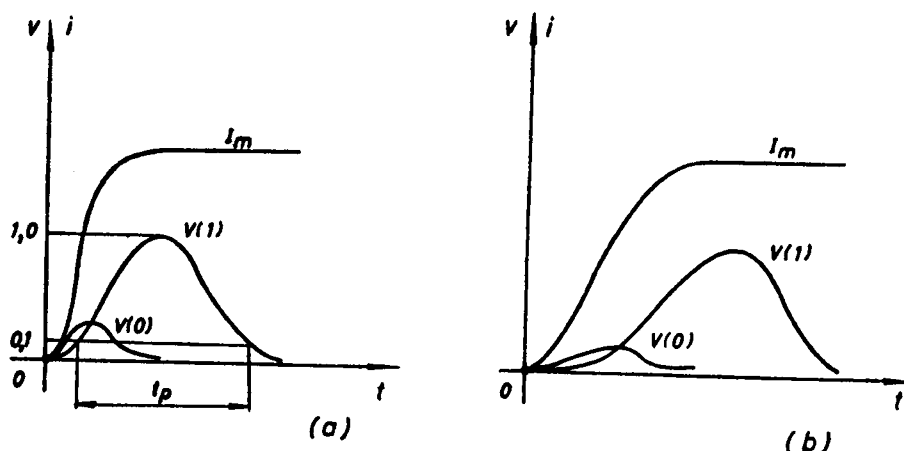
Sl. 7.18. Detektovanje stanja magnetnog jezgra
(a) detaljna šema
(b) grafički simbol
(c) uprošćeni grafički simbol

indukcije u jezgru, uzrokovaće, prema tome, indukovanje visokog napona u namotaju Q. Međutim, ako je jezgro bilo u setovanom stanju, struja pomoćnog namotaja izaziva reversibilnu promenu magnetne indukcije, te se na namotaju Q indukuje nizak napon. Prema tome, setovano ili resetovano stanje memorijskog elementa pri korišćenju set-izlaza konstatuje se nepostojanjem, odnosno postojanjem indukovanog naponskog impulsa u izlaznom namotaju.

U simboličnim šemama na sl. 7.18 b pomerački i izlazni namotaj označeni su sa P i Q i strelicama koje pokazuju da se P namotaj koristi kao ulazni, a Q kao izlazni. Reset i set-izlaz označava se binarnim simbolima 0, odnosno 1 naspram pomenutih namotaja. Uprošćena simbolična šema takođe ukazuje na obe vrste izlaza. Zapazimo da su simboli za namotaje P i Q postavljeni u suprotnim pravcima, što je posledica činjenice, da je indukovana struja u namotaju Q suprotnog smera od eksitacione struje u namotaju P.

Bitni parametri magnetnog prekidača su veličina struje eksitovanja u ulaznim namotajima kao i veličina indukovanog napona na izlaznom namotaju. Kod većine jezgara, koja se koriste u memorijskim sistemima, pobudne struje su reda 0,1 — 1 A dok indukovani naponi iznose oko 5 — 10 mV za vrednost logičke nule, a oko 50 — 100 mV za vrednost logičke jedinice. Napomenimo, da se sa povećanjem pobudne struje, povećava i brzina uspostavljanja odgovarajućeg magnetnog stanja u jezgru, odnosno povećava se i brzina rada magnetnog prekidača.

Dijagram indukovanog napona na prekidaču zavisi i od brzine uspostavljanja struje eksitovanja. Na sl. 7.19 pokazani su vremenski dijagrami indukovanog napona za vrednosti logičke nule i logičke jedinice pri brzom (a) i sporom (b) uspostavljanju struje eksitovanja. Vidimo da je kašnjenje indukovanog napona zavisno od gradijenta

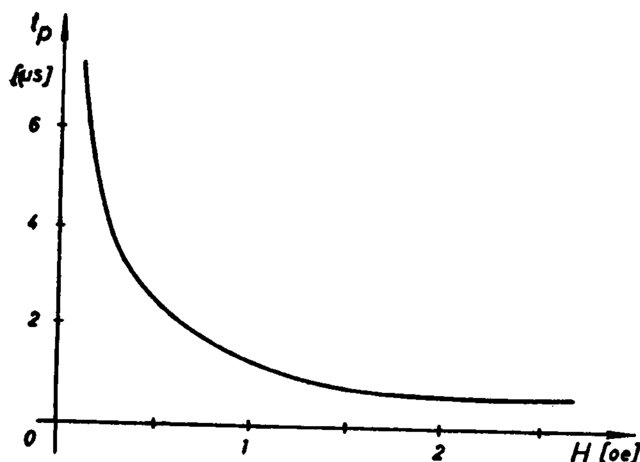


Sl. 7.19. Pobudna struja i indukovani napon magnetnog prekidača
(a) brzo uspostavljanje struje I_m
(b) sporo uspostavljanje struje I_m

struje eksitovanja, koja u stvari kontroliše razvoj ireversibilnog procesa u jezgru. Maksimum indukovanog napona malo zavisi od gradijenta pobudne struje, ali će on ranije da se formira što je pomenuti gradijent veći.

Indukovani napon logičke nule nastaje pre od napona logičke jedinice.Osim toga trajanje ovog impulsa je i znatno kraće. Zahvaljujući tome, stanje logičke jedinice i nule kod magnetnog prekidača mogu da se diskriminišu i po vremenu nastajanja indukovanog napona ukoliko amplitudska diskriminacija nije u nekom slučaju dovoljno pouzdana.

Važan parametar svakog prekidačkog elementa, pa i magnetskog, je brzina rada. Ovaj parametar se kod magnetnog prekidača izražava vremenom trajanja indukovanog impulsa u izlaznom namotaju t_p pri detektovanju vrednosti logičke jedinice. Prema sl. 7.19 a vidimo da se taj parametar definiše kao vreme između trenutaka u kojima indukovani napon sa obe strane maksimuma ima vrednost od 10% maksimalne vrednosti. Ovo vreme se kreće od oko 0,1 μs pa do nekoliko milisekunada za opseg pobudnih struja od 100 mA do 1 A. Na sl. 7.20 ilustrovana je zavisnost trajanja izlaznog impulsa t_p od magnetnog polja H, koje, kao što znamo, stoji u linearnoj srazmeri sa strujom I. Napomenimo uz to da vreme t_p zavisi još i od magnetnog materijala, tipa jezgra i njegovih fizičkih veličina, načina upotrebe itd.



Sl. 7.20. Zavisnost vremena t_p od pobudnog magnetnog polja H

Podsetimo, da namotaji na jezgru pokazuju veoma različitu impedansu u zavisnosti od magnetnog stanja u jezgru. U toku promene magnetne indukcije od jedne do druge logičke vrednosti ispoljava se vrlo velika impedansa namotaja. Međutim, pri reversibilnoj promeni magnetne indukcije, koja je okarakterisana gornjom ili donjom stranicom histerezisne petlje, namotaj pokazuje vrlo malu impedansu. Primetimo još da se remanentni magnetizam nešto malo smanjuje u toku nekoliko prvih reversibilnih eksitacija jezgra. Tako, na primer, ako je struja setovanja jezgra $I=I_m/2$, magnetno polje je nedovoljno da savlada koercitivnu silu, pa se jezgro vraća u ranije remanentno stanje. Nova vrednost magnetne indukcije, međutim, biće nešto manja, tako da se umesto stabilne radne tačke u N uspostavlja radna tačka obeležena sa N' na sl. 7.17.

Osobine magnetnih jezgara, kao što je već istaknuto, zavisne su od temperature, što se lako uočava i po promeni oblika histerezisne krive snimljene na različitim temperaturama. Pri povećanju temperature karakteristika jezgra se izdužuje, što znači da se koercitivna sila jezgra smanjuje. Ovo može da bude kritično u primenama prekidača, gde se eksitacija jezgra vrši aditivnim delovanjem više pobudnih struja. Naime, pošto se pri višim temperaturama lakše ostvaruje ireversibilna magnetizacija materijala, to se može desiti da ona bude izazvana i od strane samo nekih, a ne od svih predviđenih struja u aditivnom delovanju. Za rad magnetnih prekidačkih elemenata pokazuje se kao najpovoljnija vrednost temperature od oko 40°C.

Na kraju podvucimo još jedanput da rad magnetnog jezgra kao memorijskog elementa bazira na postojanju dva remanentna magnetna stanja u jezgru. Kako je povoljan položaj remanentne radne tačke obezbeđen samo kod jezgara sa kvadratnom karakteristikom, to je za ocenu valjanosti ovakvog memorijskog elementa bitan i parametar kvadratičnosti histerezisne krive. Ovaj parametar se izražava odnosom magnetne indukcije B pri magnetnom polju H za vrednosti eksitacionih struja $I = I_m/2$ i $I = I_m$, naime

$$F_q = \frac{B\,(I_m/2)}{B\,(I_m)}\,. \tag{7.13}$$

Ovaj parametar kod savremenih jezgara prelazi vrednost 0,85 pa čak i 0,90. Napomenimo da se kvadratičnost karakteristike jezgra ponegde izražava i odnosom B_r/B_m, gde vrednost B_r odgovara remenentnom stanju jezgra, a B_m, struji eksitacije I_m.

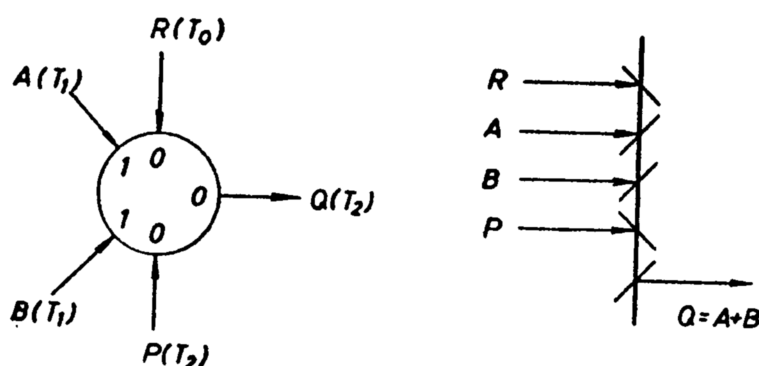
7.3.3. Izvođenje logičkih operacija

Proračun prekidačkih kola sa magnetnim jezgrima je znatno složeniji od odgovarajućih postupaka sa drugim elementima. Bitna razlika nastaje zbog toga što se kod magnetnog prekidača ne radi o električnom kontaktu ili ventilu već o magnetnom medijumu koji posreduje između ulaznih i izlaznih priključaka. Prema tome, prekidački signal prolazi kroz ovaj medijum u oba pravca, za razliku, na primer, od tranzistorskih prekidača koji su unilateralni. Dalje, rezultujući prekidački efekat svih namotaja na jezgru određen je zbirom njihovih magnetopobudnih sila. Zavisno od smerova pojedinačnih pobudnih struja, neke od magnetopobudnih sila se međusobno sabiraju, ali se neke, naravno, i oduzimaju. Zbog svega toga razumljivo je da se nekad moraju postaviti vrlo stroga ograničenja u pogledu veličine struja i tolerancije još nekih parametara magnetnih prekidačkih kola.

U daljem izlaganju pokazaćemo izvođenje osnovnih logičkih kola sa magnetnim jezgrima. Imajući u vidu da se ova kola sve više potiskuju iz upotrebe, nećemo se upuštati ni u kakve proračunske ni konstruktivne detalje. Drugim rečima zadovolji-

ćemo se prikazivanjem samo principskih šema logičkih kola, iz kojih ćemo videti da se neke operacije logičke algebre daju vrlo lako izvesti sa magnetnim jezgrima.

Pomoću magnetnog jezgra najjednostavnije se ostvaruje logička *ILI* operacija sl. 7.21. U sinhronizovanim digitalnim sistemima ova, a i druge osnovne operacije, obavlja se u tri vremenska intervala. U takt-intervalu T_0 uspostavlja se početno ili mirno stanje u jezgru, odnosno jezgro se resetuje takt-impulsom preko posebnog namotaja R predviđenog za tu svrhu. U intervalu T_1 dovode se ulazni signali A i B kao nezavisno promenljive veličine na odgovarajuće ulazne namotaje. Preko ulaza A i B, dakle, vrši se setovanje jezgra ili — kako se to obično kaže — vrši se upisivanje podataka u memorijski element. Najzad u intervalu T_2 dovodi se takt-impuls na pomerački namotaj P da bi se upisani podatak pomerio — indukovao u izlaznom namotaju Q. Obično se kaže da se u ovom intervalu vrši očitavanje, čitanje sadržaja memorijskog elementa.



Sl. 7.21. Logičko *ILI* kolo

Kombinaciona tabela magnetnog kola, pored podataka za izražavanje logičke funkcije, često sadrži i druge elemente koji doprinose boljem razumevanju rada kola. Pri tome treba praviti razliku između simbola koji označavaju magnetno stanje jezgra M i simbola koji označavaju postojanje ili nepostojanje ulaznih odnosno izlaznih signala. Vrlo često se simbolima 0 i 1 označavaju magnetna stanja, a sa + i — prisustvo ili osustvo signala, kao što je to pokazano za *ILI* kolo u tabeli 7.9. Kolone

T_0		T_1			T_2		
R	M	A	B	M	P	Q	M
+	0	—	—	0	+	—	0
+	0	—	+	1	+	+	0
+	0	+	—	1	+	+	0
+	0	+	+	1	+	+	0

Tabela 7.9. Kombinacioni podaci za *ILI* kolo

R i P prikazuju takt-impulse, koji u intervalu T_0 dovode jezgro u početno stanje, a u intervalu T_2 detektuju sadržaj jezgra. Kolone A i B predstavljaju ulazne, a Q — izlazni signal, koji su međusobno vezani logičkom funkcijom kola $Q = A + B$. Vodeći računa o vremenskoj koordinati, ova funkcija se beleži kao $Q(T) = A + B$ ili $Q = \Delta (A + B)$ gde simbol Δ označava kašnjenje za takt-interval T. Kolone M pokazuju magnetno stanje jezgra formirano prethodnom pobudom. Zapazimo da se

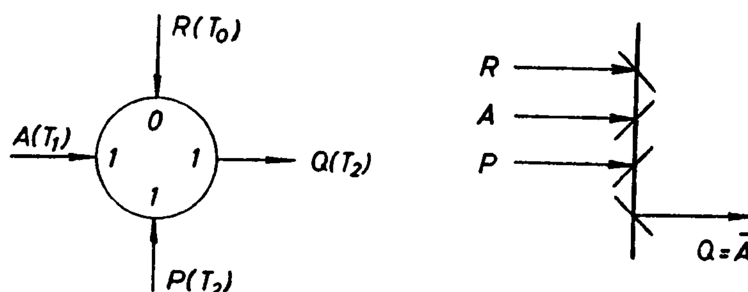
prilikom očitavanja, jezgro ponovo vraća u početno stanje. Ovakvi memorijski elementi, kod kojih se upisani sadržaj pri čitanju briše, nazivaju se destruktivni.

Magnetni prekidač je u suštini memorijski element, i kao takav on mora da bude doveden u početno stanje pre korišćenja u logičkim kolima. Pored toga, pomerački impulsi moraju uvek da postoje kao pomoćno sredstvo za detekciju izlaza. Imajući ovo u vidu, logička *ILI* operacija sa magnetnim jezgrom može da se prikaže i tako da sadrži samo kombinacione vrednosti nezavisno promenljivih ulaza A i B i odgovarajuće izlazne funkcije Q, kao što je pokazano u tabeli 7.10. Pri tome ipak treba voditi računa i o vremenskom redosledu signala, što je uostalom bio slučaj i kod flipflopa.

Izvođenje logičke *NE* operacije sa magnetnim jezgrom takođe je jednostavno, sl. 7.22. Ovde treba uočiti samo to, da je primenjen set-izlaz, tj. pri očitavanju upisane

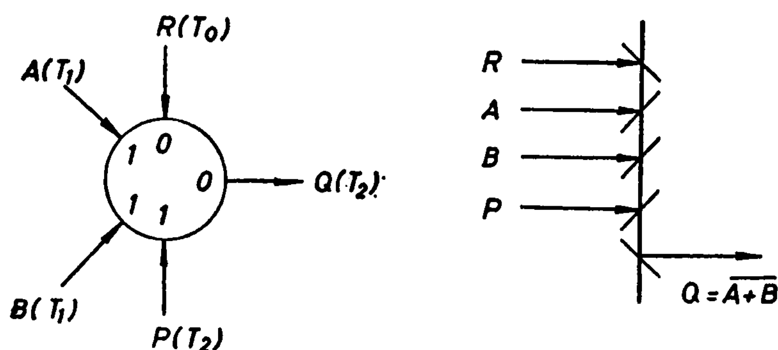
$A(t_1)$	$B(t_1)$	$Q(t_1+T)$
0	0	0
0	1	1
1	0	1
1	1	1

Tabela 7.10. Kombinaciona tabela *ILI* kola



Sl. 7.22. Logičko *NE* kolo

vrednosti preko ulaza $\bar{A}$, vrši se setovanje jezgra preko P, da bi se dobila invertovana vrednost A na izlaznom namotaju Q. Primetimo da se ponekad u invertorima primenjuje izmenjena uloga namotaja, naime R namotaj uspostavlja u jezgru stanje 1, a svi ostali stanje 0.

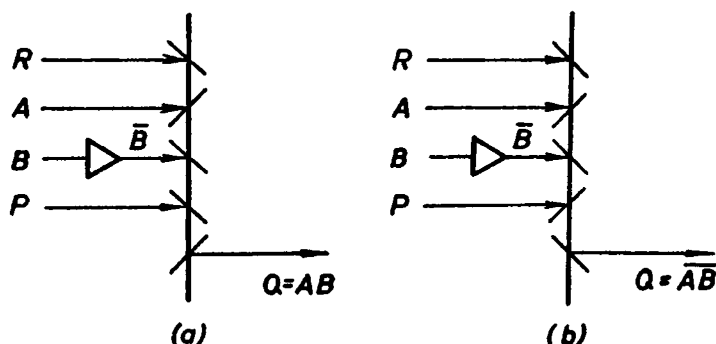


Sl. 7.23. Logičko *NILI* kolo

Kombinacijom *ILI* i *NE* kola prema sl. 7.23 ostvaruje se logička *NILI* operacija. Ovde se radi o potpuno istom kolu kao i za *ILI* logiku, samo što treba da se promeni smer struje u pomeračkom namotaju P. Ovaj primer ukazuje na jednostavnost promene logičke funkcije, što karakteriše mnoga magnetna kola.

Logička *I* operacija nije tako pogodna za izvođenje sa magnetnim jezgrima, jer uslovljava prethodno invertovanje jednog ulaza, sl. 7.24 a. Ako se invertovanje ulaza B vrši pomoću magnetnog jezgra, onda se vreme obavljanja *I* operacije povećava bar

za još jedan takt-interval. U tabeli 7.11, koja prikazuje rad *I* kola, pretpostavljeno je da se invertovanje ulaza *B* i upisivanje signala *B* vrši u istom vremenskom intervalu. Skrenimo pažnju da signal *A* setuje, a *B* resetuje magnetno jezgro. To postaje dosta kritično za vrednosti navedenih ulaza u trećem redu kombinacione tabele. Naime,



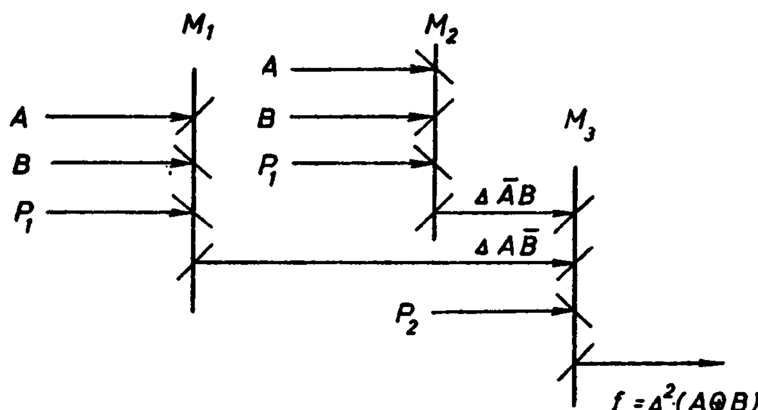
Sl. 7.24. Logička kola
(a) za *I* operaciju (b) za *NI* operaciju

$A(t_1)$	$B(t_1)$	$\bar{B}(t_1)$	$Q(t_1+T)$
0	0	1	0
0	1	0	0
1	0	1	0
1	1	0	1

Tabela 7.11. Kombinaciona tabela *I* kola

ovde se dejstva ulaza *A* i *B* međusobno poništavaju, što će biti efikasno izvedeno samo pod uslovom da su signali *A* i $\bar{B}$ bar približno jednaki po amplitudi i strogo koincidentni po vremenu trajanja.

Što se tiče *NI* kola, sl. 7.24 b, ono se realizuje jednostavnom promenom smera struje čitanja u pomoćnom namotaju kao i kod *NILI* kola.



Sl. 7.25. Isključivo *ILI* kolo

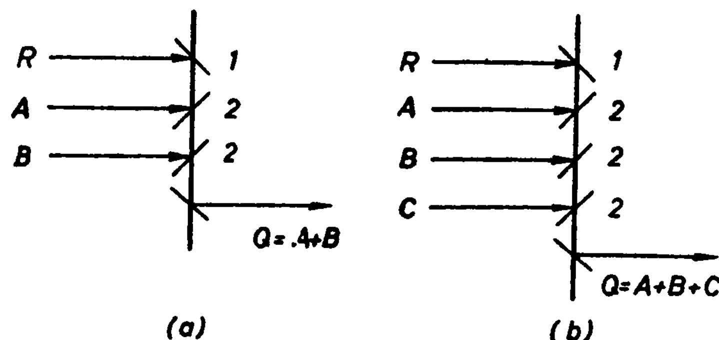
Na sl. 7.25 pokazano je isključivo *ILI* kolo. Ono sadrži jezgra M_1 i M_2 za specijalne *I* funkcije i jezgro M_3 za *ILI* logiku. Za ovu logičku operaciju, kao što vidimo, potrebna su dva vremenski odvojena pomeračka impulsa P_1 i P_2. Izlazna funkcija, prema tome, sadrži dvostruko kašnjenje, pa se simbolično izražava sa

$$f = \Delta\,(\Delta\,\bar{A}B + \Delta\,A\bar{B}) = \Delta^2\,(A \oplus B), \tag{7.14}$$

gde Δ^2 označava vremenski pomeraj za dva takt-intervala, odnosno kašnjenje u iznosu od 2 *T*.

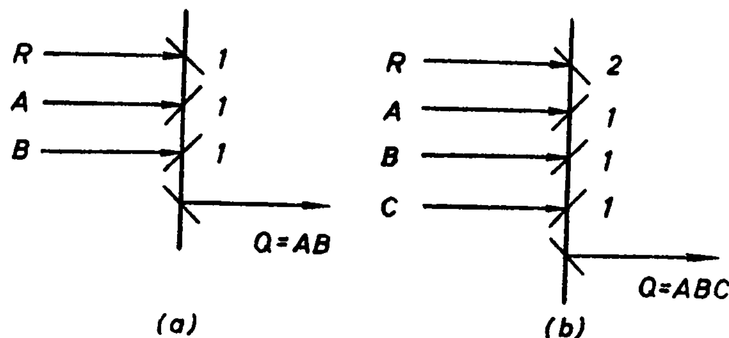
Jedan od nedostataka pokazanog načina realizovanja prekidačkih funkcija jeste potreba najmanje dva bit-vremena za najprostiju logičku operaciju. Zbog toga se u nesinhronizovanim digitalnim sistemima primenjuju magnetna jezgra sa predmagnetizovanjem. U ovom slučaju se osnovna logička operacija u potpunosti obavlja u toku jednog istog vremenskog perioda. Ovakva magnetna kola, međutim, gube svojstvo memorijskog elementa.

Na sl. 7.26 pokazano je logičko *ILI* kolo sa predmagnetizovanim jezgrima. Kroz namotaj R u ovom slučaju neprekidno teče struja vrednosti $-I_m$, koja održava jezgro u stalnom resetovanom stanju. Ako se kroz namotaj A propusti struja vrednosti $+2\,I_m$, izvršiće se izmena magnetnog stanja jezgra sa vrednosti logičke nule na vrednost logičke jedinice, što će se istovremeno registrovati i u izlaznom namotaju Q u obliku indukovanog napona. Ako je ulaz A impulsnog karaktera, što redovno i jeste slučaj, onda će se po iščezavanju impulsa ponovo da uspostavi predmagnetizovano stanje u jezgru. Naravno da je i ova promena magnetnih stanja jezgra praćena indukovanim naponom u namotaju Q. S obzirom da je ovaj napon suprotnog polariteta od prethodnog, nema teškoća u diskriminisanji pravog izlaznog signala.



Sl. 7.26. *ILI* kola sa predmagnetizovanim jezgrima

Sve što je rečeno za ulaz A važi i za ulaz B, kao i za istovremeno eksitovanje oba ulaza. Na simboličnim šemama kola naznačene su vrednosti struja u kvantima, gde je kao kvant uzeta struja I_m, koja je u stanju da izvrši magnetisanje jezgra do zasićenja. U stvari adekvatnije bi bilo da kažemo, da navedeni brojevi označavaju kvante magnetnog polja H_m histerezisne karakteristike jezgra $B-H$. Imajući u vidu vezu između polja H i struje magnećenja I, napomenimo da se potrebni uslovi rada kola sa predmagnetizovanim jezgrima mogu da ostvare i pri istim vrednostima struja, ali sa različitim brojem zavojaka u namotajima.



Sl. 7.27. *I* kola sa predmagnetizovanim jezgrima

Koristeći predmagnetizovana jezgra nema posebnih teškoća ni u realizaciji logičkog *I* kola, sl. 7.27. U ovom slučaju, istina, postoji strožije ograničenje vrednosti struja u namotajima, pošto izmena magnetnog stanja u jezgru, treba da bude rezultat aditivnog delovanja struja u svim namotajima. Prema tome, rezultujuće magnetno polje u jezgru izraženo brojem kvanta, mora da zadovolji relaciju

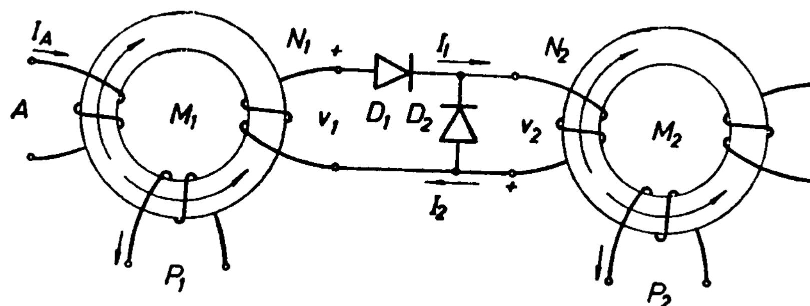
$$M \cdot m - n = 1, \tag{7.15}$$

gde je M broj ulaza I kola, m broj kvanta ΔH po svakom ulaznom namotaju, a n broj kvanta namotaja za predmagnetizovanje jezgra. Očigledno je da povećanje broja ulaza kola, uslovljava strožije tolerance struja, tako da se praktično i ne konstruišu I kola sa više od tri ulazna namotaja.

Obratimo pažnju da jezgro na sl. 7.27 b radi kao I kolo ako ima vrednosti $m = 1$ i $n = 2$. Međutim, to isto kolo ima ILI logiku ako su $m = 2$ i $n = 1$, sl. 2.26 b. Šta više, nije teško proveriti, da ovo kolo može da ima logičku funkciju $f = AB + BC + CA$ pod uslovom da su $m = n = 1$. Ovo ukazuje na mogućnost višestrukog iskorišćenja jednog istog magnetnog jezgra u kombinacionim mrežama, što inače nije slučaj kod logičkih kola u nekim drugim tehnikama izvođenja. No, i pored toga, nepovoljna masovna proizvodnja ovih kola, a uz to, i neki loši parametri, kao na primer, direktivnost, brzina rada i drugi, jako umanjuju vrednost magnetnih jezgara kao logičkog elementa.

7.3.4. Višestepena sprega jezgara

Pri šemiranju višestepene mreže sa magnetnim jezgrima nailazi se na teškoće koje su posledica bilateralnog karaktera ovakvih prekidačkih elemenata. Drugim rečima to znači, da signali kroz ovakvu mrežu prolaze u oba smera, kako od prethodnog prema sledećem stepenu, tako i obrnuto. U vezi s tim nameće se više problema pri izvođenju međusobne sprege magnetnih jezgara M_1 i M_2, sl. 7.28. Kao prvo, u namotaju N_1 indukuje se napon, bilo da se dovede strujni impuls u namotaj A ili P_1. Kako su indukovani naponi u N_1 za ta dva slučaja suprotnog polariteta, to se diodom



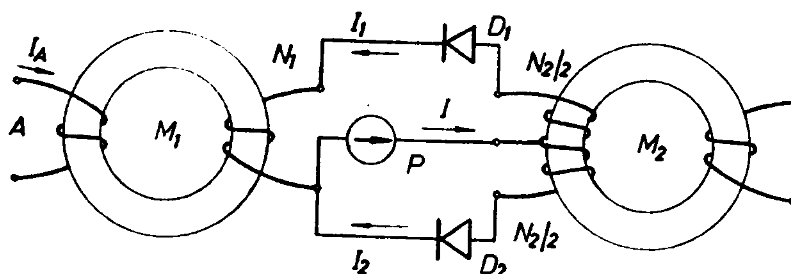
Sl. 7.28. Sprega jezgara posredstvom dioda

D_1 izdvaja samo napon čitanja V_1. Prema tome, od M_1 ka M_2 može da prolazi samo struja I_1 koja je posledica napona čitanja V_1. Ako je jezgro M_1 bilo u resetovanom stanju, struja I_1 biće vrlo mala, tako da ne može da izazove promenu magnetnog stanja jezgra M_2. Međutim, ako je jezgro M_1 bilo setovano, indukovani napon V_1 uzrokovaće veliku struju I_1, koja će setovati jezgro M_2. Prema tome, po završetku strujnog impulsa P_1 memorisani signal biće na taj način prenet iz jezgra M_1 u M_2.

Da bi se signal iz M_2 preneo u sledeće jezgro vrši se očitavanje jezgra M_2 posredstvom strujnog impulsa P_2. Pri resetovanju ovog jezgra, međutim, indukuje se u namotaju N_2 napon takvog smera, da u kolu sprege nastaje struja I_2. Ako je ova struja dovoljno velika, ona će ponovo da setuje jezgro M_1. Ovaj nedostatak se ublažava time, što je u namotaju N_2 broj zavojaka za 3—4 puta manji nego u namotaju N_1. Ovakav odnos zavojaka u ovim namotajima povoljan je i s obzirom na kompenzaciju gubitaka nastalih u jezgru i primarnoj petlji. Osim smanjivanja broja zavojaka u

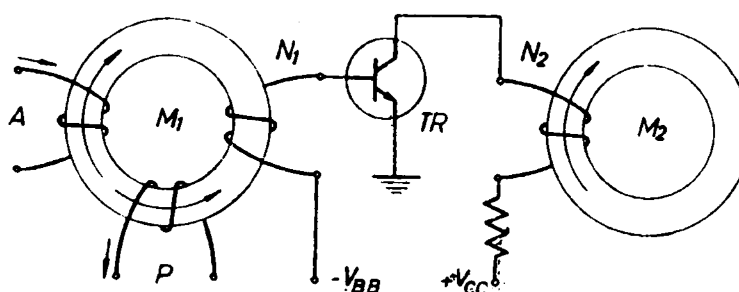
namotaju N_2, efikasno otklanjanje struje I_2 postiže se diodom D_2. Ova dioda je neprovodna pri očitavanju jezgra M_1, tako da ne utiče na struju I_1. Međutim pri očitavanju jezgra M_2, ona vodi i tako premošćava namotaj N_1.

Pri očitavanju jezgra M_1, namotaj N_2 predstavlja praktično kratku vezu izlaza V_1. Zbog toga se jako opterećuje izvor takt-impulsa P_1. Da bi se to izbeglo često se u kolo sprege između jezgara M_1 i M_2 stavlja još i otpornik relativno male vrednosti.



Sl. 7.29. Sprega jezgara preko srednjeg izvoda namotaja

Efikasna izolacija između dva magnetna stepena postiže se pomoću dvostrukog namotaja N_2, sl. 7.29. Ovde se pomerački impuls P dovodi iz strujnog izvora u srednju granu petlje, tako da se struja impulsa I u namotaju N_2 grana na struje I_1 i I_2. Struja I_1 prolazi kroz namotaj N_1 i njen smer je takav da vrši resetovanje jezgra M_1. Ako je ovo jezgro već u resetovanom stanju, onda je impedanca namotaja N_1 vrlo mala pa su struje I_1 i I_2 jednake. Zbog toga se njihovi fluksovi u jezgru M_2 poništavaju, te ne dolazi do promene magnetnog stanja ovog jezgra. Pogledajmo sada šta se dešava pri dovođenju ulaznog signala I_A na jezgro M_1. Očigledno je da će ovo jezgro biti setovano, a usled promene magnetnog stanja u jezgru indukuje se napon na namotaju N_1 sa pozitivnim polom na donjem priključku. Indukovana struja namotaja N_1 međutim, biće vrlo mala, jer je dioda D_2 neprovodna, a strujni generator ima veliku unutrašnju otpornost. Prema tome, prolaskom ove struje kroz gornju polovinu namotaja N_2 ne utiče se na magnetno stanje jezgra M_2.



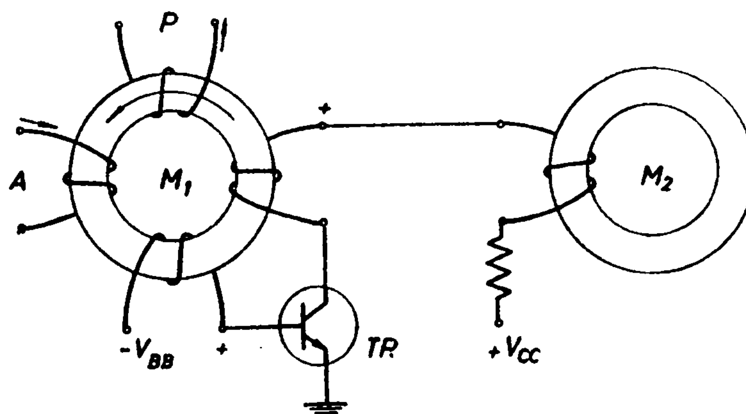
Sl. 7.30. Sprega jezgara pomoću tranzistora

Pri dovođenju pomeračkog impulsa P u ovom slučaju, vrši se resetovanje jezgra M_1, pa namotaj N_1 predstavlja sada veliku impedansu za struju I_1. Zbog toga je struja $I_2 \gg I_1$ tako da je u stanju da izvrši setovanje jezgra M_2 iako je rezultujuće magnetno polje u ovom jezgru nešto smanjeno zbog postojanja struje I_1. Prema tome, konačni rezultat resetovanja jezgra M_1 pomoću struje I_1 i setovanja jezgra M_2 pomoću struje I_2 ogleda se u prenošenju stanja logičke jedinice iz M_1 u M_2.

Daleko bolja izolovanost magnetnih stepena postiže se pomoću tranzistorske sprege, sl. 7.30. Tranzistor TR zakočen je malim negativnim naponom $-V_{BB}$.

Signal sa ulaza A indukuje na bazi tranzistora negativni napon, što znači da je bez uticaja na jezgro M_2. Pomerački impuls P, međutim, indukuje na bazi tranzistora pozitivni napon, naravno pod pretpostavkom, da je jezgro M_1 bilo setovano. Indukovani napon dovodi tranzistor u provodno stanje, pri čemu kolektorska struja vrši setovanje jezgra M_2.

Još jedna varijanta tranzistorske sprege prikazana je na sl. 7.31. Za razliku od prethodne sprege, ovde je primenjena i pozitivna povratna sprega sa izlaza na ulaz tranzistora, čime se ubrzava čitanje jezgra M_1. Naime, ako je jezgrom M_1 u setovanom stanju, strujni impuls P stvara fluks u jezgru takvog smera da se na bazi tranzistora indukuje pozitivan napon. Usled toga tranzistor provede, a kolektorska struja izaziva još veću promenu fluksa istog smera kao i impuls P. To znači da napon na bazi još više raste, te dolazi do poznatog kumulativnog procesa koji se završava zasićenjem tranzistora.



Sl. 7.31. Tranzistorska sprega jezgara sa pozitivnom povratnom spregom

Prednosti ovakve sprege su višestruke. Pre svega pomerački impuls P nije više kritičan ni u pogledu amplitude ni u pogledu trajanja. Njegova je uloga samo da započne proces očitavanja sadržaja jezgra, a dalje obavljanje ovog procesa preuzima tranzistor. U vezi s tim istaknimo da se energija pri čitanju jezgra uzima preko tranzistora iz baterije V_{CC}, a ne iz izvora pomeračkog impulsa, kao što je to slučaj u drugim spregama. Najzad, zahvaljujući velikoj izolovanosti između magnetnih jezgara, ovakva sprega omogućava multiplikaciju izlaza sa faktorom većim od 10, dok kod drugih sprega on ne prelazi vrednost od 3 — 4.

7.4. MAGNETNA JEZGRA SA VIŠE OTVORA

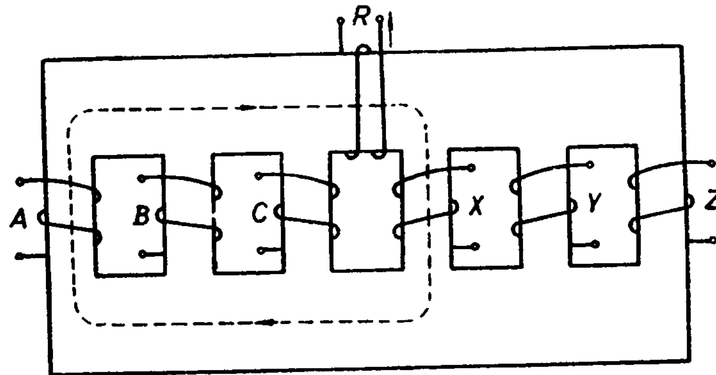
Magnetno jezgro sa jednim otvorom, o kome je do sada bilo reči, ima samo jednu petlju magnetnog fluksa. Postoje, međutim, magnetna jezgra različitih oblika sa više otvora, pa prema tome i sa više zatvorenih petlji magnetnog fluksa. Zahvaljujući tome, jedno ovakvo jezgro omogućava realizovanje više logičkih funkcija bez ikakvih promena u konstrukciji i šemiranju kola. Ne upuštajući se u opisivanje raznovrsnih jezgara ovog tipa, ovde ćemo se osvrnuti na njih samo utoliko, da pokažemo principe na kojima se zasniva višestruko iskorišćenje takvih magnetnih elemenata.

7.4.1. Lestvičasto magnetno jezgro

Na sl. 7.32 predstavljeno je lestvičasto magnetno jezgro poznato pod imenom *LADDIC* (ladder logic). Broj otvora je različit, zavisno od namene jezgra. Ulazni namotaji na ovom jezgru su *A*, *B* i *C* a izlazni *X*, *Y* i *Z*. Namotaj *R* služi za resetovanje celokupnog jezgra. Propuštanjem dovoljno jake struje kroz ovaj namotaj formira se fluks levog smera u svim međuotvorima koji nose ulazne i izlazne namotaje.

Setovanje jezgra vrši se preko ulaznih namotaja *A*, *B* i *C*. U ovom postupku strogo je primenjen princip sumacije, zbrajanja fluksova koji potiču od različitih ulaza. U konkretnom primeru konstrukcijom jezgra i namotaja podešeno je, da se pri eksitaciji samo jednog, i to bilo kog ulaza formira magnetno polje, koje će biti u stanju da izazove ireversibilnu promenu magnetne indukcije samo u međuotvoru sa izlaznim namotajem *X*. To znači da se pri eksitaciji samo jednog ulaza indukuje napon logičke jedinice na ulazu *X*.

Ako, međutim, istovremeno deluju bilo koja dva ulaza, formiraće se dvostruke petlje magnetnih fluksova kroz međuotvore sa izlaznim namotajima. Koristeći princip zbrajanja fluksova, podešeno je da se sada razvije ireversibilna promena magnetne indukcije samo u prva dva izlazna međuotvora. Drugim rečima, pri eksitaciji bilo koja dva ulaza indukovaće se napon logičke jedinice na izlazima *X* i *Y*.



Sl. 7.32. Lestvičasto magnetno jezgro

Najzad, u slučaju da postoje istovremeno pobudni signali na sva tri ulaza, kroz svako jezgro izlaznih namotaja zatvaraju se trostruki krugovi magnetnog fluksa. I ovde je projektovanjem kola podešeno da u najudaljenijem izlaznom jezgru namotaja *Z* zbir fluksova bude dovoljno veliki da odgovara magnetnom zasićenju jezgra u setovanom stanju. Prema tome, pri istovremenoj eksitaciji sva tri ulaza, indukovaće se naponi logičke jedinice na svim izlazima *X*, *Y* i *Z*.

Ulazi			Izlazi		
A	*B*	*C*	*X*	*Y*	*Z*
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	1	1	0
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	1	1	0
1	1	1	1	1	1

Tabela 7.12. Kombinacione vrednosti za logiku jezgra na sl. 7.32

Navedena logika lestvičastog jezgra, ne vodeći računa o vremenskoj koordinati događaja, izložena je odgovarajućim kombinacijama logičkih vrednosti u tabeli 7.12. Na osnovu vrednosti u izlaznim kolonama tabele, mogu lako da se ispišu sledeće prekidačke funkcije lestvičastog magnetnog jezgra:

$$X = A + B + C$$

$$Y = AB + BC + CA \tag{7.16}$$

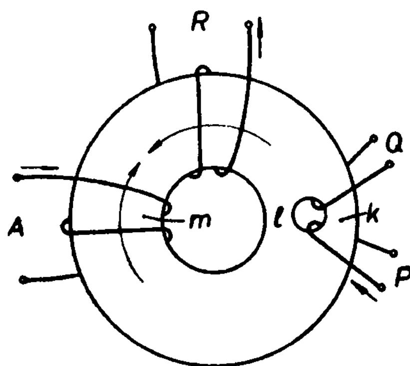
$$Z = ABC.$$

Vidimo, dakle, da pokazano lestvičasto jezgro može da obavlja tri različite logičke funkcije bez ikakve izmene u konstrukciji. Primetimo uz to da princip sumacije fluksa nameće i sledeći zaključak: ako postoji krajnji izlaz Z moraju da postoje i prethodni izlazi X i Y, a isto tako ako postoji izlaz Y mora da postoji i izlaz X.

Da bi se ostvarila predviđena logika kola sa lestvičastim jezgrom, logično je očekivati da proračun i konstrukcija kola, kao i parametri pogonskih signala moraju da ispune dosta stroge uslove. Pre svega, parametri magnetnih kola, koja obuhvataju ulazne i izlazne namotaje, moraju da budu strogo definisani. Tako, na primer, mora da postoji određen broj međuotvora za ulazne i izlazne namotaje; određen presek jezgra u međuotvorima prema preseku zajedničkog dela jezgra koji spaja međuotvore; određene razlike u dužini magnetnih kola koja obuhvataju pojedine ulazne i izlazne namotaje itd. Uopšte kad se radi o korišćenju aditivnog dejstva pobudnih signala, njihove amplitude moraju da budu strogo ograničene, a trajanja koincidentna. Sve u svemu, može se zaključiti da je realizacija ovakvih kola često dosta teška.

7.4.2. Transfluksor

Transfluksor je magnetno jezgro kružnog oblika sa dva ili više otvora. Naziv ovog jezgra vezan je za činjenicu da se u njemu vrši transfer — prenos fluksa od jednog međuotvora prema drugom. Transfluksor nalazi primenu u logičkim kolima i memorijskim sistemima malog kapaciteta. Odlikuje se generisanjem dosta velikih izlaznih napona, reda nekoliko volti.



Sl. 7.33. Transfluksor

Princip rada transfluksora objasnićemo pomoću jezgra sa dva otvora, sl. 7.33. Veličina i raspored otvora podešeni su tako da su preseci jezgra obeleženi sa k i l međusobno jednaki, i da je zbir ovih preseka manji ili jednak preseku jezgra na mestu obeleženom sa m. Osim toga, najkraća magnetna putanja oko velikog otvora mora da bude veća od najduže putanje oko malog otvora. Ovaj zahtev proističe iz fizičkih osnova, na kojima bazira rad transfluksora.

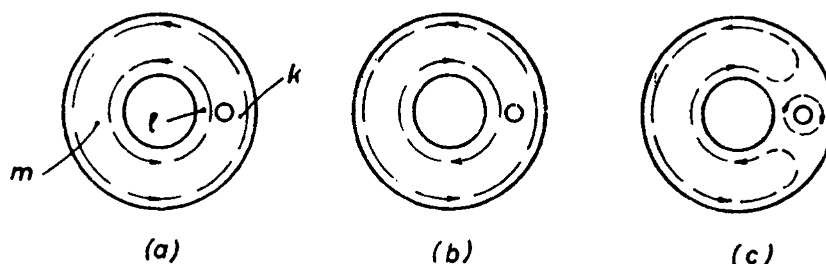
Kroz veliki otvor transfluksora prolaze namotaji, preko kojih se dovodi jezgro u početno — resetovano stanje, ili se vrši upisivanje ulaznih informacija, odnosno setovanje jezgra. Kroz mali otvor, međutim, prolaze namotaji za očitavanje sadržaja jezgra, znači pomoćni namotaj P i izlazni namotaj Q. Napomenimo da se izlazni namotaj često postavlja na deo jezgra između velikog i malog otvora.

Da bi se lakše shvatio rad transfluksora, podsetimo se da je magnetno polje proporcionalno magnetopobudnoj sili, a obrnuto proporcionalno dužini magnetnog kola. Koercitivna sila je, međutim, podjednaka u celom jezgru. Otuda će magnetizovanje jezgra pre da se izvrši neposredno oko velikog otvora transfluksora nego u delovima koji su bliži spoljnim ivicama jezgra. Zahvaljujući tome, moguće je ostvariti u jednom delu jezgra pozitivnu a u drugom negativnu remanencu, što je za rad transfluksora od bitne važnosti.

Resetovano stanje transfluksora pokazano je na sl. 7.34 a. Dovoljno jaka struja kroz namotaj R dovodi jezgro po celoj zapremini u zasićenje tako da se u svim presecima jezgra k, l i m uspostavio magnetni fluks levog smera. Setovanje jezgra, među-

tim, izvodi se samo po unutrašnjoj magnetnoj putanji oko velikog otvora, sl. 7.34 b. Drugim rečima, pri upisivanju logičke jedinice preko ulaza A, struja u ovom namotaju mora da ima ograničenu vrednost uslovljenu zahtevom, da se samo u preseku l uspostavi fluks zasićenja jezgra desnog smera, dok u preseku k ostaje i dalje levi.

Pri čitanju sadržaja jezgra dovodi se na pomoćni namotaj P naizmenična struja, koja vrši izmenu lokalnog fluksa oko malog otvora transfluksora. Pri korišćenju transfluksora kao nedestruktivnog memorijskog elementa, umesto naizmenične struje na namotaj P se dovodi jedan za drugim pozitivan i negativan strujni impuls. Pozitivan impuls formiraće oko malog otvora fluks desnog smera, kao što je pokazano na slici 7.34 c. Negativan impuls, međutim, formiraće oko malog otvora fluks suprotnog smera, odnosno ponovo će da uspostavi ranije stanje transfluksora. Zahvaljujući tome, transfluksor i posle čitanja zadržava pređašnje magnetno stanje, te je stoga nedestruktivan memorijski element.



Sl. 7.34. Raspodela fluksa u transfluksoru
(a) u resetovanom stanju
(b) u setovanom stanju
(c) pri detektovanju setovanog stanja

Kakve će promene fluksa da nastanu oko malog otvora transfluksora pri čitanju, zavisiće od memorisanog sadržaja u jezgru. Ako transfluksor sadrži logičku nulu, znači ako je resetovan, pod dejstvom pozitivnog čitačkog impulsa nastaje smanjenje fluksa u preseku k a istovremeno povećanje fluksa u preseku l. Odmah zatim, negativni čitački impuls obrće smer ovog lokalnog fluksa i uspostavlja ranije stanje. Prema tome, ukupna promena fluksa je neznatna pa će indukovani naponi u namotaju Q pri jednom i drugom čitačkom impulsu biti mali. Ovi naponi, dakle, odgovaraju pročitanoj vrednosti logičke nule.

U drugom slučaju, kada transfluksor sadrži logičku jedinicu, proizvedeni fluks pozitivnog čitačkog impulsa smanjuje rezultujući fluks sa obe strane malog otvora, kako u preseku k tako i u preseku l, sl. 7.34 c. Naravno i ovde će iza toga negativni čitački impuls da uspostavi pređašnje stanje. Prema tome, ukupna promena fluksa je sada dovoljno velika da u izlaznom namotaju Q indukuje napone veće vrednosti pri oba čitačka impulsa. Ovi naponi, znači, odgovaraju pročitanoj vrednosti logičke jedinice.

Sve u svemu konstatujemo sledeće: kada je transfluksor resetovan, magnetni fluksovi u presecima k i l su istog smera, a kada je setovan, oni imaju suprotne smerove; pri očitavanju vrednosti logičke nule u transfluksoru nastaju suprotne promene fluksova u presecima k i l, koje se poništavaju, te nema indukovanog napona na izlazu; pri očitavanju vrednosti logičke jedinice, promene fluksova u oba preseka k i l su istog smera, tako da nastaje indukovanje napona u izlaznom namotaju.

LITERATURA

1. *Phister, M.J.*: Logical Design of Digital Computer, John Wiley, New York, 1958, gl. 5
2. *Chu, Y.*: Digital Computer Design Fundamentals, McGraw-Hill, New York, 1962, pgl. 3. 15, gl. 7 i 8
3. *Malvino, A.P., Leach, D.P.*: Digital Principles and Applications, McGraw-Hill, New York, 1969, pgl. 6.1—3, 8.4, 12.1—3 i 12.7
4. *Sifferlen, T.P., Vartanian, V.*: Digital Electronics, Prentice-Hall, Englewood Cliffs, New Jersey, 1970, gl. 3
5. *Oberman, R.M.M.*: Disciplines in Combinational and Sequential Circuit Desing, McGraw--Hill, New York, 1970, gl. 5 i 10
6. *Kinter, P.M.*: Electronic Digital Techniques, McGraw-Hill, New York, 1968, gl. 6
7. *Sparkes, J.J.*: Transistor Switching and Sequential Circuits, Pergamon Press, Oxford, 1969, gl. 5
8. *Lo, A.W.*: Introduction to Digital Electronics, Addison-Wesley, Reading, Massachusetts, 1967, gl. 4
9. *Strauss, L.*: Wave Generation and Shaping, McGraw-Hill, New York, 1970, gl. 13
10. Bistabile Kippstufen aus NAND und NOR-Schaltungen (prikaz iz literature), Elektronik, Jg. 19, H.5, Mai 1970, str. 181—184 i H.6, Juni 1970, str. 219—220

GLAVA 8

MEMORIJE

Pri digitalnoj obradi informacija javlja se vrlo česta potreba da se dobijene informacije prihvate, smeste i sačuvaju na duže vreme u neizmenjenom obliku. Te informacije mogu da budu raspoloživi podaci o problemu koji se obrađuje, ili delimični i konačni rezultati izvršene obrade, ili, pak, same instrukcije, koje ukazuju na postupke obrade dobijenih podataka. Blokovi digitalnog uređaja, čija se funkcija sastoji u tome da čuvaju, pamte, odnosno memorišu raznovrsne podatke i instrukcije nazivaju se memorijske jedinice ili jednostavno memorije. Memorije su, prema tome, sekvencijalne naprave i kao takve one sadrže memorijske elemente, o kojima je bilo reči u prethodnoj glavi.

Svaki memorijski sistem treba da ispuni tri osnovna zahteva: da u određenom trenutku primi informacije od drugih izvora, da zadrži primljene informacije u nepromenjenom obliku koliko je to potrebno i da u, opet određenom trenutku, preda sačuvane informacije drugim digitalnim kolima. Prema tome, pored čisto memorijske jedinice, memorijski sistem sadrži i neka kombinaciona kola, koja obezbeđuju sinhronizovani postupak upisivanja i očitavanja memorisanih podataka, identifikuju adrese pojedinih lokacija, odnosno memorijskih ćelija itd. Osim toga, memorijski sistemi redovno sadrže i specijalne pojačavače struje i napona, koji obezbeđuju pravilno upisivanje i očitavanje informacija. Prema tome, memorija je u celini često dosta složen sistem čije proučavanje zahteva poznavanje ne samo većeg broja elektronskih kola, već kadkad i elektromehaničkih pa i mehaničkih konstrukcija. U ovoj glavi, međutim, osnovnu pažnju poklonićemo uglavnom elementima, koji omogućavaju čuvanje informacija u memorijskim sistemima.

8.1. KLASIFIKACIJA MEMORIJSKIH NAPRAVA

Sadržaj digitalne informacije u memoriji, izražava se vrednostima logičke nule ili jedinice na memorijskom elementu. Jedan memorijski element može da primi samo jedan podatak, jednu jedinicu informacije, odnosno jedan bit informacije. Kako količina informacija, može da bude vrlo velika, to u opštem slučaju mora da bude angažovan veliki broj memorijskih elemenata ili ćelija u izgradnji memorijskog bloka digitalnog uređaja. Parametar, koji karakteriše veličinu memorije u pogledu količine informacija, naziva se kapacitet memorije. Kapacitet se izražava najčešće brojem bita informacije, a ponekad i brojem reči, pogotovo ako su one određene dužine. U zavisnosti od namene, kapacitet memorija kreće se u vrlo velikom opsegu od svega desetak bita pa do preko sto miliona bita.

Drugi važan parametar memorijskog sistema je brzina rada. Ovde treba razlikovati dva faktora koji utiču na brzinu rada, jedan se odnosi na brzinu iznalaženja određene ćelije ili lokacije u memorijskom bloku, a drugi na brzinu procesa upisivanja ili očitavanja date informacije. Obe ove brzine izražavaju se odgovarajućim vremenima i to prva vremenom pristupa, a druga poluciklusnim ili ciklusnim vremenom memorisanja. Pod vremenom pristupa podrazumeva se vreme, koje prođe od trenutka izdavanja naredbe da se neka informacija upiše ili očita, pa do trenutka kada se zadata operacija počne da izvršava. Poluciklusno vreme odnosi se na trajanje operacije upisivanja ili očitavanja informacije. Ciklusno vreme, međutim, obuhvata dve operacije, obično brisanje i upisivanje, ili čitanje i ponovo upisivanje istog sadržaja. Obično je poluciklusno vreme veće od polovine ciklusnog vremena. Napomenimo, da ponekad ciklusno vreme obuhvata i tri operacije: čitanje sadržaja, njegovu modifikaciju i ponovno upisivanje modifikovanog sadržaja.

Vreme pristupa zavisi uglavnom od osnovne koncepcije memorijskog sistema. Kod nekih sistema mogućan je direktan pristup do bilo koje memorijske ćelije. Zbog toga se memorije sa direktnim pristupom odlikuju bržim iznalaženjem adresovane lokacije. Vreme pristupa takvih memorija je manje od 1 μs, a može da bude i ispod 100 ns. Postoje, međutim, memorijske naprave kod kojih se do adresovanih memorijskih lokacija dolazi postupno — sekvencijalno. Memorije sa sekvencijalnim pristupom iziskuju znatno duže vreme za iznalaženje adresovanih ćelija. Njihovo vreme pristupa kreće se od 10 ms pa do nekoliko minuta. Na kraju ukažimo na jedno skoro opšte važeće pravilo, da se sa povećanjem kapaciteta memorijskog sistema obično povećava i vreme pristupa.

U eksploataciji memorijskih sistema pokazuje se, da se u nekih 80% slučajeva javlja potreba samo za operacijom čitanja memorisanog sadržaja. Većina memorijskih elemenata, međutim, je takva, da se pri čitanju upisanog sadržaja istovremeno vrši i resetovanje elementa, odnosno brisanje sadržaja. Prema tome, pomoću ovakvih elemenata u principu biće izgrađene destruktivne memorije, tj. memorije čiji će sadržaj po očitavanju biti razoren, izbrisan. Imajući u vidu istaknutu potrebu višestrukog očitavanja istog memorisanog sadržaja, pored destruktivnih, projektuju se i nedestruktivne memorije. Za ovu svrhu mogu da budu pogodni neki specijalni memorijski elementi, kao što su jezgra sa više otvora. Za istu namenu koriste se, međutim, i destruktivne memorije, kod kojih je samo operacija čitanja redovno praćena ponovnim upisivanjem istog sadržaja u iste memorijske ćelije. Razumljivo je, da je ovakva realizacija nedestruktivne memorije uslovljena složenijom logikom memorijskog sistema i manjim brzinama rada.

Sa aspekta potrebe napajanja memorijskih ćelija, memorije se dele na postojane i nepostojane. Kod postojanih memorija, upisana sadržina u ćelijama se čuva bez utroška električne energije. Pogodan medijum za ovakvo memorisanje su magnetni materijali. Za razliku od postojanih, nepostojane memorije ne mogu da drže primljeni sadržaj bez stalnog utroška električne energije. Drugim rečima, pri isključenju izvora napajanja nepostojane memorije gube memorisani sadržaj. Memorije realizovane pomoću flipflopova, na primer, su nepostojane.

Sa gledišta upotrebljenog medijuma za memorisanje memorije se uglavnom dele na dve velike grupe: nemagnetne i magnetne. U nemagnetnim memorijama koriste se pre svega poluprovodnički memorijski elementi. Pogodne poluprovodničke naprave bile bi one koje po prirodi raspolažu karakteristikom negativne otpornosti, ili, pak, sklopovi kod kojih se takva karakteristika ostvaruje pogodnim spregama, kao što su, na primer, flipflopovi. Osim toga, koriste se i poluprovodnički elementi sa

velikim impedansama, na primer mos-tranzistori. Istina memorijski modijum u ovom slučaju su u stvari međuelektrodni kapaciteti tranzistora.

Osim pomenutih, u nemagnetne memorije spadaju i one, čiji rad se zasniva na primeni kriotronskih prekidačkih elemenata. Kriotronski elementi baziraju svoj rad na promeni provodnosti nekih superprovodnika pod uticajem magnetnog polja. Ovakvi prekidački elementi, odlikuju se velikom brzinom rada, malom potrošnjom električne energije, velikom gustinom pakovanja itd. Zbog svega toga ova tehnika ima perspektivno polje primene u izgradnji velikih memorijskih sistema. Za sada, nažalost, korišćenje krioelektričnih memorija nema praktičnog značaja, s obzirom da dobijanje vrlo niskih temperatura današnjim postupcima čini kriotronsku tehniku u celini nerentabilnom.

Još jedna vrsta nemagnetnih memorija zaslužuje pažnju da bude pomenuta. Radi se, naime, o optičkim memorijama. Ove memorije se pre svega odlikuju veoma velikom gustinom memorisanja što omogućava postizanje vrlo velikih kapaciteta pri relativno malom gabaritu memorija.

Najzad u grupu nemagnetnih memorija dolaze i one sa reaktivnim pasivnim komponentama, zatim sa magnetnostriktivnim, akustičnim i drugim linijama za kašnjenje itd.

Iako se proizvodnja nemagnetnih, posebno poluprovodničkih memorija stalno povećava, ipak magnetne memorije još uvek zauzimaju dominantno mesto u primeni. Već je ranije ukazano da se magnetni materijali u memorijama koriste u obliku magnetnih jezgara i kao magnetne tankoslojne ili debeloslojne površine. Koncepcija memorija sa magnetnim jezgrima je dosta jednostavna. U zavisnosti od kapaciteta memorije, ono sadrži veći ili manji broj magnetnih jezgara koja su povezana tako, da svako jezgro predstavlja posebnu, izolovanu memorijsku ćeliju, a sva zajedno čine jednu tehnički uređenu celinu. Prijem i predaja memorisanih vrednosti vrši se preko određenog broja zajedničkih vodova.

Tankoslojne magnetne memorije izrađuju se u planarnom i cilindirčnom obliku. Kod planarnih memorija magnetni film se obično nanosi u vidu diskretnih malih površina na glatku neprovodnu podlogu tako da svaki film za sebe predstavlja posebnu memorijsku ćeliju. Pristup ovim ćelijama omogućen je preko odgovarajućih vodova, slično kao i kod memorija sa jezgrima. Kod cilindričnih tankoslojnih memorija magnetni film se obično nanosi na provodnike kružnog preseka, koji se zbog toga nazivaju magnetne ili „pomagnetisane" žice (Magnetdraht, Plated-wire). Povezivanje ovakvih provodnika u memorijski sistem izvodi se na više načina. Pristup pojedinim ćelijama memorije vrši se preko odgovarajućih vodova, s tim što se redovno i pomenuta magnetna žica koristi kao jedan takav vod.

Debeloslojne magnetne memorije izrađuju se u vidu cilindra, ploče ili trake. Prijem i predaja memorisanih informacija vrši se posredstvom magnetnih glava. Pošto ove memorijske naprave sadrže i veliki broj elektromehaničkih delova kao što su motori, relea i drugi, one se nazivaju još i elektromehaničke.

Memorije se mogu konačno da posmatraju i sa aspekta predviđene vremenske dužine čuvanja memorisanih informacija. U tom pogledu one se dele na: privremene, trajne, dugotrajne i stalne. Privremene memorije služe kao neki prihvatni centar: one registruju izvesnu količinu informacija, zadrže je kraće vreme i uskoro je predaju na dalju obradu. Ovakve memorije poznate su pod imenom registri. Izrađuju se za male kapacitete od 10 bita do nekoliko hiljadu bita. Koriste većinom nemagnetne memorijske elemente, te su stoga nepostojane prirode. S druge strane, međutim, odlikuju se veoma brzim radom, jer im je vreme pristupa u nanosekundnom pod-

ručju. U većini slučajeva memorijski i prateći kombinacioni elementi čine jednu memorijsku celinu.

Trajne memorije zadržavaju memorisane vrednosti na duže vreme. Zbog toga je nužno da one sadrže postojane memorijske elemente da bi se memorisani sadržaj mogao sačuvati i pri eventualnom nestanku električne energije. Prema tome, to su u većini slučajeva memorije sa magnetnim jezgrima ili sa tankim magnetnim filmovima. Kapacitet ovih memorija je reda 10^6 bita, pa čak i 10^8 bita. Sve ove memorije imaju direktan pristup, koji kod memorija sa jezgrima iznosi oko 1 μs, a kod ovih sa tankoslojnim površinama skraćuje se na oko 100 ns.

Dugotrajne memorije nazivaju se još i arhivske. Sam ovaj naziv govori da, za razliku od prethodnih, ove memorije nisu operativne i ne nalaze se ugrađene u digitalnom uređaju, već su potpuno izdvojene i magacionirane u arhivi. Prema tome, ovakve memorije čuvaju zabeležene podatke na veoma dugo vreme i obično se samo po potrebi priključuju na digitalni uređaj. Zbog toga se dozvoljava da dugotrajne memorije imaju veće vreme pristupa, naravno ako je to uslovljeno i jevtinijom izradom.

Najpogodniji medijum za dugotrajne memorije su debeloslojne magnetne površine. Izrađuju se u vidu doboša, diskova i traka. Kapacitet ovih memorijskih naprava može da bude vrlo veliki — preko 10^8 bita. Memorisane vrednosti su postojane, što je neobično važno za dugotrajno čuvanje podataka. S obzirom da se kod ovih naprava memorijski medijum kreće, a magnetna glava miruje, pristup traženoj lokaciji ostvaruje se postupno — sekvencijalno. Vreme pristupa zavisi od kapaciteta, ali i od mehaničke koncepcije pokretnih delova.

Vrsta memorije	Način realizacije	Kapacitet [bit]	Vreme pristupa
Privremena	Flipflop	10 — 1000	0,1 μs
Trajna	Magn. jezgro Magn. žica	10^6 10^6 — 10^8	1 μs 0,1—0,5 μs
Dugotrajna	Doboš Disk Traka	10 10^6 50 10^6 150 10^6	200 ms 100 ms 1000 ms
Stalna	Kartica	10^3	

Tabela 8.1. Pregled memorija po trajanju

Stalne ili permanentne memorije u principu nemaju mogućnost promene memorisanog sadržaja. Drugim rečima to znači da se upisivanje informacija može da izvrši samo jedanput, a posle toga memorija se koristi samo za očitavanje jednom zapisanih vrednosti. Tipične memorije ove vrste su bušene trake i kartice, preko kojih se uglavnom odvija neophodna korespondencija između manipulanta i digitalnog uređaja.

U ovu grupu memorija mogu da se uvrste i sve one koje se koriste samo za čitanje. Ove memorije su poznate pod nazivom *ROM* (read-only memory) i obično su izvedene u integrisanom obliku primenom bipolarne ili mos-tehnologije. Memorisani sadržaj je unapred programiran i odnosi se, na primer, na vrednost neke konstante

koja se češće upotrebljava, ili na neku instrukciju za rad dekodera, komutatora brojača itd.

U vezi sa stalnim — nepromenljivim memorijama, a za razliku od ranije navedenih promenljivih memorija, pomenimo da postoje još i polupromenljive memorije. Ove se memorije izrađuju za unapred određene binarne vrednosti, ali jednostavnim, obično mehaničkim postupkom te vrednosti mogu da budu delimično ili u celini izmenjene.

Na kraju skrenimo pažnju na tabelu 8.1, u kojoj su navedeni neki karakteristični podaci za napred navedene vrste memorija.

8.2. REGISTRI

Registar je memorijski sklop koji nalazi veliku primenu u digitalnim uređajima. Njegova prvenstvena uloga je da prihvati delimične ili konačne rezultate u procesu obrade podataka. Pored toga, registar je neophodan na svim mestima gde treba ostvariti vezu između blokova sa različitim brzinama. U ovakvoj ulozi obično se naziva razdvojni registar (buffer register). Najzad registar se koristi i za izvođenje nekih aritmetičkih operacija, kao što je komplementiranje, ili neki specijalni slučajevi množenja i delenja itd.

Iako se registri mogu da ostvare i pomoću drugih poznatih memorijskih elemenata, ovde ćemo uglavnom razmotriti samo registre sa flipflopovima. To znači da su registri nepostojane memorije i kao takvi pogodni su samo za privremeno čuvanje informacija. Osim toga, flipflopovi su relativno složeni memorijski elementi, te stoga njihovo korišćenje može da bude opravdano samo za memorije malog kapaciteta.

Po načinu izvođenja postoje stacionarni i dinamički registri, zavisno od toga da li jednom uneta informacija u memorijski element ostaje stalno u njemu ili ne. Dinamički registri su više poznati kao pomerački (shift), iako je to samo jedan tip dinamičkog registra. Naime, pored pomeračkih, u dinamičke registre spadaju i kružni registri, koji kao memorijski medijum obično koriste linije za kašnjenje. Pošto se ovakav registar može da izvede i kao specijalni slučaj pomeračkog, to se stoga obično i pominju samo stacionarni i pomerački registri.

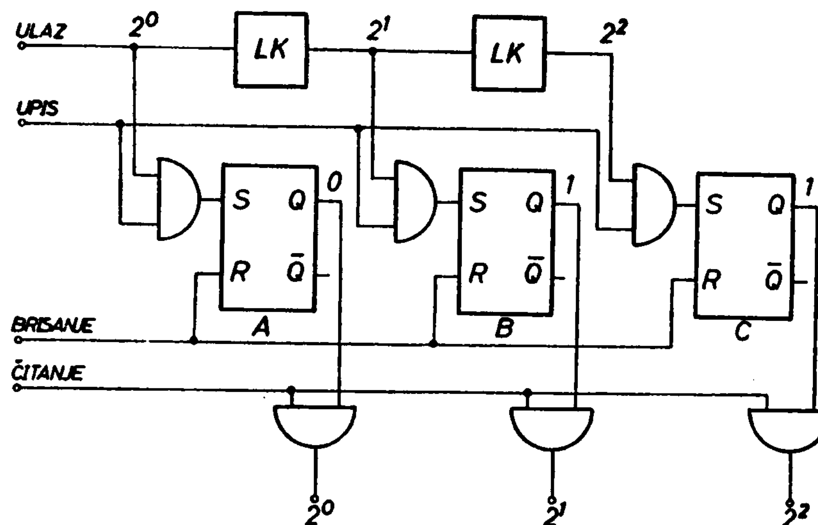
Napomenimo da se u poluprovodničkim memorijama koriste termini statički i dinamički, ali sa drugojačijim značenjem. Naime, dinamička memorija predviđena je za rad samo sa naizmeničnim, dok statička može da radi i sa jednosmernim naizmeničnim signalima.

8.2.1. Stacionarni registar

Stacionarni registar sadrži skup međusobno nepovezanih memorijskih elemenata. Broj ovih elemenata zavisi od kapaciteta registra. S obzirom da svaki element može da primi samo jedan bit informacije, izražene logičkom nulom ili jedinicom, to registar mora da sadrži onoliko flipflopova koliko najduža registrovana informacija može da ima bita. Pristup memorijskim elementima pri upisu kao i pri očitavanju informacija može da bude izveden serijski ili paralelno.

Na sl. 8.1. pokazana je šema registra za tri bita sa serijskim ulazom i paralelnim izlazom. Pre unošenja podataka u registar podrazumeva se da je izvršeno brisanje ranijeg sadržaja. U tom cilju vrši se resetovanje registra pomoću takt-impulsa dovedenog na R ulaze flipflopova. Uzmimo sada da u registar treba da se upiše informacija 110. Pošto se radi o serijskom unošenju ove informacije, za tu operaciju biće potrebna

tri takt-intervala. Naime, na ulaz registra stiže povorka taktovanih impulsa prema datoj informaciji. Ovi impulsi prelaze put od jednog do drugog upisnog *I* kola tačno u toku jednog takt-intervala, što je naravno podešeno izborom kašnjenja u linijama *LK*. Prema tome, na početku trećeg takt-intervala, na odgovarajućim ulazima upisnih *I* kola za setovanje *A*, *B* i *C* flipflopa nalaziće se logičke vrednosti 011 respektivno. Ako se u ovom trenutku da komanda za upis, prvi flipflop ostaće resetovan, a druga dva biće setovani. Prema tome, u flipflop *A* upisana je nula, a u *B* i *C* upisane su jedinice. To znači da je vremenski kod date informacije sada zamenjen prostornim kodom, koji je određen pozicionim vrednostima pojedinih memorijskih elemenata. Ovakvo stacionarno stanje registra zadržava se proizvoljno dugo, sve do upisivanja nove informacije, kojoj, naravno, prethodi ponovno brisanje postojećeg sadržaja.



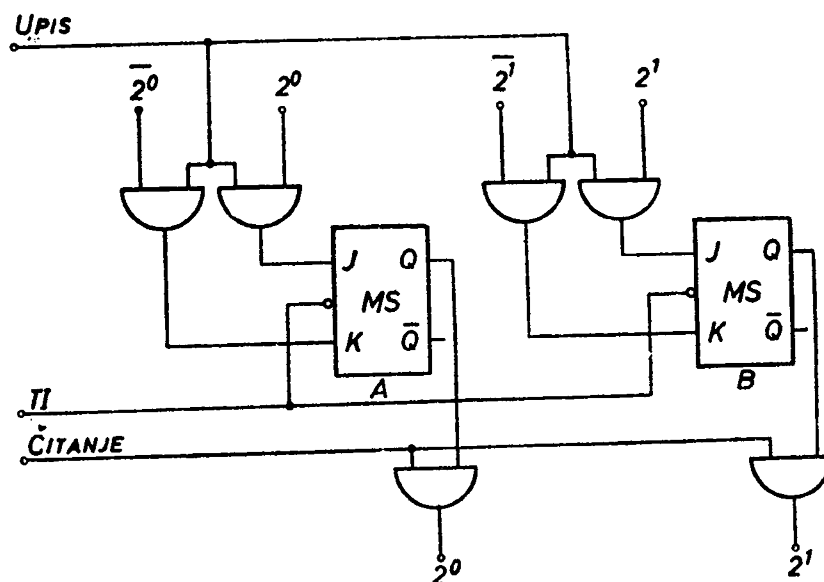
Sl. 8.1. Stacionarni registar

Pristup za čitanje sadržaja registra izveden je paralelno za sve memorijske elemente. Zbog toga, dovođenjem takt-impulsa na priključak za čitanje, na izlazima čitačkih *I* kola pojavljuje se istovremeno celokupna memorisana informacija 110. Prema tome, ovakav registar predstavlja serijsko-paralelni konvertor informacije. Pored toga primetimo da je dati registar nedestruktivna memorija, jer čitanje sadržaja registra ne utiče na stacionarna stanja memorijskih elemenata. Dodajmo da se ovaj registar vrlo lako može da modifikuje u destruktivni. U tom cilju dovoljno je spojiti priključak za čitanje na priključak za brisanje, pa će registar pri čitanju biti istovremeno i resetovan.

Najzad nepotrebno je posebno naglašavati da se paralelan izlaz registra može da transformiše u serijski. U datom slučaju to će biti ostvareno vezivanjem odgovarajućih linija za kašnjenje između izlaza čitačkih *I* kola. Šta više, ako sistem nije sinhronizovan, vreme kašnjenja ovih linija može da bude različito od onih na ulazu. To znači da registar može da se upotrebi i za promenu vremenskog koda informacija.

Registar na sl. 8.1 može lako da se preuredi i za paralelni prijem informacija na ulazu. U tom slučaju treba samo da se izostave linije za kašnjenje, što znači da odgovarajući ulazi upisnih *I* kola postaju ulazi registra. Ovakav način upisivanja informacije obavlja se u jednom takt-intervalu, pošto je, naravno, u prethodnom intervalu izvršeno brisanje registra. Postupak unošenja informacija u registar može još da se

ubrza, ako se eliminiše potreba brisanja memorijskih elemenata. Takav registar predstavljen je na sl. 8.2. Registar je izveden sa *JK* flipflopovima *MS* tipa. Umesto ovih mogu isto tako da se upotrebe i raniji *RS* flipflopovi. Na upisna *I* kola dovode se istovremeno prave i komplementne vrednosti ulaznih signala. Ovi signali su bez uticaja na rad registra sve dotle, dok se na priključak za upis ne dovode komandni signal. Naime, visoki napon na upisnom vodu omogućuje polarizovanje *J* i *K* priključaka na flipflopovima saglasno ulaznim signalima. Prema tome, ako je sistem



Sl. 8.2. Stacionarni registar za brži rad

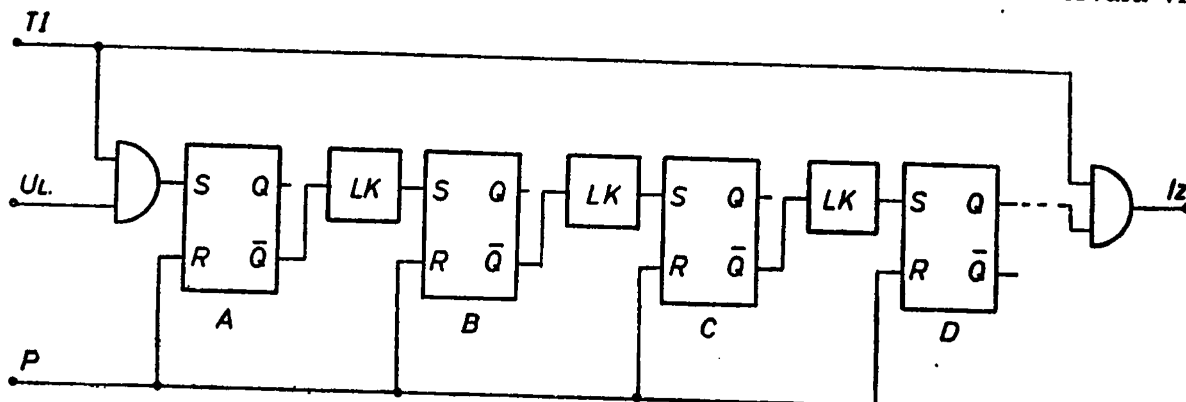
sinhronizovan, kao što je slučaj na datoj slici, sinhroni impuls *TI* će u jednom takt-intervalu izvršiti setovanje ili resetovanje flipflopova, zavisno od toga da li je *J* ili *K* priključak na visokom naponu. Nije teško proveriti da konačno stanje u flipflopovima zavisi samo od parova vrednosti ulaznih signala, a ne i od zatečenih stanja u memorijskim elementima.

8.2.2. Pomerački registar

Pomerački (shift) registar je skup memorijskih elemenata, koji su, za razliku od stacionarnog registra, međusobno povezani tako, da se informacija može da pomera od jedne do druge ćelije. Zahvaljujući tome, upisivanje informacije u registar vrši se taktovanim postupkom preko ulaznog memorijskog elementa, a očitavanje, isto tako sinhronizovanim postupkom, obavlja se na izlaznom memorijskom elementu. Za izvođenje ovih operacija, međutim, biće potrebne dve povorke takt-impulsa, čije su periode međusobno jednake, ali su fazno pomerene jedna u odnosu na drugu.

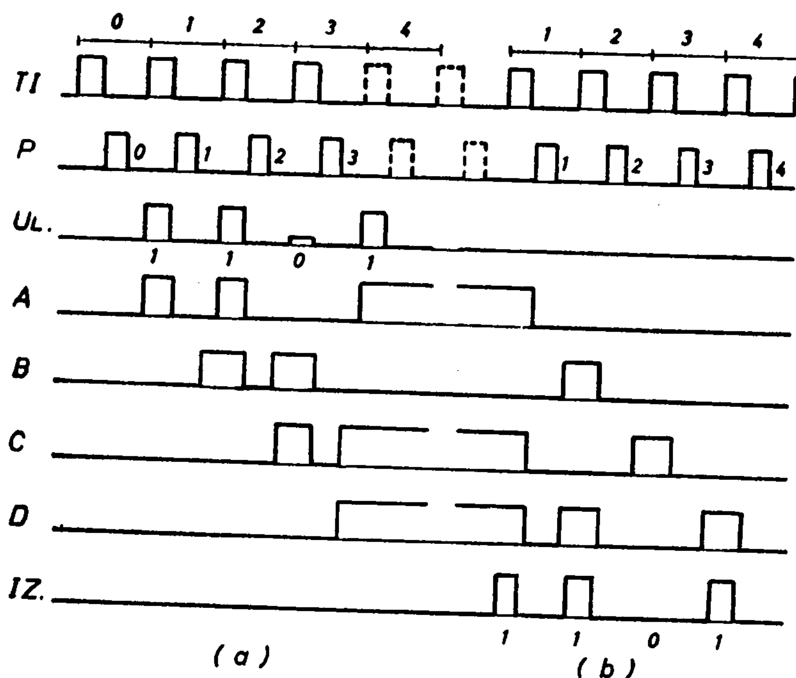
Princip rada pomeračkog registra biće objašnjen pomoću šeme na sl. 8.3. Pre upisivanja informacije svi flipflopovi su resetovani pomoću pomeračkog impulsa *P*. Pomerački impulsi imaju istu periodu kao i takt-impulsi *TI*, ali njihova pozitivna ivica nastaje tek po završetku negativne ivice takt-impulsa. U stvari, kašnjenje pomeračkih impulsa treba da bude takvo da njegovi visoki nivoi nastaju za vreme niskih nivoa takt-impulsa. Ulazni signali dovode se na upisno *I* kolo sinhrono sa takt-impulsima *TI*. Ako dovedeni signal ima vrednost logičke jedinice, onda će izlaz iz *I* kola setovati flipflop FF_A i na taj način ulazna informacija biće dovedena na izlaz

Q_A. Pošto je sprega flipflopova izvedena sa komplementnog izlaza $\bar{Q}$, to uneti ulazni signal ostaje upisan samo u FF_A. Neposredno iza upisivanja informacije pojavljuje se pomerački impuls P. On ponovo resetuje sve flipflopove pri čemu se na izlazu $\bar{Q}_A$ generiše visoki napon. Ovaj napon prolazi kroz liniju za kašnjenje LK i setuje FF_B. Prema tome, pomerački impuls pomerio je informaciju iz FF_A u FF_B. Ponovnom pojavom pomeračkog impulsa, informacija će biti preneta iz FF_B u FF_C, itd. Na osnovu toga može se zaključiti, da pomerački impulsi u svakom takt-intervalu vrše



Sl. 8.3. Pomerački registar

pomeranje memorisanog sadržaja iz prethodne memorijske ćelije u sledeću. Pri tome linije za kašnjenje u spregnim granama treba da spreče dolazak set-impulsa iz prethodnog flipflopa pre nego što se isključi pomerački impuls. Na taj način izbegava se neodređeno stanje flipflopa, koje bi moglo da nastane pri koincidentnoj eksitaciji R i S ulaza.



Sl. 8.4. Vremenski dijagrami registra na sl. 8.3.
(a) upisivanje podatka 1101
(b) očitavanje podatka 1101

Način rada pomeračkog registra prikazan je detaljno vremenskim dijagramima na sl. 8.4. Kao primer uzeta je informacija 1101, koja je sinhrono sa takt-impulsima TI uneta u registar. Upisivanje date informacije izvedeno je u toku četiri takt-inter-

vala. Primetimo da je za upisivanje informacije potreban $n-1$ pomerački impuls, gde je n broj bita informacije. Na kraju četvrtog takt-intervala, vremenski kodovana informacija 1101 stoji na raspoloženju na Q izlazima flipflopova kao prostorno kodovana informacija.

Memorisana informacija može se očitati iz pomeračkog registra na isti način kao i u slučaju stacionarnog registra na sl. 8.1. Pošto se time upisana informacija očitava paralelno u jednom takt-intervalu, takav pomerački registar predstavlja serijsko-paralelni konvertor informacija.

Očitavanje sadržaja pomeračkog registra na sl. 8.3. izvodi se, međutim, serijskim postupkom kao i upisivanje. To znači da pomerački impulsi nastavljaju dalje pomeranje memorisanog sadržaja ka izlazu zadnjeg flipflopa Q_D. Konačna informacija se dobija na izlazu čitačkog I kola sinhronizovana sa takt-impulsima. Zapazimo, sl. 8. 4 b, da je za serijsko čitanje informacije potrebno n takt-intervala, kao i za upisivanje, a isto toliko i pomeračkih impulsa, ukoliko se želi potpuno brisanje memorisanog sadržaja iz registra.

Rad pomeračkog registra može da se prikaže i pomoću tabele stanja memorijskih elemenata. Za flipflopove u registru na sl. 8.3 ta stanja su izneta u tabeli 8.2. Na osnovu ove tabele nije teško doći do zaključka da se stanje iz jednog flipflopa prenosi u sledeći flipflop u sledećem takt-intervalu pod uslovom da postoji pomerački impuls P. Prema tome, jednačina logičkih stanja bilo kog memorijskog elementa može da se napiše u obliku

$$Q_k(t+T) = P \cdot Q_{k-1}(t), \tag{8.1}$$

gde su sa k i $k-1$ označene dve uzastopne memorijske ćelije.

	TI	D	C	B	A
	0	0	0	0	0
a	1	0	0	0	1
a	2	0	0	1	0
a	3	0	1	1	0
a	4	1	1	0	1
b	1	1	0	1	0
b	2	0	1	0	0
b	3	1	0	0	0
b	4	0	0	0	0

Tabela 8.2. Izlazna stanja registra na sl. 8.3
a. pri upisivanju 1101
b. pri očitavanju 1101

P	$A(t)$	$B(t+T)$	R_B	S_B
1	0	0	1	0
1	1	1	0	1

Tabela 8.3. Kombinaciona tabela pomeračkog registra sa RS flipflopovima

Logički proračun pomeračkog registra sa RS flipflopovima može da se izvede određujući ulazne, jednačine flipflopova. Ove jednačine najlakše je ispisati na osnovu kombinacione tabele kola. Kako je rad pomeračkog registra potpuno ilustrovan i sa svega dva susedna memorijska stepena A i B, to su u tabeli 8.3 navedene kombinacione vrednosti koje se pri delovanju pomeračkih impulsa P prenose iz A u B. Da bi se to ostvarilo, moraju biti izvedene potrebne operacije setovanja i resetovanja flipflopova B, naznačene u kolonama za ulaze S_B i R_B. Prema tome, izlazna funkcija flipflopa B je

$$B(T) = P \cdot A, \tag{8.2}$$

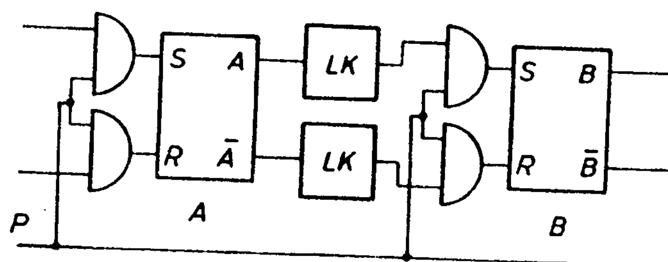
a njegove ulazne jednačine su:

$$R_B = P \cdot \bar{A}$$

i

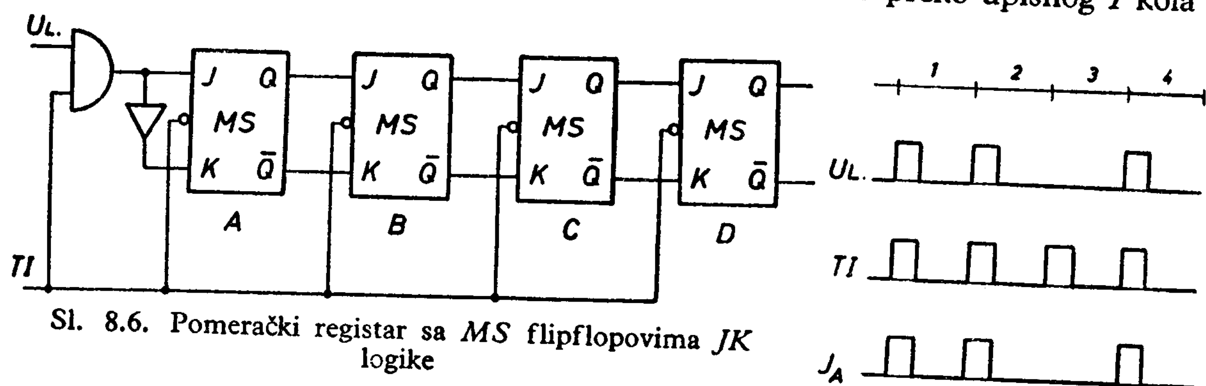
$$S_B = P \cdot A. \tag{8.3}$$

Ulazne jednačine pokazuju, dakle, da se pomeračka logička funkcija registra može da ostvari sprezanjem susednih memorijskih elemenata pomoću logičkih *I* kola, kako je to učinjeno za stepene *A* i *B* na sl. 8.5.

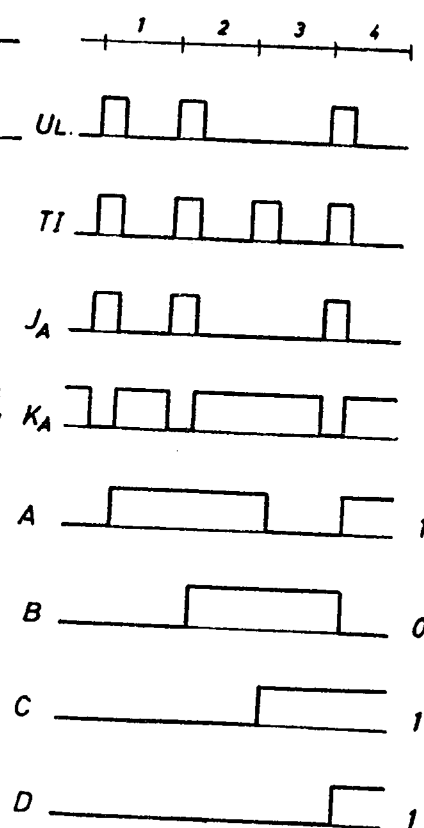


Sl. 8.5. Pomerački registar sa spregom preko logičkih elemenata

U savremenijim konstrukcijama registra radije se koriste *MS* flipflopovi. Jedan takav registar prikazan je na sl. 8.6, a njegovi vremenski dijagrami pri upisivanju informacije 1101 pokazani su na sl. 8.7. U ovom slučaju taktni impulsi koriste se i kao pomerački. Ulazni signali se dovode sinhronizovano preko upisnog *I* kola na



Sl. 8.6. Pomerački registar sa *MS* flipflopovima *JK* logike



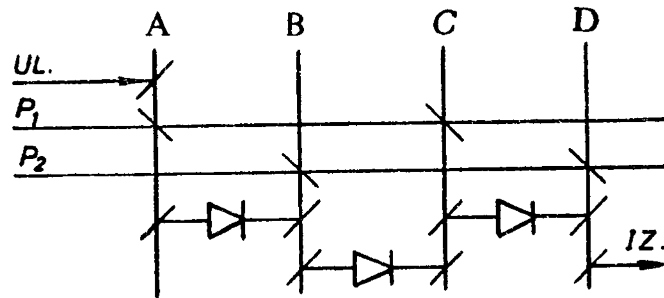
Sl. 8.7. Vremenski dijagrami registra na sl. 8.6 pri upisivanju informacije 1101

priključke *J* ili *K* prvog flipflopa. Razume se da će se pri niskom ulaznom signalu da aktivira dodato *NE* kolo za priključak *K*. Prema tome, u svim flipflopovima ulazi *J* i *K* mogu imati samo komplementne vrednosti, što je na vremenskim dijagramima pokazano, na primer, za flipflop *A*. Upoređujući vremenske dijagrame ovog registra sa dijagramima na sl. 8.4 a može se uočiti da je ovakav registar povoljniji u pogledu brzine rada. Tako, na primer, stepen *A* u registru na sl. 8.3 registruje svaki ulazni impuls pojedinačno, dok ovde on registruje samo promenu vrednosti bita na ulazu. Saglasno tome i napon na *J* i *K* priključku ulaznog flipflopa mogao bi da se menja samo pri promeni bita informacije, a ne kako je to pokazano na sl. 8.7.

U integrisanoj proizvodnji pojavljuju se razni tipovi registara i to u poslednje vreme uglavnom u

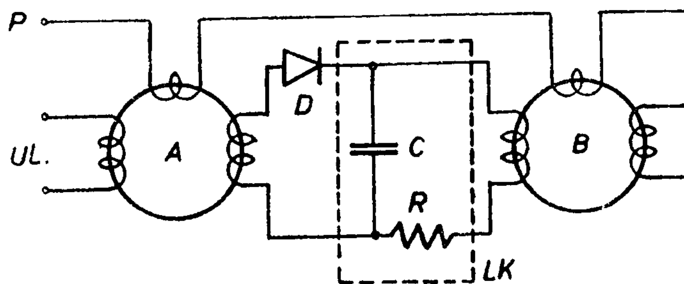
mos-tehnici. Vrlo često u istom pakovanju smešteno je više registara sa istim ili različitim kapacitetima. Tako se, na primer, u jednom kućištu prečnika oko 10 mm može naći po tri pomeračka registra sa kapacitetom od po 64 bita. Pri tome, naravno, svaki registar ima svoj ulaz i izlaz dok je napajanje i taktovanje zajedničko. Nešto više o ovim kolima biće rečeno kasnije u poluprovodničkim memorijama.

Koncepcija pomeračkog registra može lako da se izvede i sa pasivnim memorijskim elementima, na primer sa magnetnim jezgrima. Očigledno je da se i u ovom slučaju registar sastoji od skupa redno vezanih jezgara, čiji se memorisani sadržaj posredstvom pomeračkih impulsa može da prebacuje od jednog do drugog feritnog jezgra.



Sl. 8.8. Pomerački registar sa magnetnim jezgrima

Na sl. 8.8 pokazana je šema registra sa četiri memorijska elementa, odnosno magnetna jezgra. Ulazni signal u jednom takt-intervalu setuje jezgro A. U sledećem taktu pomerački impuls P_1 resetuje ovo jezgro, a memorisani sadržaj preko diode setuje jezgro B. Sledeće pomeranje memorisanog sadržaja obavlja se pomeračkim impulsom P_2 itd. Zapazimo da je mehanizam pomeranja memorisanog sadržaja u magnetnom registru ostvaren naizmeničnim delovanjem pomeračkih impulsa P_1 i P_2, pri čemu P_1 eksituje sva neparna, a P_2 sva parna magnetna jezgra.

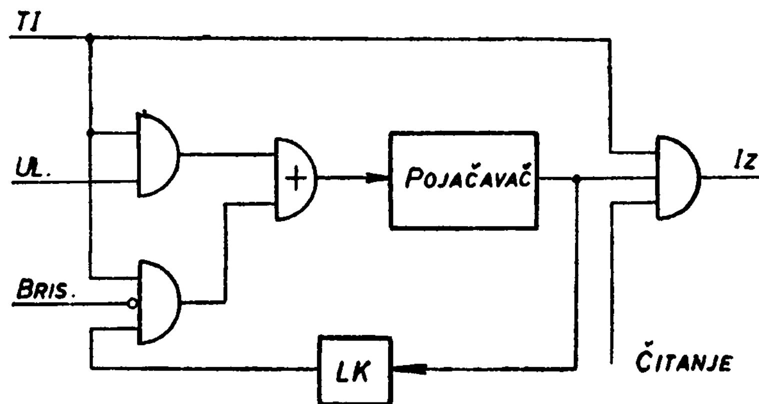


Sl. 8.9. Pomerački registar sa jedinstvenim pomeračkim impulsima

Da bi se omogućio rad magnetnog registra sa generatorom samo jednih pomeračkih impulsa, moraju se postaviti linije za kašnjenje LK između memorijskih elemenata kao što je to, uostalom, bio slučaj i kod registara sa flipflopovima. Jedan takav registar pokazan je na sl. 8.9. Pri aktiviranju pomeračke linije P, resetuje se jezgro A, a indukovana struja u izlaznom kolu puni kondenzator C preko diode D. Struja kroz ulazni namotaj jezgra B je vrlo mala i njen efekat u ovom jezgru uglavnom se poništava suprotnim efektom pomeračkog impulsa. Ako je podešeno da trajanje pomeračkog impulsa odgovara vremenu punjenja kondenzatora, po prestanku ovog impulsa struja pražnjenja kondenzatora setovaće jezgro B. Prema tome, pri paralelnom dovođenju pomeračkih impulsa na sva feritna jezgra, memorisani sadržaj jednog jezgra mora da se zadrži u nekom elementu sa vremenskim kašnjenjem sve dotle, dok ne prestane delovanje pomeračkog impulsa u sledećem jezgru.

8.2.3. Kružni registar

Kod stacionarnog registra upisana informacija u određenim memorijskim elementima ostaje neprekidno u njima sve do konačnog brisanja sadržaja registra. Kod pomeračkih registara memorisana informacija se kreće od jednog do drugog memorijskog elementa pri upisivanju, zatim pri serijskom očitavanju, kao i pri nekim drugim operacijama u primeni ovih registara. Drugim rečima memorisana informacija u pomeračkim registrima nalazi se samo povremeno u dinamičkom stanju, inače je u stacionarnom. Za razliku od ovih, memorisana informacija u kružnim, odnosno cirkulacionim registrima je stalno u pokretu. Naime, ona neprekidno kruži od ulaza prema izlazu, vraća se na ulaz i ponovo cirkuliše prema izlazu. Drugim rečima, memorisani podaci se u ovim registrima repetitivno ponavljaju na izlazu, što je od posebnog interesa za neke primene u digitalnoj elektronici.



Sl. 8.10. Kružni registar

Šema kružnog registra pokazana je na sl. 8.10. Preko ulaznog *I* kola, sinhronizovano sa taktnim impulsima *TI*, vrši se unošenje informacije u registar. Ova informacija preko *ILI* kola i pojačavača dovodi se u liniju za kašnjenje *LK*, koja u ovom registru služi kao memorijski medijum. Kašnjenje ove linije mora da bude jednako ili veće od zbira takt-intervala potrebnih za unošenje najduže informacije. Drugim rečima, kapacitet ovakve memorije određen je brojem vremenskih kvanta, koji je sadržan u liniji za kašnjenje. Prema tome, kapacitet registra ne zavisi samo od parametara linije za kašnjenje već i od veličine takt-intervala u sinhronizovanom digitalnom sistemu.

Serija impulsa, koji predstavljaju memorisanu informaciju, neprekidno se kreće s desna na levo kroz liniju za kašnjenje. Na izlazu ove linije memorisani signali nailaze na kontrolno *I* kolo i ponovo se vraćaju preko pojačavača na ulaz memorijskog bloka. Prema tome, memorisana informacija je stalno u pokretu zahvaljujući zatvorenoj petlji sistema. Pri ovom kretanju dolazi do slabljenja i deformisanja digitalnih signala u pojedinim elementima kružne petlje, a naročito u liniji za kašnjenje. Zbog toga je u ovom registru i predviđen pojačavač, koji treba da regeneriše signale memorisane informacije.

Čitanje memorisane informacije obavlja se na izlazu pojačavača preko *I* kola. Očitavanje je, kao što se vidi, nedestruktivno i može da se ponovi proizvoljan broj puta. Pri svakom očitavanju mora da postoji i napon komande za čitanje, koji može da bude ostvaren pomoću takt-impulsa ili kontinualnog napona potrebne dužine trajanja.

Brisanje memorisane informacije vrši se komandnim signalom preko kontrolnog *I* kola. I ovaj signal može da bude u vidu taktovanih impulsa, ili u obliku neprekidnog visokog napona, čije je trajanje jednako zbiru takt-intervala memorisane reči, koja se želi da izbriše.

Kao linija za kašnjenje može da posluži u principu bilo kakva prenosna linija, koja poseduje induktivno-kapacitivne komponente kao što su vodovi, kablovi, filterske ćelije, *RC* kombinacije itd. Kašnjenje u ovakvim linijama je obično vrlo malo, te bi one stoga mogle da posluže za realizaciju cirkulacionih registara sasvim malog kapaciteta. U praktičnoj primeni, međutim, javlja se potreba za znatno većim kašnjenjima, što zavisi od potrebnog kapaciteta memorije i učestanosti takt-generatora. Na primer, za predstavljanje desetocifrenog broja u dekadnom sistemu potrebno je 34 bita u binarnom. Ako učestanost takt-generatora iznosi 1 MHz, potrebno je kašnjenje od 34 μs po jednoj memorisanoj reči. Prema tome, za veći kapacitet memorije kašnjenje u liniji mora da bude prilično veliko. S druge strane, veliko kašnjenje u liniji povećava vreme repeticije, odnosno periodu ponavljanja memorisane informacije. U vezi s tim ponekad se mora dosta dugo da čeka, dok ne stigne tražena informacija na izlaz registra, kako bi se mogla da očita. Zbog toga se, umesto jedne linije sa velikim kašnjenjem, često koristi nekoliko paralelnih linija sa kraćim kašnjenjem, u koje se unosi manja količina informacija. Pri očitavanju se samo linije sa željenom informacijom vezuju na izlaz registra posredstvom selektorskih prekidača. Na taj način se skraćuje čekanje memorisane informacije pri čitanju.

Linije sa većim kašnjenjem dobijaju se korišćenjem akustičkih vodova. U ovom slučaju povorka električnih impulsa, koja predstavlja određenu informaciju, moduliše noseći signal pogodne učestanosti. Posredstvom kvarcnog konvertora, ovaj se signal pretvara u akustične talase, koji se prostiru duž nekog pogodnog voda, kao što je na primer živin stub. Na kraju ovakvog voda nalazi se još jedan kvarcni konvertor, koji prispele akustične talase ponovo transformiše u seriju električnih impulsa, koja odgovara unetoj informaciji na ulazu. Kako je brzina prostiranja signala u ovakvim sredinama dosta mala (npr. kroz živu iznosi 1400 m/s) to se pomoću akustičnih vodova mogu da postignu znatno veća kašnjenja.

Za istu svrhu upotrebljavaju se i magnetostriktivne linije. U ovom slučaju se električni signali posredstvom induktivnog konvertora pretvaraju u magnetno polje. Ovo polje, vršeći magnetizovanje pogodnog (obično niklenog) voda na jednom kraju, izaziva izvesnu promenu dimenzija voda, što je poznato kao magnetostrikcioni efekat. Izazvane promene u strukturi magnetostrikcione linije prenose se ka drugom kraju, gde se opet posredstvom induktivnog pretvarača transformišu u električne signale. Ovi signali odgovaraju signalima unete informacije na početku voda, ali znatno kasne za njima, što je posledica postupnog prenošenja magnetostrikcionog efekta sa jednog na drugi kraj voda.

Pored navedenih mogućnosti za kašnjenje signala, u cirkulacionim registrima ponekad se koriste još i magnetni doboši, ili magnetne trake. Ovakve naprave, o kojima će biti reči kasnije, ima smisla koristiti u registrima samo u izuzetnim primenama, gde količina memorisanih informacija prelazi vrednost od bar stotinu kilobita.

Varijacije vremena kašnjenja u cirkulacionim registrima mogu da izazovu teškoće pa i greške u taktovanju sistema. Greške u vremenu kašnjenja signala povećavaju se sa ponavljanjem ciklusa, što lako dovodi do upadanja signala u susedni vremenski kvant, bilo da se signal kreće sporije ili brže od predviđene brzine. Zbog toga su tolerancije linija za kašnjenje vrlo stroge. U vezi s tim proizvođači ovih komponenata propisuju radni opseg u pogledu temperature i drugih parametara, koji karakterišu magnetostrikcione i kvarcne linije. Dodajmo još, da su memorisani signali u akustičnim i magnetostrikcionim linijama jako oslabljeni i deformisani pored ostalog i zbog dvostruke konverzije signala na početku i kraju prenosnog voda. U vezi s tim propisuju se i odgovarajući zahtevi, koje treba da ispuni pojačavač u cilju regenerisanja memorisanih signala.

Na kraju, ukažimo da se kružni registar može da ostvari i sa digitalnom linijom za kašnjenje, odnosno pomoću običnog pomeračkog registra. U tom cilju potrebno je samo da se izlaz pomeračkog registra neposredno spoji sa njegovim ulazom, pa će pod dejstvom pomeračkih impulsa nastati stalno kruženje memorisane informacije. Zahvaljujući integrisanoj tehnologiji, ovakvo rešenje je prihvatljivo i za registre većeg kapaciteta. Tipična brzina taktovanja ovakvih registara iznosi 5 MHz. Korišćenjem više pomeračkih registara u paraleli, brzina rada cirkulacionog registra može da bude i znatno veća. Na primer, ako se u tri paralelna registra distribuira informacija ciklično po bitima, tj. prvi prima bite broj 1, 4, 7 . . . , drugi 2, 5, 8 . . . , treći 3, 6, 9 itd., onda će kombinovani izlaz sva tri pomeračka registra, recimo na nekom *ILI* kolu, imati trostruko veću brzinu od brzine pomeračkih impulsa.

8.2.4. Neke primene registara

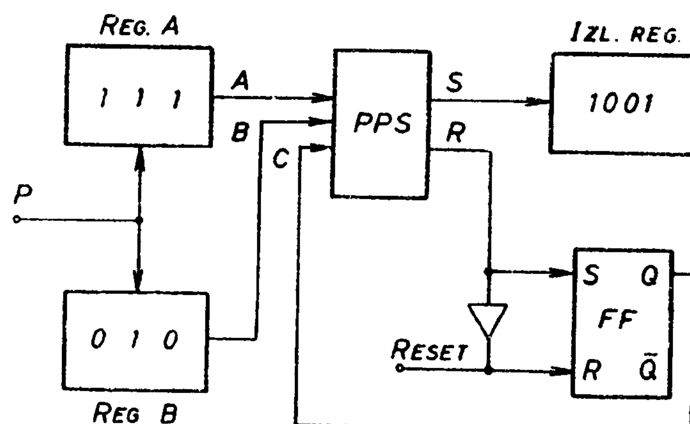
Direktno oduzimanje binarnih brojeva često se zamenjuje operacijom sabiranja. Takav postupak izvođenja ove aritmetičke operacije zahteva prethodno komplementiranje umanitelja. Ova logička operacija može jednostavno da se izvede pomoću stacionarnog registra, izvedenog prema sl. 8.2. Modifikaciju ovog registra treba izvesti tako, da se, recimo posredstvom *ILI* kola ulazi *J* i *K* mogu po volji da dovedu na visok ili nizak nivo napona. Po upisivanju binarnog broja, kome treba da se odredi komplement jedinice, potrebno je da se na oba priključka *J* i *K* svih flipflopova dovede visoki napon. Aktiviranjem registra samo jednim takt-impulsom, izvršiće se trigerovanje svakog flipflopa. Prema tome, gde god je bila upisana jedinica pojaviće se nula i obrnuto, što znači da je sada umesto prave vrednosti broja u registru memorisana njegova komplementna vrednost. Na primer umesto upisanog broja 1011 nalaziće se komplementna vrednost 0100.

Sabiranje binarnih brojeva može da se izvede pomoću polusabirača, o kome je bilo reči u poglavlju 3.6. Za sabiranje višebitnih binarnih brojeva potreban je $(2n-1)$ polusabirač, gde je n broj bita. Kako svaki polusabirač sadrži po nekoliko logičkih elemenata, to ovakav računski sklop može da bude dosta složen.

Sabiranje višebitnih brojeva može da se izvede pomoću samo dva polusabirača, ako se upisivanje sabiraka, umesto u stacionarni, izvrši u pomerački registar. Na sl. 8.11 data je blok šema takvog računskog sklopa. Osnovna aritmetička jedinica ovde je potpuni sabirač *PPS*, koga u suštini sačinjavaju dva polusabirača. Na ulaze *A* i *B* dovode se cifre sabiraka, a ulaz *C* je predviđen za prijem prenosne jedinice. Logika sabirača data je u vidu kombinacione tabele 8.4.

A	*B*	*C*	*S*	*R*
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

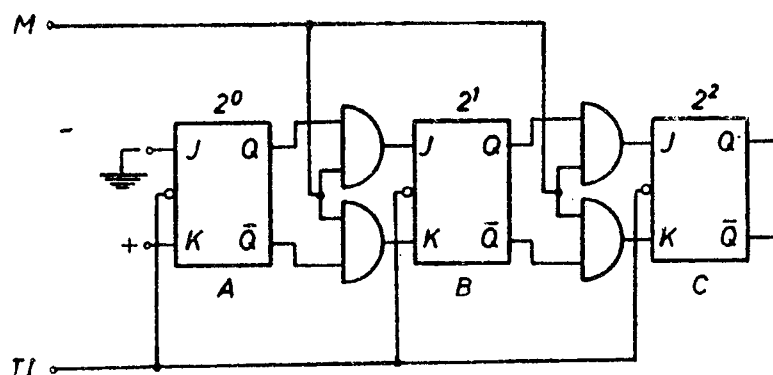
Tabela 8.4. Kombinaciona tabela sabirača



Sl. 8.11. Sabiranje binarnih brojeva

Svi upotrebljeni registri su pomeračkog tipa. Upisivanje sabiraka izvršeno je tako da se pri serijskom očitavanju posredstvom impulsa *P* dovode istovremeno na ulaz sabirača samo cifre iste pozicione vrednosti u oba sabirka i to počevši od onih sa najmanjom vrednošću. Izlaz sumiranja *S* upisuje se u izlazni registar, a prenosna jedinica preko *RS* flipflopa dovodi se na ulaz *C* sa ciframa sledeće pozicione vrednosti. Pri sabiranju cifara najviše vrednosti, eventualna prenosna jedinica se posredstvom posebne logike upisuje direktno u izlazni registar ili se u još jednom ponovljenom postupku sabiranja i ona dovodi u registar preko sabirača *PPS*. Primetimo na kraju da je ovakav postupak sabiranja znatno sporiji od onoga, u kome se za sabiranje svakog para cifara koristi poseban sabirački sklop. To je i razumljivo s obzirom da se ovde radi o serijskom sabiranju u kome je potrebno onoliko takt-intervala koliko veći sabirak ima bita.

Množenje i delenje binarnog broja sa 2^n gde je $n = 1, 2, 3$ itd. može jednostavno da se izvede pomoću pomeračkog registra. Ako se na primer, broj 011 pomnoži sa 2^1 dobija se broj 110, sa 2^2 dobija se 1100 itd. Vidimo da se ovakvo množenje može da ostvari jednostavnim pomeranjem cifara u binarnog broja u levo za *n* mesta. S druge strane, ako se neki broj, recimo 1100, podeli sa 2^1 dobija se 110, ili pak sa 2^2 — dobija se 011. Vidimo, dakle, da se ovakvo delenje može da izvrši pomeranjem cifara u desno za *n* mesta.



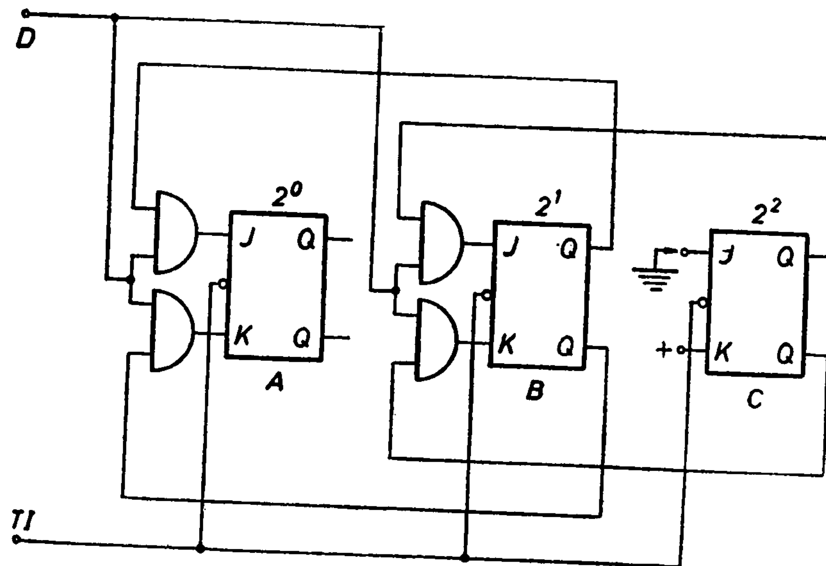
Sl. 8.12. Množenje binarnih brojeva sa vrednošću 2^n

I jedna i druga aritmetička operacija može da se izvedu primenom pomeračkog registra. Na sl. 8.12 data je šema registra predviđenog za pomeranje cifara u levo, odnosno za množenje. Pri ovoj operaciji treba dovesti visoki napon na vod *M* i takt-impulsima aktivirati registar onoliko puta za koliko mesta se pomeraju memorisane cifre. Primetimo da pomeranje cifara u levo znači faktički pomeranje memorisanog sadržaja registra u desno. Prema tome, prvi flipflop registra biće uvek ispražnjen, tj. resetovan. Zbog toga, njegov priključak *J* može da bude stalno na niskom a *K* na visokom naponu. Na drugoj strani registra, međutim, treba predvideti dovoljan broj flipflopova, koji će moći da prime pomereni memorisani sadržaj u registru.

Blok šema registra, predviđenog za operaciju delenja data je na sl. 8.13. Postupak rada je isti kao i u prethodnom slučaju. Pošto pomeranju cifara binarnog broja u desno, odgovara kretanje memorisanog sadržaja u levo, to će poslednji flipflop registra biti uvek ispražnjen. Stoga su naponi na njegovim ulazima *J* i *K* podešeni za uspostavljanje resetovanog stanja.

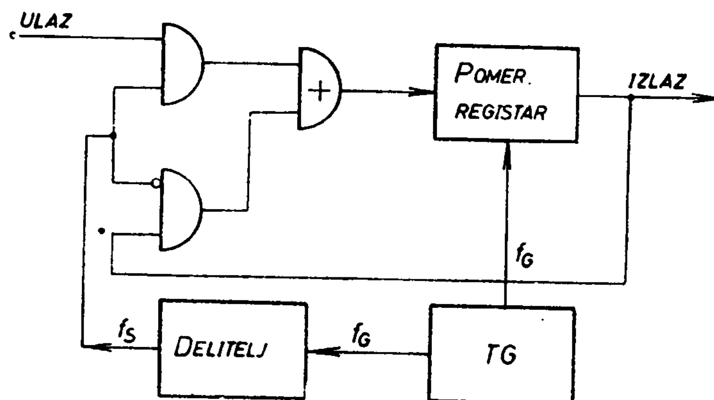
Primena cirkulacionog registra sa digitalnom linijom za kašnjenje pokazana je na sl. 8.14. Data šema predstavlja vremenski kompresor sa linijom za kašnjenje poznat pod nazivom *DELTIC* (delay-line time compressor). Ulazna informacija se

sempluje, kvantuje i unosi u pomerački registar sinhronizovano sa učestanošću odmeravanja, odnosno semplovanja f_S. Pretpostavimo da kvantovani odmerci analognog signala iznose samo jedan bit. Prema tome, prvi odmerak, koji je unet u registar, biće posle N takt-impulsa, gde je N kapacitet registra, ponovo doveden na ulaz pomeračkog registra. Neposredno iza ovoga, tj. u vremenskom intervalu koji kasni samo za jedan takt iza prvog odmerka, u registar se unosi novi odmerak analognog



Sl. 8.13. Delenje binarnih brojeva sa vrednošću 2^n

signala. Analogno tome, treći odmerak ulazne informacije uneće se u registar pri ponovnoj repeticiji, neposredno iza prvog i drugog odmerka. Ovaj postupak se nastavlja sve dok se ne popuni kapacitet registra. Posle toga će pri svakom ciklusu, istim redom kako je unošen, jedan po jedan odmerak da ispada iz registra, čime se upražnjuje mesto za unošenje novog odmerka. Drugim rečima, utvrđenim odnosom učestanosti takt-generatora i znatno sporije učestanosti odmeravanja omogućeno je pri svakom ponovljenom ciklusu kruženja memorisanih informacija da se jedan stari podatak zameni jednim novim.



Sl. 8.14. Kružni registar sa digitalnom linijom za kašnjenje

Vremensku kompresiju ulazne analogne informacije ilustrovaćemo jednim brojnim primerom. Neka je učestanost takt-generatora $f_G = 1$ MHz, a učestanost

odmeravanja (semplovanja) $f_S = 1$ kHz. Prema tome, odnos kompresije je 1000 : 1. Vremenski razmak između odmeraka, odnosno ukupno kašnjenje u registru, mora da bude za jedan takt-interval kraće od periode odmeravanja. To znači da kapacitet linije za kašnjenje iznosi 999 μs. Pošto se ulazni signal sempluje svake milisekunde, to znači da cirkulišući registar sadrži informaciju dužine 999 ms. Prema tome, svaki odmerak analogne informacije napravi 999 ciklusa, dok se u hiljaditom ciklusu vremenski najstariji odmerak zamenjuje novim.

8.3. MEMORIJE SA MAGNETNIM JEZGRIMA

Feritno jezgro prstenastog oblika zauzima dominantno mesto u memorijskim sistemima. Pravougaona histerezisna kriva ovog magnetnog materijala obezbeđuje izvrsne memorijske karakteristike jezgra: trajnost, postojanost i ekonomičnost čuvanja memorisane informacije. Osim toga, memorijski sistemi sa magnetnim jezgrima odlikuju se relativno malim vremenom pristupa i velikim kapacitetom, koji je praktično ograničen samo ekonomičnošću izrade sistema. Povećanje brzine rada i kapaciteta memorije uz istovremeno smanjivanje njenog gabarita pa i cene koštanja postiže se u poslednje vreme smanjenjem prečnika jezgra. U tabeli 8.5 navedene su vrednosti

Dimenzije jezgra ($2R_{sp.}/2R_{un.}\times$ deblj.) [mm]	I_m [mA]		V [mV]		t_p [μs]
	0°C	70°C	V(1)	V(0)	
1,25/0,75 × 0,4	850	750	100	7	0,9
0,55/0,35 × 0,1	1000	900	50	6	0,2
0,35/0,25 × 0,06	1125	1100	35	5	0,1

Tabela 8.5. Neki parametri magnetnih jezgara za memorije

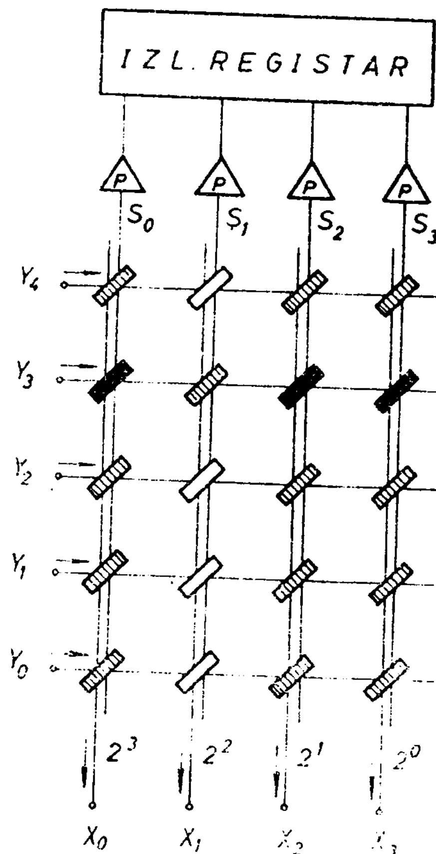
nominalne struje premagnetisavanja jezgra I_m, napona očitavanja V(1) i V(0) kao i trajanja prekidačkog vremena t_p (videti sl. 7.19 a) za feritna jezgra različitih dimenzija. Tabela očito ukazuje na povećanje brzine rada jezgara manjih dimenzija, čemu, naravno, doprinosi i povećana struja eksitacije jezgra. S druge strane, međutim, kod manjih magnetnih jezgra smanjena je i razlika indukovanog napona pri očitavanju vrednosti logičke jedinice i nule, što otežava diskriminaciju remanentnih jezgra.

Pošto magnetno jezgro može da memoriše samo jedan bit informacije, to kapacitet memorije, izražen u bitima, određuje i broj jezgara u memorijskom sistemu. Kako se memorije ovog tipa koriste kao unutrašnje, operativne memorije digitalnog uređaja, njihov kapacitet najčešće prelazi vrednost od nekoliko megabita. Prema tome, broj jezgara u ovakvoj memoriji je, znači, vrlo veliki, te se obično razmešta u više memorijskih ravni. Naime, organizacija memorijskog sistema sa jezgrima može da se izvede na različite načine, što je diktirano s jedne strane poboljšanjem karakteristika memorije, a sa druge smanjenjem troškova njene izgradnje. U vezi s tim treba istaći da se umesto eksitacionih namotaja jezgra ovde koristi samo delimični zavojak koga čini žica provučena kroz jezgro. Da bi prečnik jezgra mogao da bude što manji, organizaciju memorije treba izvesti sa što manjim brojem potrebnih žica, a da se pri tome ne pogoršaju funkcionalne karakteristike memorije i ekonomičnost njene izrade u celini.

U daljem izlaganju biće razmotrena organizacija memorijskih sistema 2 D, 3 D i 2 $^1/_2$ D. Simbol D ukazuje na dimenzije memorijskog sistema, što znači da se sistem 2 D izvodi u ravni a 3 D u prostoru. Ovo je istina prvobitno značenje simbola D, jer za kasnije razvijeni sistem $2^1/_2$ D navedena oznaka ukazuje samo, da se on po organizacionoj formi, a i karakteristikama nalazi negde između sistema 2 D i 3 D.

8.3.1. Memorijski sistem 2D

Memorijski sistem 2 D organizovan je po rečima, što znači da se svi biti jedne reči nalaze u jednoj istoj memorijskoj ravni. Jedna takva ravan, čiji je kapacitet pet reči od po četiri bita, predstavljena je na sl. 8.15. Kroz svako jezgro prolaze po tri žice označene sa X, Y i S. Na X žice, odnosno vodove dovode se strujni impulsi koji predstavljaju binarno kodovanu reč. Njihov broj jednak je, dakle, broju bita u reči. Y vodovi služe za selekciju, za izbor grupe jezgara predviđene za memorisanje jedne reči. Prema tome, broj ovih vodova jednak je broju reči, odnosno kapacitetu reči za koji je memorija predviđena. Najzad vodovi S koriste se kao senzorski, odnosno detektorski vodovi, koji su preko pojačavača spojeni za memorijske elemente izlaznog registra.



Sl. 8.15. Memorijska ravan sistema 2D

Upisivanje informacije u jezgra memorije vrši se koincidentnim dovođenjem strujnih impulsa vrednosti $I_m/2$ na izabrani vod reči i odgovarajuće vodove bita. Koincidentno delovanje eksitacionih struja u X i Y vodovima manifestuje se u izazivanju aditivnog fluksa u jezgrima. Prema tome, samo jezgro koje se nalazi na preseku X i Y voda sa koincidentnim strujama $I_m/2$ može da bude premagnetisano iz stanja „0" u stanje „1". Međutim, jezgro, koje je pod uticajem struje samo jednog, bilo X ili Y voda, biće reversibilno, odnosno parcijalno magnetisano, što, naravno, ne dovodi do promene logičke vrednosti magnetnog stanja u jezgru. Tako, na primer, pri upisivanju informacije 1011 u grupu jezgara sa adresom Y_3, dovode se strujni impulsi $I_m/2$ na vod reči Y_3 kao i na vodove bita X_0, X_2 i X_3. Prema tome, jezgra na preseku ovih vodova biće potpuno premagnetisana tj. setovana. Takva jezgra na sl. 8.15 označena su punom šrafurom. Međutim, jezgra, kroz koja je prošla samo jedna komponenta upisne struje, ostaju i dalje u stanju logičke nule. Kako su njihova magnetna stanja ipak unekoliko izmenjena zbog parcijalnog magnećenja, takva jezgra označena su na slici delimičnom šrafurom.

Čitanje memorisanog sadržaja vrši se propuštanjem struje premagnetisanja I_m kroz izabrani vod reči, ali sada u suprotnom smeru od one pri upisivanju. Zbog toga nastaje resetovanje svih jezgara na adresnom Y vodu, pri čemu se u izlaznim vodovima indukuju odgovarajući naponi. Tada za memorisanu informaciju 1011 u jezgrima na vodu Y_3 nastaje indukovani napon logičke jedinice u vodovima S_0, S_2 i S_3.

Upisivanje informacije u memoriju postupkom koincidentnih struja uslovljava ograničene vrednosti strujnih komponenata tako, da magnetno polje jedne komponente struje mora da bude manje od koercitivnog polja magnetnog jezgra. Zbog toga brzina upisivanja sadržaja u memorijski sistem 2 *D* ne može da se povećava primenom većih pobudnih struja. Pa ipak, ovaj memorijski sistem karakteriše malo ciklusno vreme, s obzirom da brzina čitanja memorisanog sadržaja može da bude dosta velika. Ovo je posledica mogućnosti povećanja struje čitanja, koja ne podleže ranije navedenim ograničenjima, jer se premagnetisavanje jezgara vrši posredstvom struje samo jednog voda. Zbog toga struja pobude može da bude i znatno veća (obično za oko 50%) od potrebne struje za potpuno premagnetisavanje jezgra. Osim toga memorija 2 *D* ima kraće pobudne vodove, što takođe doprinosi bržem uspostavljanju eksitacione struje, jer su induktivnosti vodova manje.

Dobre strane memorijskog sistema 2 *D* su: velika brzina rada, laka diskriminacija stanja $V(0)$ i $V(1)$, široke tolerancije pogonskih struja, veliki temperaturski opseg i druge. S druge sirane, pri organizaciji memorije po rečima mogu da nastanu teškoće uzrokovane dugim i međusobno paralelnim *X* i *S* vodovima. Naime, za vreme upisivanja informacije, indukuju se naponi u izlaznim vodovima, koji mogu da preopterete ulazne stepene pojačavača, tako da oni ostaju blokirani duže vreme. Zbog toga se mora predvideti amplitudsko ograničenje napona na ulazu pojačavača. Međutim, osnovni nedostatak ovog sistema je potreba vrlo velikog broja adresnih vodova. Zbog toga se sistem 2 *D* primenjuje samo za brze memorije manjeg kapaciteta. Napomenimo da se memorije sistema 2 *D* izrađuju ponekad ne samo sa po dva *X* već i sa po dva *Y* voda. Pri tome, jedan *Y* vod služi za upisivanje, a drugi sa čitanje memorisane informacije. Isto tako, postoje i memorije samo sa po jednim *X* vodom, koji istovremeno služi i kao izlazni vod.

Na kraju ukažimo da se dvodimenziona organizacija memorijskog sklopa često primenjuje u takozvanim puferskim memorijama. Ove memorije se koriste za usklađivanje različitih radnih brzina centralnih i perifernih jedinica digitalnog uređaja. Njihov zadatak je, dakle, da prime informaciju brzinom, koju ima jedna jedinica i potom da je predaju brzinom koju ima neka druga jedinica. Za ovu svrhu potrebne su obično memorije manjeg kapaciteta, na primer da prime sadržaj jedne bušene kartice (12×80 bita). Posle čitanja ove memorije, sva jezgra ostaju resetovana. To uostalom i odgovara potrebama puferskih memorija, pošto one imaju ulogu samo da prihvate informaciju na prolazu od jednog digitalnog bloka ka drugom.

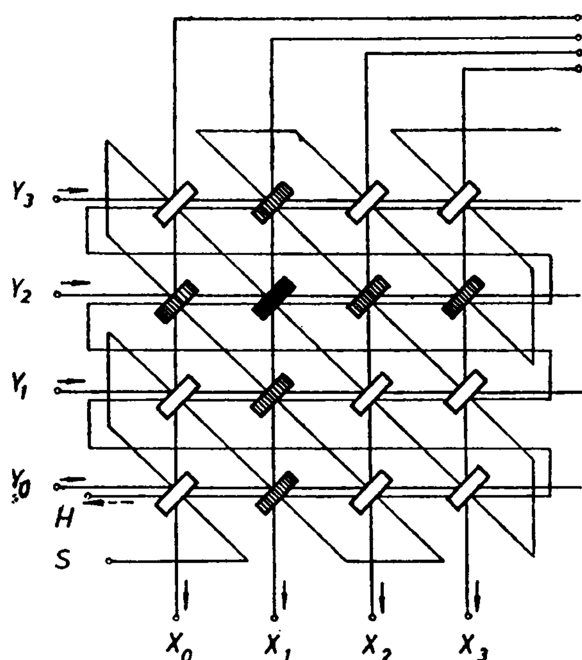
8.3.2. Memorijski sistem 3D

Memorijski sistem 3 *D* organizovan je po bitima, što znači da se u jednoj memorijskoj ravni nalazi samo jedan bit binarno kodovane reči. U vezi s tim logično proizilazi da je za memorisanje višebitnih reči potrebno onoliko memorijskih ili bit-ravni koliko najduža reč ima bita. Skup ovakvih ravni, prema tome, predstavlja trodimenzionalnu memorijsku organizaciju.

Na sl. 8.16 pokazana je samo jedna bit-ravan sistema 3 *D*. Kroz svako jezgro u ovakvoj organizaciji memorije provlače se po četiri žice označene sa *X*, *Y*, *S* i *H*. Vodovi *X* i *Y* određuju adresu memorisane reči, u ovom slučaju samo jednog bita. Koicidentnim dovođenjem struje $I_m/2$ na selektovane vodove, recimo X_1 i Y_2, izvršiće se setovanje adresovanog jezgra koje se nalazi u preseku ovih vodova. Prema tome, upisivanje podataka u memoriju 3 *D* vrši se strujnim impulsima ograničene amplitude.

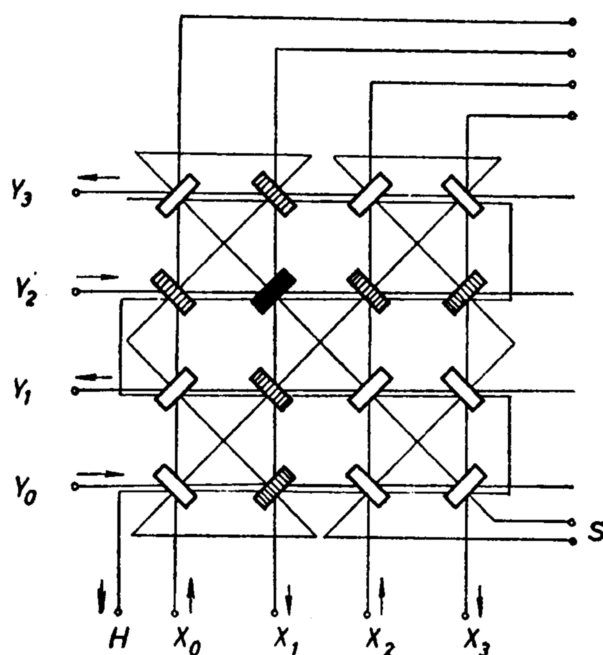
U slučaju da pri upisivanju adresovano jezgro treba da primi informaciju koja odgovara stanju logičke nule, mora se sprečiti premagnetisavanje jezgra pri koinci-

dentnoj eksitaciji adresnih vodova. Za tu svrhu predviđen je inhibicioni vod *H*, koji prolazi kroz svako jezgro jedne memorijske ravni. Ako se koincidentno sa pobudom adresovanih vodova dovodi struja vrednosti $I_m/2$ i na inhibicioni vod, ali suprotnog smera od struje u *Y* vodu, rezultujuće magnetno polje u selektovanom jezgru biće nedovoljno da izvrši njegovo setovanje. Prema tome, upisivanje vrednosti binarne nule u magnetno jezgro memorije 3 *D* zahteva koincidentno delovanje tri strujna impulsa ograničenih amplituda.



Sl. 8.16. Memorijska ravan sistema 3*D*

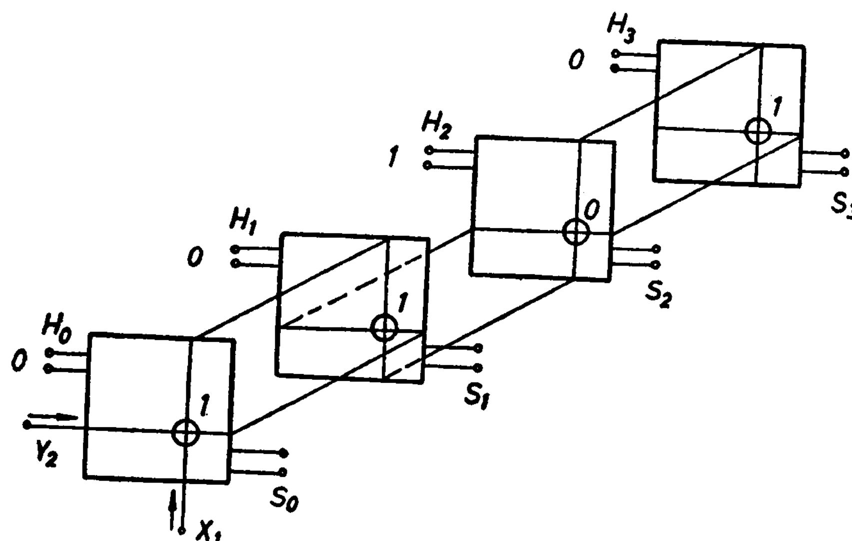
Čitanje memorisanog sadržaja jezgra vrši se takođe preko adresnih vodova koincidentnim strujnim impulsima amplitude $I_m/2$, ali ovog puta obrnutog smera od struja pri upisivanju. Ako je u adresovano jezgro, na primer X_1 Y_2, bila upisana jedinica, ono će se sada premagnetisati u stanje logičke nule, usled čega će se na izlaznom vodu *S* indukovati odgovarajući naponski impuls. Ovaj napon se pojačava i prenosi u izlazni registar memorijskog sistema. Skrenimo pažnju da pri čitanju memorisanog sadržaja mogu da nastanu teškoće zbog toga, što postoji veliki broj jezgara u kojima se vrši parcijalno magnećenje pri prolasku čitačkog impulsa kroz selektovane vodove. Broj ovakvih jezgara iznosi $2(n-1)$, ako se radi o simetričnoj memorijskoj ravni sa po *n* jezgara u *X* i *Y* pravcu. Da bi se smanjio indukovan napon izazvan delimičnom pobudom ovih jezgara, izlazni vod *S* postavlja se tako, da kroz jednu polovinu jezgara prolazi u jednom, a kroz drugu u drugom pravcu. Usled toga nastaje izvesno poništavanje međusobno suprotno orijentisanih indukovanih napona u izlaznom vodu. U vezi s tim kod ovih memorija se postavljaju i strožiji zahtevi u pogledu ujednačenosti karakteristika magnetnih jezgara. Osim toga, u zavisnosti od pravca prolaženja izlaznog voda kroz pojedina jezgra, na njegovima krajevima mogu da se pojave indukovani naponi očitane informacije jednog ili drugog polariteta. Zbog toga izlazni pojačavači vrše istovremeno i usmeravanje tog napona, kako bi se pri upisu u registar pojavljivao uvek sa istim polaritetom.



Sl. 8.17. Povoljnija konstrukcija bit-ravni sistema 3*D*

Na sl. 8.17 pokazana je konstrukcija bit-ravni memorije 3 *D* koja je pogodnija sa stanovišta poništavanja uticaja parcijalno eksitovanih jezgara na indukovani

napon u izlaznom vodu. Kod ove ravni svaki vod ulazi u susedno jezgro sa suprotne strane. Zbog toga su i smerovi upisnih struja u adresnim vodovima različiti, ali podešeni tako da deluju aditivno u svakom adresovanom jezgru. Na primer u jezgru X_1 Y_2 obe koincidentne upisne struje vodova X_1 i Y_2 ulaze sa gornje strane jezgra, dok struja inhibicionog voda ulazi u jezgro sa donje strane. Pri očitavanju ovog jezgra razumljivo je da će strujni impulsi u adresnim vodovima imati suprotne pravce od onih pri upisivanju. Što se tiče izlaznog voda nije teško zaključiti da se međusobno poništavaju indukovani naponi od jezgara X_0 Y_2 i X_3 Y_2, zatim X_1 Y_0 i X_1 Y_3 i najzad X_1 Y_1 i X_2 Y_2. Napomenimo da poništavanje indukovanih napona u izlaznom vodu uslovljava identičnost karakteristika magnetnih jezgara. U svakom slučaju efikasno smanjivanje indukovanih napona usled delimičnog magnetisanja jezgara postiže se povećanjem faktora kvadratičnosti magnetnih jezgara.



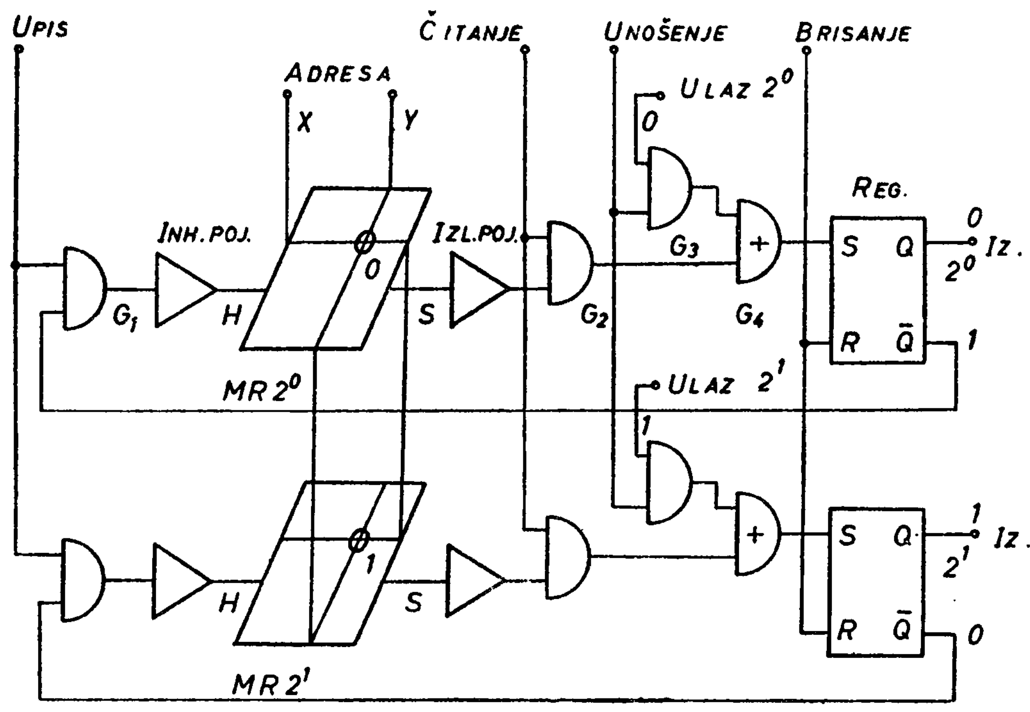
Sl. 8.18. Memorijski sistem 3*D*

Već je rečeno da organizacija memorijskog sistema 3 *D* ima onoliko bit-ravni koliko memorisana reč sadrži bita. Na sl. 8.18 pokazana je principska šema takvog sistema za četvorobitne reči. Broj jezgara u svakoj ravni jednak je broju reči, a kapacitet memorije dobija se kao proizvod broja reči i broja bita u reči. Vidimo da adresni vodovi prelaze sa jedne ravni na drugu povezujući tako sve memorijske ćelije jedne iste reči. Prema tome, ako se koincidentno eksituju adresni vodovi X_1 i Y_2, pokazani na sl. 8.18, u svakoj bit ravni biće upisana jedinica u odgovarajuća jezgra. Međutim, ako treba da se upiše na istu adresu informacija 1011, pored adresnih vodova X_1 i Y_2 mora se dovesti odgovarajući napon i na inhibicioni vod H_2. Prema tome, pri upisivanju određene informacije u memorijski sistem, na inhibicione vodove pojedinih bit-ravni postavljaju se naponi koji imaju komplementne vrednosti memorisanih bita. Drugim rečima to znači, da se pobuđivanje inhibicionih vodova vrši samo u ravnima, čija selektovana jezgra treba da ostanu u resetovanom stanju. Razumljivo je da se u jednom takt-intervalu može da upisuje ili da očitava samo jedna selektovana reč.

Dobra strana memorije 3 *D* je što se sa relativno malim brojem adresnih vodova opslužuje memorijski sistem velikog kapaciteta. Broj adresnih vodova zavisi samo od broja reči, a ne i od broja bita. Ako memorija ima kapacitet u iznosu od n^2 reči, onda je potrebno svega 2 n adresnih vodova. U poređenju sa memorijom 2 *D*, ovde se postiže ušteda adresnih vodova od 80% već pri kapacitetu memorije od svega 100 reči. Na drugoj strani međutim, sistem 3 *D* lošiji je od sistema 2 *D* u pogledu brzine

rada. To je i razumljivo kad se ima u vidu da se u obe operacije — pri upisivanju kao i pri čitanju — primenjuju koincidentne struje ograničenih vrednosti. U vezi s tim ovako organizovan memorijski sistem često se zove i memorija sa koincidentnim strujama. Logično je da postupak memorisanja sa ograničenim strujama ne dozvoljava veće varijacije pobudnih struja, a isto tako i temperaturskog opsega. U vezi sa ovim napomenimo, da je temperaturski opseg rada ovih memorija dobrim delom ograničen disipacijom inhibicionog voda, koji takođe predstavlja slabu tačku memorijskog sistema 3 *D*.

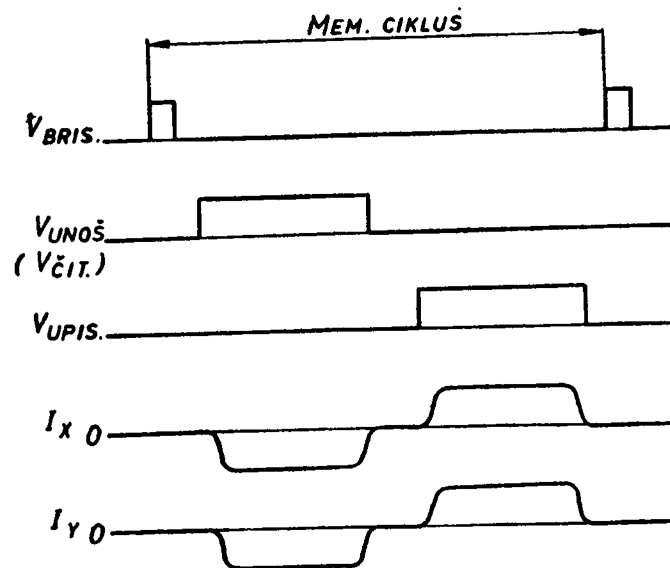
Memorijski sistem 3 *D* je u principu destruktivan — *DRO* (destructive readout), jer se pri čitanju memorisani sadržaj uništava procesom resetovanja jezgra. Imajući ovo u vidu, upisivanje u ovakvu memoriju može da se vrši neposredno posle čitanja, bez prethodnog brisanja. Međutim, umesto upisivanja novih podataka, često se u memoriju upisuju ponovo isti podaci, koji su neposredno pre toga očitani. Takav memorijski sistem je upravno nedestruktivan — *NDRO* (nondestructive readout), jer je kod njega svaki ciklus čitanja praćen ponovnim upisivanjem očitanog sadržaja.



Sl. 8.19. Logička šema nedestruktivne memorije sistema 3*D*

Na sl. 8.19 prikazana je blok-šema nedestruktivnog memorijskog sistema 3 *D*, čiji je rad delimično ilustrovan vremenskim dijagramima na sl. 8.20. Sistem sadrži svega dve memorijske ravni, te, prema tome, može da primi samo reči od dva bita. Pretpostavimo da je *XY* adresa magnetnih jezgara u koje treba da se upiše informacija 10. Pre unošenja podataka u memoriju treba izvršiti brisanje registra dovođenjem impulsa za resetovanje flipflopova. Neposredno iza toga dovodi se komandni napon za unošenje informacije u registar preko logičkih elemenata G_3 i G_4. Time je informacija 10 upisana u registar, a komplementni izlazi flipflopova u registru pripremaju logičke elemente G_1 za prenošenje ove informacije u memorijske ravni. Istovremeno dok je vršeno unošenje podataka u registar dovedeni su negativni strujni impulsi na adresne linije *X* i *Y* radi resetovanja selektovanih jezgara u memoriji.

Po završetku unošenja podataka u registar dovodi se komandni napon za upisivanje tih podataka u memoriju. Istovremeno sa ovom komandom na adresnim vodovima X i Y deluju pozitivni strujni impulsi amplitude $I_m/2$. Na taj način u adresovano jezgro memorijske ravni $MR\ 2^1$ upisuje se bit 1, pošto je inhibicioni strujni pojačavač ostao neaktiviran. Međutim, adresovano jezgro u memorijskoj ravni $MR\ 2^0$ ostaje i dalje resetovano, jer je preko G_1 aktiviran pojačavač koji je na inhibicioni vod ravni dao negativni strujni impuls amplitude $I_m/2$. Na taj način, dakle, u toku jednog memorijskog ciklusa, sl. 8.20, izvršeno je unošenje podataka u registar i njihovo upisivanje u memoriju.



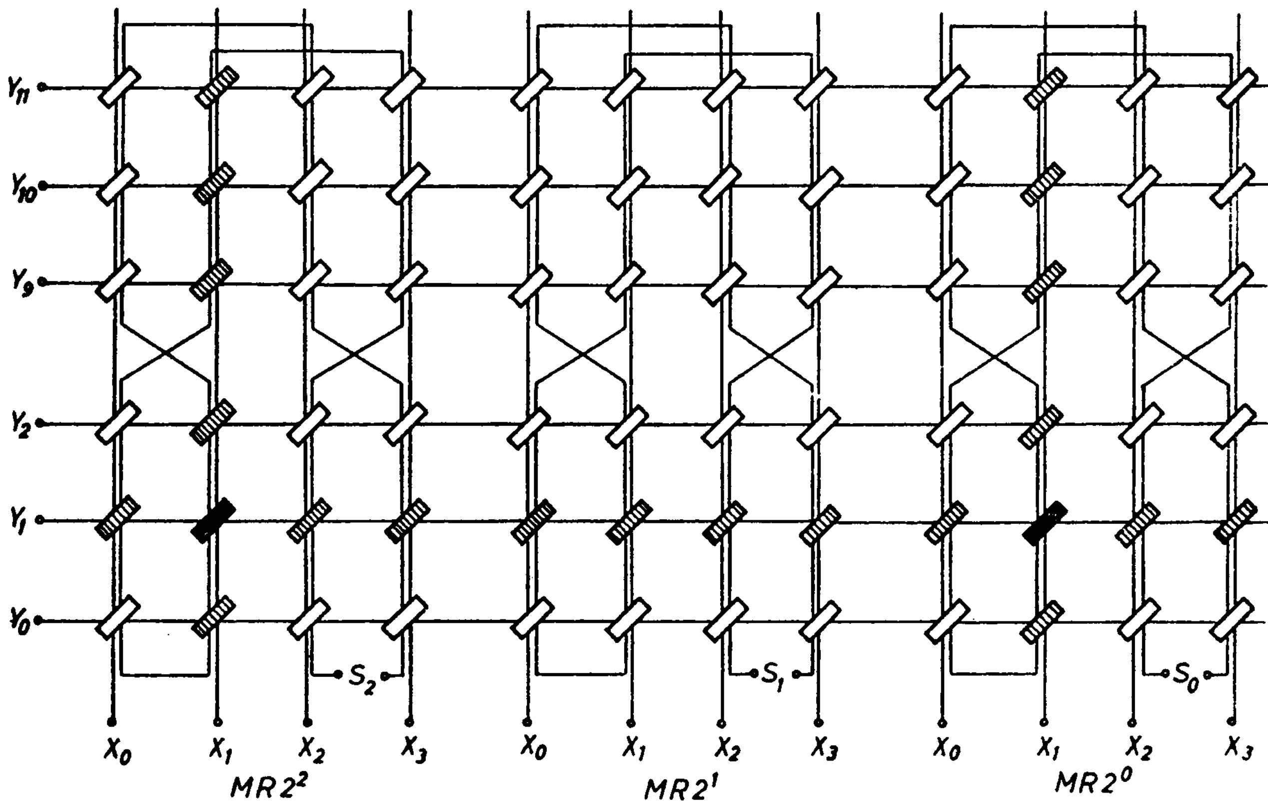
Sl. 8.20. Vremenski dijagrami karakterističnih veličina memorije na sl. 8.19 u toku jednog memorijskog ciklusa

Po završenom upisivanju informacije u memoriju, ona se dalje može da koristi za nedestruktivno čitanje memorisanog sadržaja. U tom cilju postupak unošenja podataka preko spoljnih ulaza u registar zamenjuje se operacijom očitavanja podataka iz memorije. Prema tome, vremenski dijagrami na sl. 8.20 ostaju u važnosti i u ovom slučaju, samo što se komandni napon ne dovodi na priključak za unošenje podataka, već na priključak za čitanje memorisanog sadržaja. Istovremeno s ovim deluju čitački impulsi na selektovane adresne vodove, usled čega se na senzorskim vodovima S indukuju odgovarajući naponi. Ovi naponi preko izlaznog pojačavača i logičkih elemenata G_2 i G_4 dovode se na odgovarajuće izlaze registra. Ponavljajući zatim drugi deo memorijskog ciklusa, očitani sadržaj će biti ponovo upisan u ista magnetna jezgra i tako sačuvan za sledeće čitanje. Ovakav način rada memorije, okarakterisan je, dakle, čitačko-upisnim ciklusom i često se obeležava sa RWC (read-write cycle).

8.3.3. Memorijski sistem $2\frac{1}{2}$ D

Organizacija memorije po sistemu $2\,^1/_2\,D$ predstavlja kombinaciju dva prethodna sistema $2\ D$ i $3\ D$. Upisivanje informacije obavlja se na način koji je primenjen u sistemu $2\ D$, dok postupak očitavanja odgovara sistemu $3\ D$. Prema tome, svako jezgro mora da bude snabdeveno sa po tri žice, odnosno voda X, Y i S.

Na sl. 8.21 prikazana je organizacija memorijskog sistema $2\,{}^{1}/_{2}$. D. Linije Y odgovaraju vodovima reči u sistemu 2 D s tom razlikom što se ovde na istom vodu ne nalaze jezgra samo jedne već više reči. Linije X pripadaju bitima reči kao u sistemu 2 D, ali su raspoređene po bit ravnima kao u sistemu 3 D, s tom razlikom što nisu međusobno povezane. Da bi se dobilo podjednako kašnjenje u X i Y linijama, broj jezgara na svakoj liniji treba da bude približno jednak. Prema tome, poželjno je da



Sl. 8.21. Memorijski sistem $2\,{}^{1}/_{2}\,D$

razvijen memorijski sistem ima kvadratni oblik, što, razume se, uslovljava izduženu pravougaonu formu bit-ravni. Broj X vodova u bit-ravnima jednak je broju reči na Y vodu, a broj ovih ravni jednak je broju bita memorisane reči. Ako je broj bit-ravni veliki, one se postavljaju paralelno jedna iza druge tako da se i u ovom slučaju formira prostorni memorijski sistem. Najzad svaka bit-ravan ima poseban izlazni vod S, koji je provučen kroz jezgra tako, da jedna polovina jezgara indukuje u njemu napon jednog smera, a druga polovina napona suprotnog smera. To može da bude izvedeno dijagonalno, kao u sistemu 3 D ili pak paralelno X vodovima kao što je pokazano na sl. 8.21.

Napomenimo da se organizacija sistema $2\,{}^{1}/_{2}\,D$ izvodi i tako, da se svi biti jedne reči nalaze u jednoj memorijskoj ravni. U tom slučaju linije X_1 imaju pozicione vrednosti kao u sistemu 2 D, a selekcija ravni obavlja se posebno predviđenom logikom.

Upisivanje informacije u memoriju na sl. 8.21 vrši se koincidentnim dovođenjem pozitivnog strujnog impulsa amplitude $I_m/2$ na selektovane vodove X i Y. Ako, na primer, u jezgra sa adresom $X_1\,Y_1$ treba da se upiše informacija 101 onda se strujni impuls dovodi na vod Y_1 kao i na vodove X_1 u memorijskim ravnima $MR\,2^0$ i $MR\,2^2$. Prema tome, odgovarajuća jezgra u ovim ravnima biće premagnetisana u stanje jedinice dok će jezgro u ravni $MR\,2^1$ ostati i dalje u stanju nule.

Očitavanje memorisanog sadržaja obavlja se na taj način što se kroz adresne vodove, na primer Y_1 kao i X_1 u svim bit-ravnima, istovremeno propušta negativan strujni impuls amplitude $I_m/2$. Pri tome vrši se premagnetisavanje setovanih jezgara iz pozitivnog u negativno remanentno stanje, usled čega se u senzorskim vodovima S_0 i S_2 indukuju odgovarajući naponski impulsi. Kako se na tim vodovima istovremeno indukuju i naponi velikog broja delimično magnetisanih, jezgara, to mogu da nastanu prilične teškoće u pogledu diskriminacije očitanih logičkih vrednosti. Smanjenje pomenutog napona, koji se označava i kao napon šuma, postiže se pored ostalog i postupkom očitavanja u kome strujni impuls na Y vodu kasni za nekoliko nanosekunada iza impulsa u X linijama. Zahvaljujući tome što se očitavanje u ovom slučaju vrši za vreme eksitovanja Y voda, napon smetnji potiče samo od malog broja jezgara koji se nalaze na tom vodu u jednoj memorijskoj ravni.

Što se tiče opštih karakteristika memorijskog sistema $2^1/_2$ D, najbolje je da se izraze uporedno sa sistemima 2 D i 3 D. Pošto se upisivanje i čitanje podataka vrši ograničenim strujama to je brzina rada u principu manja nego kod 2 D, odnosno odgovara brzinama u sistemu 3 D. Ukupni broj vodova je manji nego u sistemu 2 D, ali je veći od broja vodova u sistemu 3 D. Osim toga, kola za selekciju lokacija u ovoj memoriji su složenija nego kod 3 D. Velika prednost ovog sistema ogleda se u tome, što je izostao inhibicioni vod, a sa njime i smetnje koje on uzrokuje u izlaznom vodu. U vezi sa izostajanjem inhibicionih vodova dodajmo da i otvori jezgara mogu da budu manji, disipacija u memorijskoj ravni je manja i konačno nepotrebni su i inhibicioni pojačavački stepeni.

8.3.4. Memorijske adrese

Svakoj memorisanoj reči u bilo kom memorijskom sistemu dodeljuje se unapred odabrana lokacija, koju čini onoliko memorijskih ćelija koliko dotična reč sadrži bita. Da bi se omogućio pristup određenoj lokaciji u memorijskom sistemu velikog kapaciteta, svaka lokacija raspolaže svojom adresom. Adrese se većinom utvrđuju na taj način, što se memorijske ćelije obeležavaju pomoću dve koordinatne vrednosti, dok se ređe numerišu prema svom prostornom rasporedu. Memorijska adresa prema tome, sadrži određeni redosled cifara, od kojih se jedan deo odnosi na jednu, a preostali deo cifara na drugu koordinatu odabrane lokacije.

Na sl. 8.22 prikazana je blok šema kompletnog memorijskog sistema. Centralni blok sistema čini memorijska jedinica, koja je izvedena, na primer, kao memorija tipa 3 D prema sl. 8.18. Instrukcije u vezi adresa pojedinih lokacija u memoriji unose se u adresni registar. Ovaj registar je stacionarnog tipa i sadrži onoliko memorijskih elemenata koliko ima binarnih cifara u adresi izabrane lokacije. Za posmatranu memoriju tipa 3 D adrese memorijskih ćelija određene su X i Y vodovima, koji prolaze kroz te ćelije. Stoga će broj cifara u adresi da bude

$$B_A = B_X + B_Y \tag{8.4}$$

gde B_X odnosno B_Y predstavlja broj binarnih cifara, koji se odnosi na odgovarajuće koordinate adresovane lokacije. Posredstvom dekoderskih matrica vrši se odabiranje odgovarajućih X i Y vodova u memorijskoj jedinici. Broj ovih vodova određen je adresnim instrukcijama i, kao što je poznato, on iznosi:

$$n_X = 2^{B_X}$$

odnosno

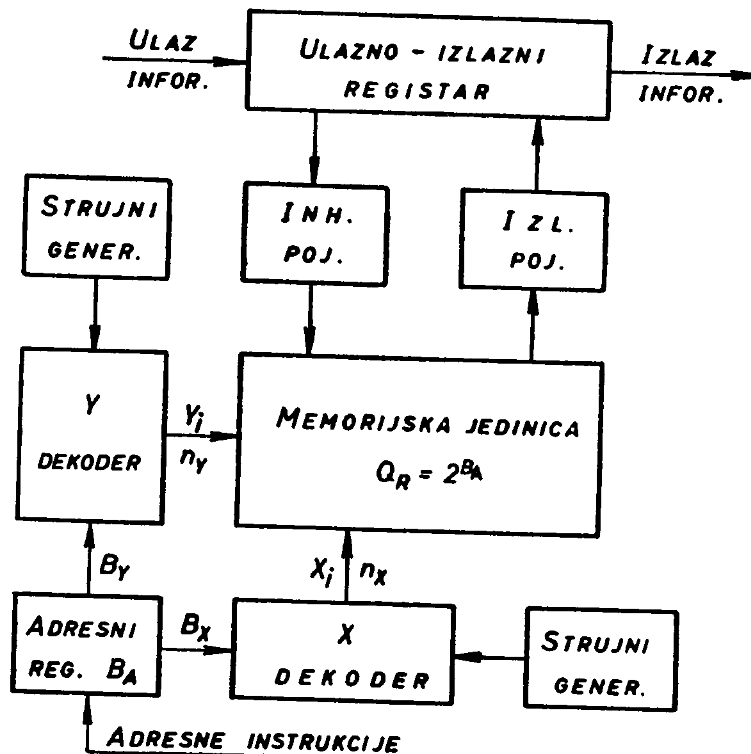
$$n_Y = 2^{B_Y}. \tag{8.5}$$

Prema tome, očigledno je da broj binarnih cifara adrese B_A zavisi od broja memorijskih lokacija, odnosno od kapaciteta reči memorije Q_R, jer je:

$$Q_R = n_X \cdot n_Y = 2^{B_A}. \tag{8.6}$$

Podsetimo, da se bit-ravan memorije 3 D najčešće izvodi u kvadratnom obliku, pa se otuda broj izlaza adresnih dekodera nalazi po formuli

$$n_X = n_Y = \sqrt{Q_R}. \tag{8.7}$$



Sl. 8.22. Blok-šema kompletnog memorijskog sistema

Kao primer, uzmimo da je adresni registar predviđen za desetocifrene adrese. Prema jedn. (8.6) ovakav registar može da opslužuje memoriju kapaciteta $Q_R = 2^{10} = 1024$ reči. Neka je adresa tražene reči data binarnim brojem

$$B_A = 0100111000.$$

Ovaj broj pre svega pokazuje da se naznačeni skup memorijskih ćelija nalazi na lokaciji sa rednim brojem 321. S druge strane, pošto je memorijska ravan kvadratnog oblika, prva polovina cifara u adresi odnosi se na selektovani X vod te je $B_X = 01001$, dok druga polovina cifara $B_Y = 11000$ određuje selekciju Y voda. Prema tome, dekodujući ove vrednosti nalaze se redni brojevi adresnih vodova tražene lokacije, odnosno njena adresa u obliku

$$A_L = X_9 \cdot Y_{24}.$$

Prema jedn. (8.5) broj X i Y vodova za desetocifrenu adresu može da bude

$$X = Y = 2^{B_A/2} = 32.$$

Na sl. 8.22 ucrtani su i strujni generatori iz kojih se napajaju adresni vodovi memorije. Strujni impulsi iz ovih generatora dovode se na bilo koji selektovan par X i Y vodova kako pri upisivanju informacija tako i pri njihovom očitavanju. Osim

toga, na slici je predstavljen i ulazno-izlazni registar, sa odgovarajućim pojačavačima, čija je uloga objašnjena ranije.

U slučaju da je u digitalnom uređaju primenjen prirodni *BCD* kod, adresne insrukcije biće takođe date u istom brojnom sistemu. Za ranije pokazani primer memorije od približno 1000 reči, adresni registar moraće da ima kapacitet od četiri tetrade, s obzirom da se za X i Y vodove kvadratne memorije moraju da predvide dvocifreni brojevi u decimalnom sistemu. Prema tome, adresa lokacije $A_L = X_9\, Y_{24}$, izražena u kodu *BCD* 8421, biće data serijom binarnih cifara:

$$B_A = 0000\ 1001\ 0010\ 0100,$$

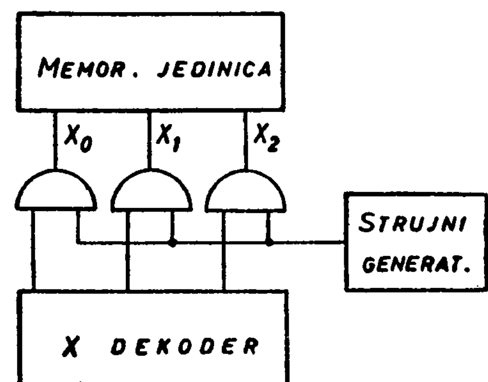
pri čemu se prve dve tetrade odnose na X, a druge dve na Y vod selektovanih memorijskih ćelija. Primetimo da adresa sa četiri tetrade može da pokrije kapacitet memorije od 10000 reči zašto bi inače pri binarnom adresovanju bilo potrebno približno 13 bita.

8.3.5. Pobudni i pojačavački stepeni

Već je na više mesta istaknuto da rad memorija sa ograničenim strujama uslovljava često vrlo male tolerancije struja. Zbog toga se za napajanje X i Y linija u memoriji koriste izvori konstantne struje. U principu ovakve izvore treba postaviti na sve X i Y vodove, tako da njihov broj iznosi

$$2n = n_x + n_y = 2\sqrt{Q_R}. \tag{8.8}$$

Primenom pogodnih selektorskih matrica, na primer pomoću magnetnih jezgara, broj ovih pobudnih stepena može znatno da se smanji [9]. Međutim, pošto se istovremeno koriste samo dva generatora priključena na dva selektovana voda, za eksitaciju X i Y vodova obično se predviđaju samo dva, pa čak i jedan strujni generator. U ovom slučaju se izlaz pobudnog stepena multiplicira pomoću I kola na svaki X i Y vod, kao što je to delimično pokazano na sl. 8.23.



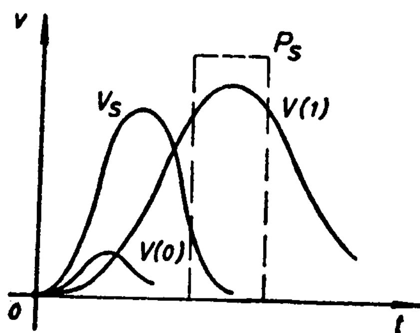
Sl. 8.23. Pobuđivanje adresnih vodova

Amplitude strujnih impulsa u selektovanim vodovima određene su jačinom magnetnog polja potrebnog za premagnetisavanje jezgra. Zbog koincidentnog delovanja struje u X i Y vodovima treba da imaju iste vrednosti. Podsetimo, da vreme uspostavljanja strujnog impulsa utiče na prekidačko vreme jezgra, a time i na indukovan impuls pri očitavanju. Zbog toga vreme uspostavljanja mora bezuslovno da bude kraće od prekidačkog vremena jezgra, što se postiže smanjenjem vremenske konstante kola. Uostalom, velike vremenske konstante uzrokuju i veću energiju gubitaka u kolu, što je, razume se, jedan od merodavnih faktora i za izbor izlaznih tranzistora u strujnom generatoru.

Pri projektovanju kola za očitavanje sadržaja memorije sa jezgrima mora se poći od činjenice, da se u izlaznom — senzorskom vodu indukuje napon, ne samo od jezgra koje se premagnetisava, već i od delimično eksitovanih jezgara. Iako je indukovani napon ovih jezgara relativno mali, broj delimično pobuđenih jezgara može da bude dosta veliki, naime $n_X + n_Y - 2$. Zbog toga zbrajanje pojedinih takvih napona može u izlaznom vodu da rezultuje u impuls koji je znatno veći od impulsa očitavanja.

Istina, pogodnim provlačenjem senzorskog voda kroz jezgra, ovi naponi se dobrim delom poništavaju. Osim toga, dijagonalnim postavljanjem ovog voda prema selekcionim vodovima, smanjuje se sprega između njih, što takođe doprinosi smanjivanju napona smetnji u izlaznom vodu. No, uprkos svemu tome, indukovani napon smetnji često ima tako veliku vrednost, da onemogućava izdvajanje korisnog signala primenom samo metode amplitudske diskriminacije indukovanih napona.

Indukovani naponi usled delimičnog eksitovanja magnetnih jezgara nastaju vremenski pre napona koga indukuje potpuno pobuđeno jezgro. To je posledica činjenice da te napone izaziva reversibilni proces magnećenja jezgra, koji, kao što nam je poznato, nastaje i prestaje pre ireversibilnog procesa. Zahvaljujući tome napon očitavanja može da se detektuje primenom vremenske selekcije. Ilustracija ovog postupka prikazana je na sl. 8.24, koja pokazuje da indukovani napon vrednosti $V(0)$ kao i napon smetnji V_S praktično izčezavaju pre maksimalne vrednosti napona $V(1)$. Prema tome, posredstvom logičkog *I* kola i vremenskog selektorskog impulsa za strobovanje P_S izdvaja se samo željeni deo korisnog signala $V(1)$, dok signali $V(0)$, V_S i nepotrebni delovi napona $V(1)$ izostaju.



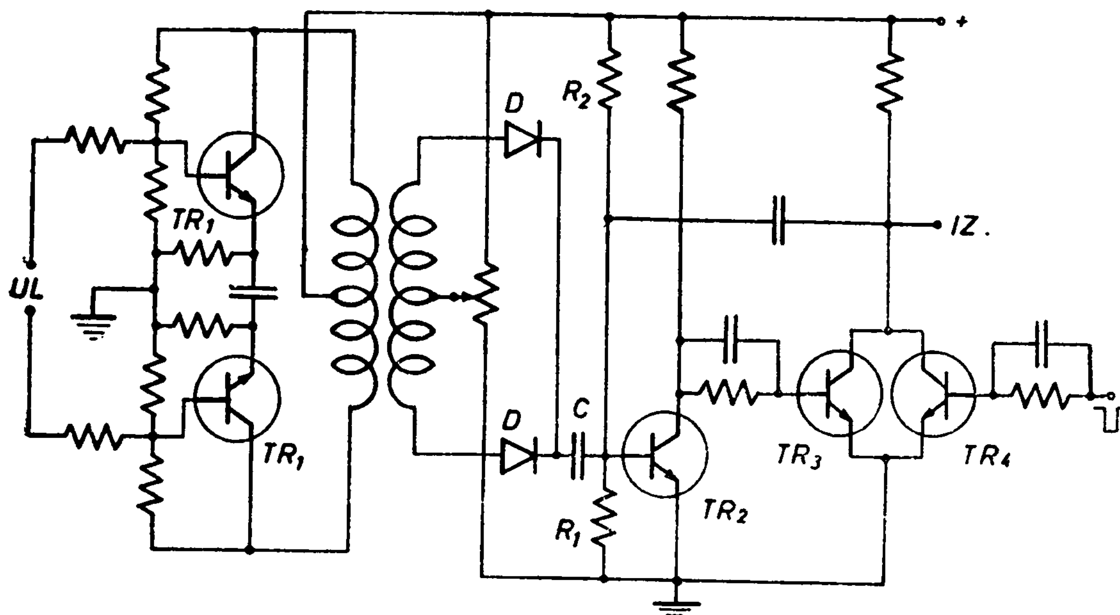
Sl. 8.24. Vremenska selekcija napona očitavanja $V(1)$

Izlazni pojačavači u memorijskim sistemima postavljaju se na svaki senzorski vod. Prema tome, njihov broj je jednak broju bita memorisane reči. Uloga ovih pojačavača je višestruka: da pojačaju indukovane signale, da izvrše usmeravanje signala, da izdvoje korisni signal od smetnji, da regenerišu izdvojeni signal na nominalni logički nivo i da ga konačno predadu izlaznom registru. Koncepcija izrade ovih pojačavača zavisi, pored ostalog, i od kapaciteta memorije. Za male kapacitete obično zadovoljava jednostavan pojačavač sa jednostranim usmeravanjem. Kod memorija srednjeg kapaciteta primenjuju se mostovske sprege za usmeravanje. U vrlo velikim memorijama obično se vrši podela svake memorijske ravni na više delova, koji se pojedinačno priključuju na pojačavač, uz eventualno prethodno pretpojačavanje signala.

Na sl. 8.25 predstavljen je izlazni pojačavač koji se primenjuje u memorijama srednjeg kapaciteta. Na ulaz simetričnog pojačavača sa tranzistorima TR_1 vezuje se izlazni namotaj memorijske ravni. U mirnom stanju pojačavač je izbalansiran tako, da na sekundarnom namotaju nema nikakvog indukovanog napona. Razdelnik napona R_1 — R_2 podešen je tako, da je tranzistor TR_2 zakočen. Tranzistori TR_3 i TR_4 formiraju logičko *NI* kolo. Pošto je tranzistor TR_2 u mirnom stanju blokiran, to zasićeni tranzistor TR_3 vezuje izlaz pojačavača na nivo logičke nule.

Indukovani napon u izlaznom namotaju memorijske ravni eksituje protivfazne tranzistore u simetričnom stepenu tako, da se na sekundarnom namotaju transformatora pojavljuje naizmenični signal. Posredstvom dioda *D* vrši se usmeravanje ovog signala i nastali napon preko kapaciteta *C* dovodi tranzistor TR_2 u provodni režim. Usled toga se blokira tranzistor TR_3, ali je izlaz i dalje na niskom naponskom nivou pošto je tranzistor TR_4 u zasićenju. Tek dovođenjem negativnog impulsa na bazu tranzistora TR_4, izlazni napon dobija vrednost logičke jedinice i kao takav ugisuje se u ulazno-izlazni registar memorije. Razume se da negativni selektorski impuls treba da bude doveden na ulaz tranzistora TR_4 koincidentno sa delom korisnog signala, koji se želi da izdvoji. Zbog toga u programskim instrukcijama memorije u procesu očitavanja mora da bude uključeno i upravljanje selektorskim, odnosno strob-impul-

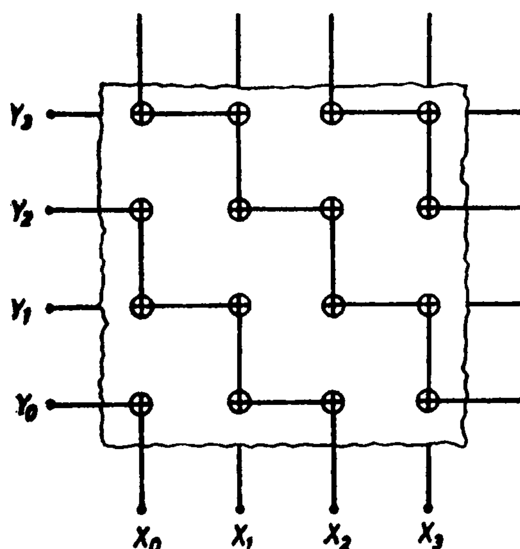
som, koji, kao što je pokazano na sl. 8.25, treba da nastane po izčezavanju napona smetnji.



Sl. 8.25. Izlazni pojačavač

8.3.6. Memorija sa magnetnom pločom

Pojedinačna fabrikacija magnetnih jezgara i njihovo povezivanje u memorijskoj ravni predstavljaju ograničenje u pogledu ekonomičnije izrade ovakvih memorija. Zbog toga se ponekad čitava memorijska ravan izrađuje u jednom postupku na magnetnoj ploči debljine oko 0,5 mm. Ploča je od feritnog materijala i u njoj su izbušeni otvori prečnika oko 0,6 mm na rastojanjima od oko 1,25 mm. Svaki izbušeni otvor u ploči odgovara jednom magnetnom jezgru. Prema tome, provlačenjem odgovarajućih žica kroz te otvore, formira se jedna memorijska ravan, na primer u sistemu 3 *D*. Šta više, umesto naknadnog provlačenja žica kroz otvore, ovde se pri fabrikaciji ploče utiskuju tanke metalne trake direktno u feromagnetni materijal, koji je inače dobar izolator. Pri tome, razume se, trake moraju da prolaze kroz otvore u magnetnoj ploči, što znači da se one utiskuju sa obe strane ploče kako je to pokazano za *X* i *Y* vodove na sl. 8.26. Napomenimo da se jedan isti vod koristi kao inhibicioni i kao senzorski i da je njega nemoguće postaviti tako, da se, bar teorijski, poništavaju svi indukovani naponi smetnji.

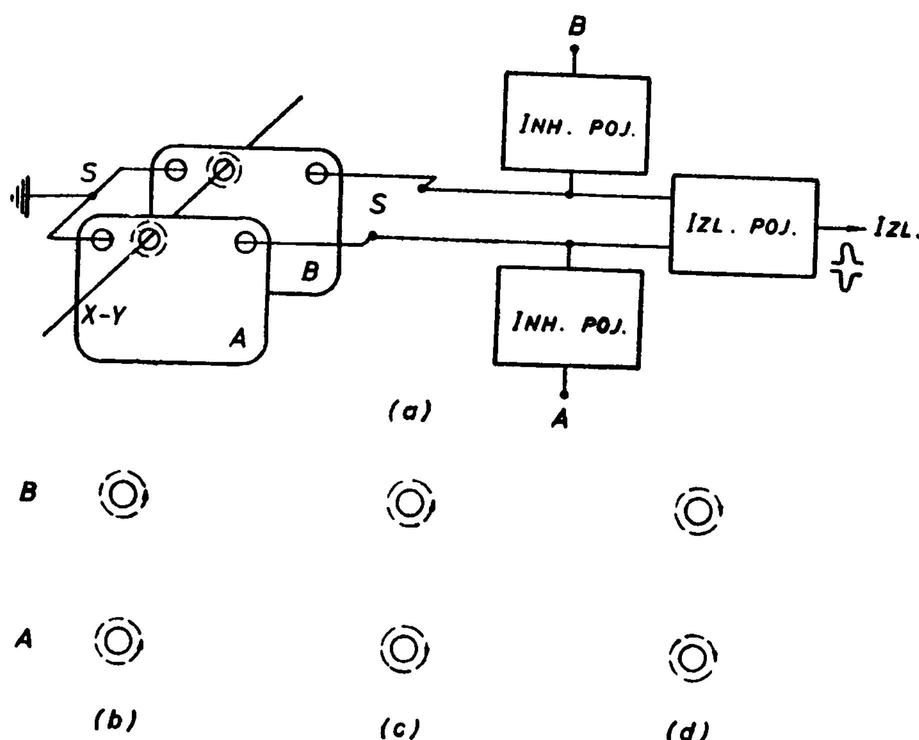


Sl. 8.26. Memorija sa magnetnom pločom

Vrednosti koincidentnih struja u adresnim vodovima kod ove memorije su kritičnije nego kod magnetnih jezgara. To je i razumljivo kad se ima u vidu da se fluks, ostvaren oko jednog otvora, može proizvoljno da proširuje povećanjem eksitacione struje. Prema tome, gornja granična vrednost koincidentnih struja mora da bude strogo kontrolisana, tako da ne dođe do međusobnih uticaja magnetnih fluksova susednih

otvora. Interesantno je napomenuti da povećanje eksitacione struje iznad jedne određene vrednosti, uzrokuje povećanje magnetnog fluksa u ploči, ali vreme prekidanja memorijskog elementa ostaje uglavnom nepromenjeno.

Pošto iz konstruktivnih razloga nije izvodljiva efikasna kompenzacija napona smetnji na izlaznom vodu, to je detekcija korisnog signala skopčana sa znatno većim teškoćama nego što je to bio slučaj kod memorije sa magnetnim jezgrima. Zbog toga se u memoriji koriste po dve ploče za svaku bit-ravan, odnosno dva otvora po bitu, sl. 8.27. Selekcioni vodivi X—Y provučeni su kroz otvore obe ravni tako, da koincidentne struje formiraju fluksove istog smera oko uparenih otvora. Resetovano stanje obe memorijske ćelije, dakle, ima fluks levog smera, sl. 8.27 b. Ovakav fluks stvara čitački strujni impuls. Upisni strujni impulsi formirali bi, prema tome, fluks desnog smera oko oba otvora. Pri očitavanju ovakvog magnetnog stanja ćelija, nastaje poništavanje indukovanih napona, što je poželjno u cilju smanjivanja napona smetnji.



Sl. 8.27. Memorijske ploče sa dva otvora po bitu
(a) principijelna šema veza
(b) stanje fluksa u resetovanim ćelijama
(c) stanje fluksa pri upisanoj logičkoj nuli
(d) stanje fluksa pri upisanoj logičkoj jedinici

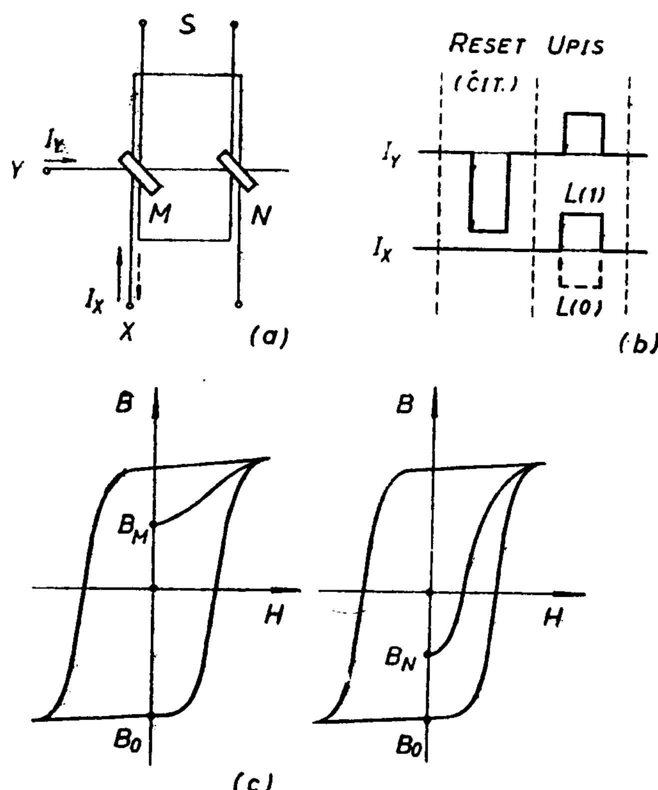
Pri upisivanju logičke nule ili jedinice u ovakvu memoriju potrebno je ostvariti različite fluksove u ravni A i B. Zbog toga se, pored adresnih, moraju da eksituju i inhibicioni vodovi. Za tu svrhu redovno se koristi već postojeći senzorski vod S. Pri upisivanju vrednosti logičke nule, prema sl. 8.27 c, mora se eksitovati i inhibicioni ulaz B, kako bi se sprečila izmena resetovanog stanja selektovane ćelije u ravni B. S druge strane, pri upisivanju logičke jedinice, sl. 8.27 d, treba eksitovati i inhibicioni ulaz A, da bi se sprečilo resetovanje selektovanog otvora u ravni A. Pri očitavanju ovako formiranih magnetnih stanja memorijskih ćelija, nastaće na izlazu pojačavača pozitivan ili negativan impuls, zavisno od toga da li je memorisani sadržaj odgovarao vrednosti logičke jedinice ili nule.

Memorija sa bušenim magnetnim pločama otklanja neke konstruktivne probleme uobičajenih memorija sa jezgrima. S druge strane međutim ovde nastaju nove teškoće kao što su: izrada ploča sa uniformnim karakteristikama za celu ploču, kao i za veći broj ploča, stroga ograničenost pobudnih struja, izlazni signali oba polariteta i u svakom slučaju leže eliminisanje napona smetnji.

8.3.7. Memorije sa po dva jezgra po bitu

U dosadašnjem izlaganju o magnetnim jezgrima dve logičke vrednosti L (1) i L (0) prikazane su pomoću dva stanja remanentnog magnetizma. U vezi s tim pomenute logičke vrednosti su se manifestovale indukovanjem naponskog impulsa odgovarajuće amplitude u senzorskom vodu. Primetimo, da su indukovani naponi jednog jezgra istog polariteta u oba logička stanja, te se stoga ovakav način rada magnetnog jezgra naziva unipolarni.

Pored unipolarnog može da se ostvari i bipolarno prikazivanje logičkih vrednosti. Na takav primer smo već naišli u slučaju korišćenja dve magnetne ploče za jednu memorijsku ravan. Slično tome, princip bipolarnog prikazivanja logičkih vrednosti primenjen je i u memorijama sa po dva jezgra po bitu. Ovakve memorije pokazuju izvesna preimućstva u pogledu napona smetnji, diskriminacije logičkih vrednosti, kao i brzine rada u poređenju sa uobičajenim sistemima u kojima se koristi jedno jezgro po bitu memorisane informacije.



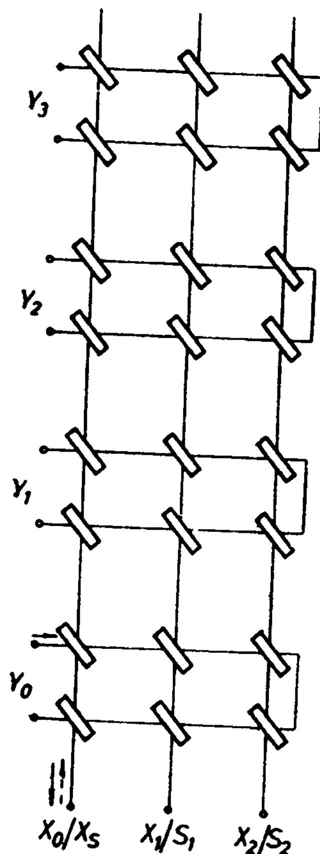
Sl. 8.28. Memorijska ćelija sa dva magnetna jezgra
(a) šema veza
(b) dijagram struja
(c) dijagrami B — H

Princip rada memorijske ćelije sa dva magnetna jezgra prikazan je pomoću sl. 8.28. Kroz dva jezgra M i N provučeni su pobudni vodovi X i Y, kao i senzorski vod S. Propuštajući kroz Y vod negativni strujni impuls velike amplitude, vrši se resetovanje jezgara tako, da uspostavljeno magnetno stanje odgovara tačkama B_0 na sl. 8.28 c. Magnetizovanje jezgara vrši se pozitivnim strujnim impulsima ograničenog trajanja. Zahvaljujući tome, strujni impulsi mogu da proizvedu magnetno polje, koje je daleko veće od vrednosti koercitivnog polja, a da jezgro i pored toga ne bude

premagnetisano u gornje remanentno stanje. Umesto toga, magnetno jezgro će biti parcijalno namagnetisano na sličan način kao kad se vrši delimično magnetizovanje jezgra strujnim impulsima ograničene amplitude (sl. 7.17). Za razliku od ovoga, proces parcijalnog setovanja jezgra impulsima ograničenog trajanja je brži, pošto strujni impulsi mogu da imaju znatno veće vrednosti.

Setovanje jezgara u memorijskoj ćeliji na sl. 8.28 izvodi se koincidentnim delovanjem pozitivnih strujnih impulsa u X i Y vodu. Naime, veličina struje u Y vodu bira se tako, da ona sama izaziva parcijalnu magnetizaciju jezgra, okarakterisanu vrednošću indukcije u blizini središne tačke histerezisne krive. Dodajući ovome uticaj struje u X vodu, magnetna indukcija imaće višu ili nižu vrednost od one, koja bi odgovarala samo struji I_Y, što će, naravno, da zavisi od smera struje u X vodu. Prema tome, za naznačene smerove struja u kolu na sl. 8.28 a, magnetne indukcije u jezgrima M i N imaće vrednosti B_M, odnosno B_N, tj. $B_M > B_N$. Očigledno je da se jednostavnom promenom smera struje I_X, menja i vrednost indukcije u jezgrima tako da bi u tom slučaju bilo $B_M < B_N$. To znači da se logičko stanje memorijske ćelije može da definiše prema tome, da li je B_M veće ili manje od B_N. Tako, na primer, može da se usvoji da stanje jezgara izraženo vrednostima indukcije $B_M > B_N$ odgovara logičkoj jedinici, a obrnuto, $B_M < B_N$ da odgovara logičkoj nuli.

Očitavanje memorijske ćelije izvodi se postupkom resetovanja magnetnih jezgara. U tom cilju dovodi se na Y vod negativni strujni impuls velike amplitude, koji će izazvati promene indukcije u parcijalno setovanim jezgrima sa postojećih vrednosti B_M, odnosno B_N na vrednost B_0. Usled toga se na senzorskom vodu indukuje napon, čija je amplituda proporcionalna razlici indukcija B_M i B_N. Diskriminacija logičkih stanja memorisanog podatka manifestovaće se suprotnim polaritetima indukovanog napona, što će zavisiti od toga, da li je $B_M \gtrless B_N$. Na taj način, dakle, ostvareno je bipolarno detektovanje logičkih vrednosti memorisane informacije.



Sl. 8.29. Memorija sa po dva jezgra po bitu informacije

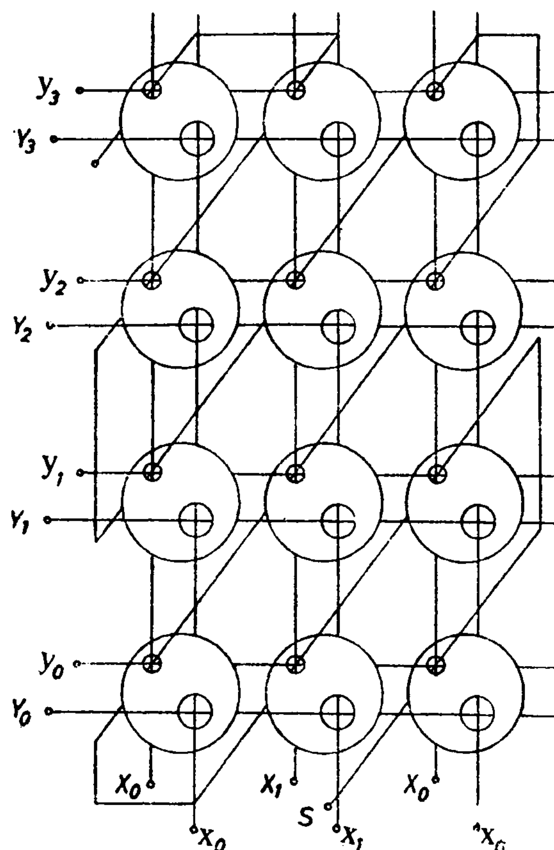
Na sl. 8.29 pokazana je organizacija memorijske ravni u kojoj su upotrebljena dva jezgra po bitu. Memorija odgovara sistemu 2 D, pri čemu se Y vodovi koriste kao linije reči, a X vodovi kao linije bita i istovremeno kao izlazni senzorski vodovi. Upisivanje informacije vrši se koincidetnim delovanjem struja ograničenog trajanja u linijama bita i reči, pri čemu se smer struja za bite određuje logičkim vrednostima informacije. Očitavanje se obavlja samo posredstvom struje u liniji reči, a vrednost očitane informacije diskriminiše se polaritetom indukovanog napona na senzorskim vodovima. Ovakva memorija, izvedena sa jezgrima prečnika oko 0,5 mm, može da ima ciklusno vreme ispod 300 ns pod uslovom da su primenjeni i optimalni uslovi rada pratećih upravljačko-pogonskih blokova.

8.3.8. Memorije sa transfluksorima

Pored magnetnih jezgara sa jednim otvorom ponekad se za izgradnju memorijskih sistema upotrebljavaju i jezgra sa više otvora. Ova jezgra su u principu većih dimenzija, te stoga nisu pogodna za izgradnju memorija

većeg kapaciteta i većih brzina. S druge strane, indukovani naponi u senzorskom vodu takvih jezgara su bar za red veličine veći od napona koji se dobijaju sa običnim jezgrima. Zbog toga zahtevi u pogledu parametara pojačavačkih stepena u ovom slučaju mogu da budu nešto blaži. Međutim, osnovno preimućstvo jezgara za više otvora u izgradnji memorija ogleda se u tome, što su ovakve memorijske ćelije nedestruktivnog karaktera. Zahvaljujući tome, uprošćava se upravljačka elektronika u memorijskom sistemu, kod koga se, inače, pri korišćenju običnih jezgara, mora da predvidi ciklusna operacija „čitanje i ponovno upisivanje".

Kao primer primene magnetnih jezgara sa više otvora za izgradnju nedestruktivne memorije, pokazana je na sl. 8.30, organizacija jedne memorijske ravni. Upisni vodovi X i Y postavljeni su kroz velike otvore jezgara, dok čitački vodovi x i y prolaze kroz male otvore. Pored toga, kroz male otvore postavlja se i izlazni vod S memorijske ravni. S obzirom da je minimalni prečnik malog otvora jezgra ograničen mogućnošću provlačenja tri žice, to su i ostale dimenzije transfluksora uglavnom diktirane tom veličinom. Otuda spoljašnji prečnik transfluksora obično ne može da bude manji od 10 mm.



Sl. 8.30. Memorijska ravan sa transfluksorima

Prikazana memorija radi sa koincidentnim strujama u adresnim vodovima. Naime, upisivanje informacije vrši se istovremenim propuštanjem strujnih impulsa određene amplitude i polariteta kroz selektovane vodove X i Y. Pri očitavanju memorisane informacije, međutim, propuštaju se kroz odgovarajuće selektovane vodove x i y jedan za drugim dva strujna impulsa različitih polariteta. Prvi impuls služi za detektovanje memorisane informacije, a drugi za ponovno uspostavljanje prvobitnog magnetnog stanja u jezgru, kako je to već pokazano na sl. 7.34. Ako selektovano jezgro sadrži informaciju koja odgovara logičkoj nuli, može se smatrati da na izlaznom vodu nema indukovanog napona pri delovanju čitačkih impulsa. Međutim, ako je u jezgru bila memorisana vrednost logičke jedinice, u senzorskom vodu se indukuje po jedan impuls kako pri detekciji tako i pri restauraciji magnetnog stanja selektovanom jezgru. Za razliku od običnih jezgara, indukovani napon u ovom slučaju dostiže vrednost od nekoliko volti. Treba dodati, međutim, da je i napon logičke nule povećan u poređenju sa običnim jezgrima i obično je veći od 100 mV. Što se tiče brzine rada, ciklusno vreme ovih memorija približno odgovara vremenu običnih memorija sa koincidentnim strujama, ali uz napomenu da su pobudne struje transfluksora uopšte uzevši veće od odgovarajućih struja običnih jezgara.

8.3.9. Brzina rada memorije

Mogućnosti široke primene jednog memorijskog sistema prvenstveno zavisi od njegove brzine i kapaciteta. Najveće memorije sa feritnim jezgrima imaju kapacitet

od nekoliko megabita sa ciklusnim vremenom od više mikrosekunada. U izradi memorija sa magnetnim jezgrima, poboljšanje navedenih parametara ostvareno je uglavnom smanjivanjem dimenzija jezgra, povećanjem pobudnih struja, kao i smanjenjem kašnjenja u pratećim kolima upravljačke elektronike. Kako preovladava mišljenje, da ovakva tehnika izrade memorija ne može dati još neka znatnija poboljšanja, to se poslednjih godina uveliko radi na iznalaženju pogodnije tehnike i tehnologije za realizaciju memorijskih sistema. Međutim, pre nego što pređemo na upoznavanje nekih takvih sistema, osvrnimo se ukratko na parametre koji ograničavaju brzinu rada memorijskog sistema.

Brzina rada memorije, kao što smo već videli, izražava se trajanjem ciklusnog vremena T_C. Ovo vreme predstavlja recipročnu vrednost maksimalno moguće brzine ponavljanja operacije memorisanja, polazeći od iznalaženja adrese, pa do čitanja i ponovnog upisivanja informacije. U memoriji sa N reči od po m bita, organizovane u sistemu 3 D, brzina rada je praktično nezavisna od dužine reči, pošto je u svakom slučaju $N \gg m$. Otuda se u razmatranju može uzeti da memorija sadrži N jednobitnih reči.

Ciklusno vreme memorije čini zbir vremena potrebnih za izvršavanje svih pojedinačnih operacija, naime

$$T_C = t_a + t_t + t_g + t_b + 2\, t_p, \tag{8.9}$$

gde su: t_a — adresno vreme

t_t — transmisiono vreme

t_g — vreme pojačavanja

t_b — vreme blokiranja

t_p — vreme prekidanja.

Adresno vreme t_a definiše se kao vreme potrebno za dekodovanje adrese. Ovo vreme je u većini slučajeva vrlo kratko tako da se najčešće može i da zanemari.

Transmisiono vreme t_t je u stvari kašnjenje koje nastaje u vodovima memorijske ravni. Ovo kašnjenje zavisi od broja memorijskih elemenata kao i rastojanja između njih.

Vreme pojačavanja t_g odnosi se na kašnjenje koje nastaje u izlaznom pojačavaču. Naime, indukovani napon na senzorskom vodu je nedovoljan da eksituje ulazno-izlazni registar ili da obezbedi dovoljnu pobudu za inhibicioni vod. Zbog toga je, kao što smo već videli, potrebno izvršiti pojačanje izlaznog signala. Veličina pojačanja može da se odredi, na primer, iz uslova da pojačani napon bude veći od napona smetnji, koje nastaju zbog parcijalnog magnetizovanja jezgara. Kako je ovaj napon proporcionalan broju jezgara, to se u krajnjoj liniji dobija da se potrebno pojačanje, a sa time i vreme t_g, povećavaju sa kapacitetom memorije. Pojačavačko vreme t_g, razume se, zavisi prvenstveno od tipa upotrebljenih aktivnih elemenata u pojačavačkom bloku.

Vreme blokiranja t_b odnosi se na blokiranje izlaznih pojačavača usled preopterećenja njihovih ulaza. Ovo preopterećenje nastaje zbog neizbežnog delovanja inhibicionog na senzorski vod memorijske ravni. Naime, zbog postojeće sprege između ovih vodova, na senzorskom vodu se pojavljuje napon i u toku upisivanja informacije. Ovaj napon može da bude vrlo veliki i pored svih mera koje se preduzimaju u cilju njegove eliminacije. Stoga se posredstvom ograničavačkih elemenata zaštićuju ulazi pojačavača od preopterećenja, kako bi se sprečilo duže blokiranje pojačavača.

Prekidačko vreme t_p vezano je za proces premagnetisavanja magnetnog elementa. Brzina promene magnetne indukcije izražava se relacijom

$$\frac{dB}{dt}=f(B)\ (H-H_C), \qquad (8.10)$$

gde je $f(B)$ nelinearna funkcija trenutnih vrednosti magnetne indukcije B, koja u stvari predstavlja dinamičku karakteristiku magnetnog materijala. Funkcija $f(B)$ može da se približno nađe pomoću modela, koji ilustruje pomeranje granica domena, mada se radije određuje eksperimentalno za dati feritni materijal [8].

Prekidačko vreme t_p se definiše kao vremenski period u toku koga funkcija (8.10) ima vrednost veću od 10% svoje maksimalne vrednosti. Očigledno je da vreme t_p zavisi od spoljašnjeg magnetnog polja, pa se obično ta zavisnost daje izrazom

$$t_p=\frac{S_w}{H-H_C}, \qquad (8.11)$$

gde je sa S_w obeležena vremenska konstanta prekidanja. Kod memorija, koje rade sa koincidentnim strujama, magnetno polje H može biti najviše dva puta veće od koercitivnog polja. Obično se uzima da je $H = 1{,}5\ H_C$. Podsetimo, da kod memorija, organizovanih po rečima, polje H može da bude mnogo veće od H_C tako da se prekidačko vreme izražava kao $t_p=S_w/H$. Prekidačka vremenska konstanta većine feritnih jezgara ima vrednost od 0,5—0,8 Oe-μs, a koercitivno polje H_C varira od 0,5—3 Oe. Prema tome, prekidačko vreme t_p ima vrednost oko 0,5 μs pri radu sa koincidentnim strujama, a negde oko 100 ns pri pobudnoj struji neograničene amplitude. Primetimo da ciklusno vreme sadrži i dva prekidačka vremena, uslovljena operacijama čitanja i ponovnog upisivanja.

8.4. TANKOSLOJNE MAGNETNE MEMORIJE

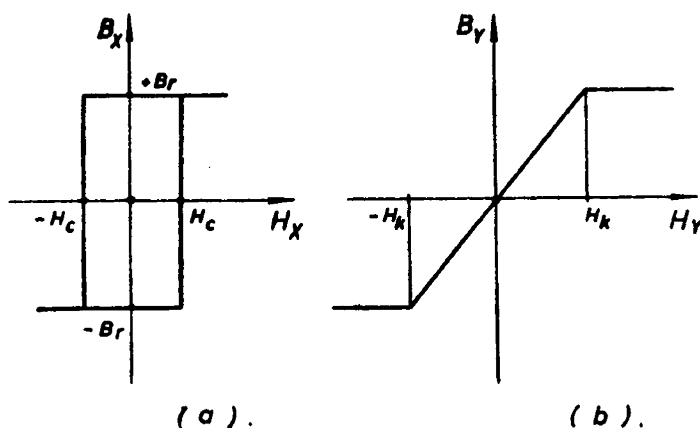
Pri izboru memorijskog sistema moraju se uzeti u razmatranje raznovrsni zahtevi kako tehničkog tako i ekonomskog karaktera. Tehnički zahtevi savremenih memorija uglavnom se svode na povećanje kapaciteta i brzine rada memorije, kao i na pogodnost njenog uklapanja u sistem sa integrisanim kolima. U dosadašnjem razvoju memorijskih sistema magnetna jezgra su igrala prioritetnu ulogu. U cilju povećanja brzine rada jezgara, njihov prečnik je stalno smanjivan. Zahvaljujući tome umesto nekadašnjih jezgara sa prečnikom većim od 2 mm i vremenom prekidanja većim od 1 μs, danas se proizvode magnetna jezgra prečnika ispod 0,5 mm, čije je prekidačko vreme manje od 100 ns. Dalja nastojanja u ovom pravcu izgleda da ne mogu dovesti do nekih znatnijih poboljšanja u brzini rada memorije. Imajući, pored toga, u vidu i nepogodnost ovakvih memorija za masovnu i ekonomičnu proizvodnju, sasvim je razumljivo što se u poslednje vreme poklanja sve veća pažnja i drugim mogućnostima realizacije brzih memorija velikog kapaciteta. U tom pogledu izgleda da su memorije sa magnetnim filmovima, odnosno magnetne tankoslojne memorije, ozbiljna konkurencija dosadašnjim memorijama sa magnetnim jezgrima.

Magnetni filmovi su, kao što je rečeno, tankoslojne površine debljine ispod 1 μm. Magnetni materijal je permaloj, odnosno legura nikla i gvožđa u nekom povoljnom odnosu. Ovakav magnetni materijal nanosi se na ravnu ili obličastu podlogu, što znači da se magnetni filmovi izrađuju u planarnom i cilindričnom obliku.

8.4.1. Planarne magnetne površine

Postoji više načina za izradu planarnih magnetnih površina. Najčešće se primenjuje postupak naparavanja neke precizno obrađene i polirane ravne površine koja služi kao podloga. Za ovu svrhu većinom se koristi staklo, a ponekad i metalna ploča, na koju je prethodno nanet izolacioni sloj. Metalni nosač magnetnog filma je pogodniji jer može da bude tanji, što se povoljno odražava na veličinu pobudne snage. Zbog indukovanih vihornih struja u metalnom nosaču, međutim, prednost se ipak daje staklenim nosačima.

Naparavanje se vrši u visokom vakuumu na taj način, što se istopljeni permaloj tako zagreje, da prelazi u stanje pare, koja se taloži na podlogu. Pod uticajem statičkog magnetnog polja, koje deluje paralelno naparavanoj ravni, magnetni dipoli atoma nataloženog sloja orijentišu se u pravcu polja. Ovakva orijentacija dipola zadržava se i posle hlađenja naparenog sloja. Pri ponovnom magnetizovanju nataloženog sloja, ispoljava se težnja da se magnetni vektori postave u ovom favorizovanom pravcu, koji se zbog toga naziva osa lake magnetizacije. Da bi ostvarena anizotropija magnetnog sloja bila što pravilnija, para magnetnog materijala treba da pada što je moguće više upravno na podlogu. Osim toga, treba izbeći magnetostrikciona naprezanja magnetnog materijala, što se postiže povoljnim izborom legure od oko 80% Ni i 20% Fe.



Sl. 8.31. Idealne histerezisne krive tankoslojnih magnetnih površina
(a) u pravcu ose lake magnetizacije
(b) u pravcu ose teške magnetizacije

Planarni magnetni filmovi u memorijama koriste se u vidu malih diskretnih površina, koje predstavljaju pojedinačne memorijske ćelije. Ovakve ćelije se dobijaju postupkom ecovanja ravnomerno nataloženog magnetnog filma ili se, pak, naparavanje podloge vrši kroz maske, tako da je oblik i rspored memorijskih ćelija već unapred određen. Ovakve magnetne ćelije imaju vrlo veliki odnos dužine prema debljini, te se stoga mogu da eksituju i pri otvorenom magnetnom kolu.

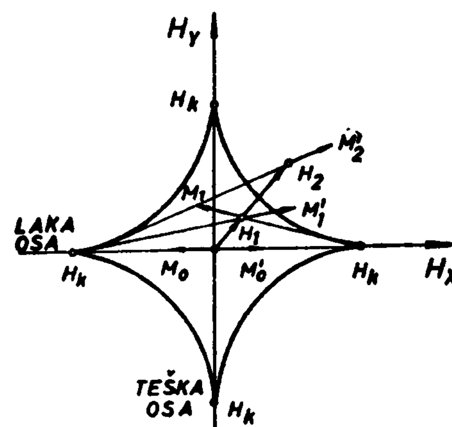
Pored ose lake magnetizacije, tankoslojne površine imaju i osu teške magnetizacije, koja stoji upravno na prethodnu. Histerezisne krive magnetnog materijala u ova dva pravca su potpuno različite, sl. 8.31. Histerezisna kriva u pravcu lakog magnećenja, sl. 8.31 a, odgovara karakteristici feritnih jezgara. Kvadratičnost ove krive naglo opada sa porastom učestanosti. Izmena remanentnih stanja pod uticajem spoljaš-

njeg magnetnog polja nastaje u ovom slučaju kao posledica pomeranja zidova magnetnih domena. Ovaj proces je, zavisno od privedenog magnetnog polja, prilično spor.

Kriva magnetizovanja u pravcu teške ose, sl. 8.31 b, linearno raste sve dok ne dostigne vrednost kritičnog magnetnog polja H_K. Izmenu magnetnog stanja u ovom slučaju ne prati proces formiranja domena, već pri odgovarajućoj jačini magnetnog polja H_Y, nastaje rotacija magnetnih vektora. Proces rotacije pri velikim poljima je vrlo brz, tako da se pri ovom postupku ostvaruju prekidačka vremena reda nanosekunde. Granična kriva pobudnog magnetnog polja za magnetizovanje tankoslojnih površina procesom rotacije magnetnih vektora prikazana je na sl. 8.32. Ova kriva predstavlja astroidu datu izrazom

$$H_x^{2/3}+H_y^{2/3}=H_k^{2/3}. \tag{8.12}$$

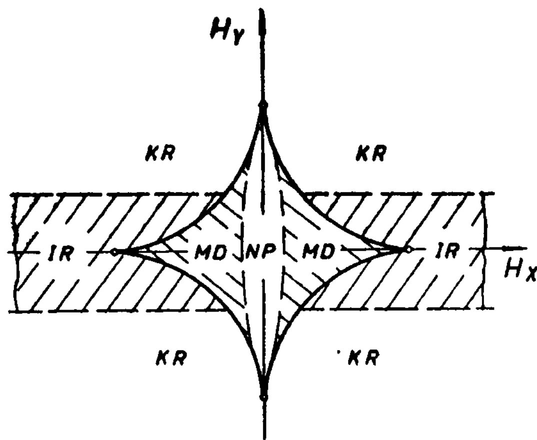
Pomoću date krive mogu da se odrede veličine i pravci vektora magnetizacije M pri delovanju magnetnog polja proizvoljne jačine i pravca. Ako nema spoljašnjeg polja, vektor M se poklapa sa osom lake magnetizacije bilo kao M_0 ili M_0'. Ako se spoljašnje magnetno polje po pravcu i veličini predstavi vektorom H_1, vektori magnetizacije biće M_1 ili M_1'. Njihove pravce određuje tangenta kroz vrh vektora H_1 na graničnu krivu, dok im dužina odgovara vektorima M_0 odnosno M_0'. Koji će od dva moguća pravca da ima vektor M_1 zavisi od toga u kom se pravcu nalazio vektor magnetizacije pre delovanja spoljašnjeg magnetnog polja. Drugim rečima, vektoru M_0 odgovaraće vektor M_1, dok će vektor M_0' usloviti nastajanje vektora M_1'. Primetimo da će vektor M_1 sve više da odstupa od pravca vektora M_0 ukoliko je polje H veće. Kad pobudno magnetno polje dostigne vrednost H_2, koja pada izvan oblasti astroide, postoji mogućnost magnetizacije samo jednog pravca i to suprotnog od onog koji je postojao pre pobude. Zbog toga će sada pri ukidanju spoljašnjeg magnetnog polja umesto vektora magnetizacije M_0 da se formira M_0'. To znači da se delovanjem magnetnog polja, čija je vrednost veća od kritičnog polja H_K, postiže izmena smera magnetizacije, koja će i dalje ostati u pravcu ose lake magnetizacije. Da bi se izvela ponovna orijentacija vektora M u smeru M_0, magnetno polje H mora da se usmeri u oblast drugog kvadranta sistema H_X — H_Y.



Sl. 8.32. Granična kriva magnetizacije tankoslojne magnetne površine

Polje H čine u stvari dva magnetna polja: jedno koje deluje u pravcu ose lake magnetizacije H_X i drugo u pravcu ose teške magnetizacije H_Y. U zavisnosti od veličine ovih komponenata mogu da nastanu različiti procesi pri izmeni magnetnog stanja tankoslojnih magnetnih površina, što se različito odražava i na brzinu prekidačkog rada. Na sl. 8.33 ilustrovana su područja vrednosti magnetnog polja koje uslovljavaju različite procese magnetizacije. Pri malom spoljašnjem polju magnetizacija može da odstupi od pravca lake ose, ali se po prestanku pobude ponovo vraća u prvobitni položaj. U ovoj oblasti, koja je na sl. 8.33 obeležena sa *NP*, ne dolazi, znači, do procesa premagnetisavanja. Pri povećanju magnetnog polja u opsegu vrednosti od koercitivnog do kritičnog polja, nastaje izmena magnetnog stanja kao posledica pomeranja zidova magnetnih domena. Na slici je ova oblast označena sa *MD*. Ovakav prekidački mehanizam, kao što znamo, zastupljen je kod magnetnih jez-

gara. Sam proces je relativno spor, te vreme premagnetisavanja obično iznosi nekoliko stotina nanosekunada.



Sl. 8.33. Zastupljenost različitih procesa premagnetisavanja
NP — oblast u kojoj ne nastaje premagnetisavanje
MD — oblast magnetnih domena
KR — oblast koherentne rotacije
IR — oblast inkoherentne rotacije

Pri povećanju magnetnog polja izvan granične krive, ostvaruju se uslovi za proces rotacije magnetnih vektora. Ako pri tome postoji jaka komponenta polja u smeru ose teške magnetizacije, a slaba u smeru lake ose, onda u tankoslojnoj magnetnoj površini nastaje koherentna rotacija *KR*, sl. 8.33. Ovaj proces je vrlo brz, te se vreme premagnetisavanja skraćuje na svega nekoliko nanosekunada. Međutim, ako je komponenta magnetnog polja u pravcu lake ose vrlo jaka, nastaće inkoherentna rotacija magnetnog vektora — *IR*. Ovde se upravo radi o premagnetisavanju, koje se obavlja procesom pomeranja granice domena i rotacijom istovremeno. Ovakav rad je nepoželjan, ne samo što uzrokuje povećanje vremena prekidanja, već što može da dovede u pitanje i jednoznačnost magnetnog stanja memorijskog medijuma [9].

8.4.2. Memorije sa planarnim površinama

Za pobuđivanje tankoslojne magnetne ćelije potrebna su dva voda *X* i *Y*, ukrštena pod uglom od 90°. Vod *X* se postavlja u pravcu ose lake magnetizacije i on stvara polje H_X. Struja u ovom vodu odabrana je tako da bude $H_X < H_C$, što znači da ona sama ne može da izazove proces premagnetisavanja. Vod *Y* se postavlja u pravcu ose teške magnetizacije i on proizvodi komponentu magnetnog polja H_Y. Struja u ovom vodu treba da bude dovoljno velika da bi rezultujuće magnetno polje bilo veće od kritične vrednosti uspostavljanja procesa rotacije.

Logička stanja tankoslojne magnetne ćelije mogu da se označe prema smeru vektora magnetizacije. Tako, na primer, može se uzeti da negativni smer vektora magnetizacije M_0 na sl. 8.32, označava stanje logičke nule, dok pozitivni — M_0' pokazuje stanje logičke jedinice. Smer magnetizacije zavisi od rezultujućeg magnetnog polja

$$H_R = H_X + H_Y. \qquad (8.13)$$

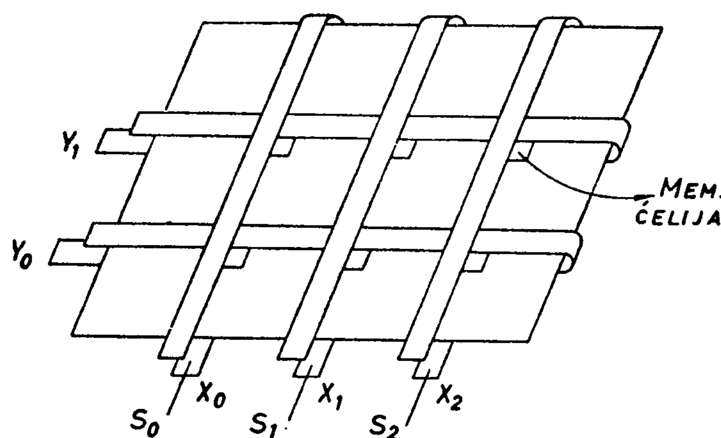
Otuda je najbolje, da struja I_Y, koja stvara polje H_Y, bude stalna, a da se sa promenom smera struje I_X, koja stvara polje H_X, ostvaruje promena rezultujućeg vektora magnetnog polja. Ovo je, pre svega, pogodno iz razloga, što je $I_X \ll I_Y$, pa je time olakšano izvođenje pobudnog stepena.

Očitavanje memorisane vrednosti vrši se pomoću magnetnog polja u pravcu ose teške magnetizacije H_Y. Ovo polje izaziva zaokretanje vektora magnetizacije, koji predstavlja logičke vrednosti $M(0)$ ili $M(1)$. Pri tome nastaje promena magnetne indukcije usled čega se u vodu *X* indukuje odgovarajući naponski impuls. S obzirom da je memorisani podatak određen smerom vektora magnetizacije *M*, to se u vodu *X* mogu da pojave impulsi oba polariteta.

Izgradnja memorijske ravni sa diskretnim magnetnim filmovima pokazana je na sl. 8.34. Magnetni filmovi, odnosno memorijske ćelije, veličine oko 0,3 × 0,6 mm,

debljine 50 — 100 nm, pravilno su raspoređene u procesu naparavanja na staklenoj podlozi. Tako obrazovane memorijske ćelije spregnute su sa X i Y vodovima u mestima njihovog ukrštanja. Ovi vodovi su izvedeni u obliku tankih trakastih i međusobno odvojenih provodnika, čija širina potpuno prekriva memorijske ćelije. Pored toga u trake vodova X utisnuta je i posebna tanka žica, koja će biti korišćena kao izlazni — senzorski vod S.

Memorijska ravan je organizovana po rečima, tj. kao sistem 2 D. Vodovi Y koriste se kao linije reči, a vodovi X kao linije bita. Koincidentnim propuštanjem struja kroz selektovani vod reči, kao i kroz sve vodove bita, formira se magnetno polje veće od kritične vrednosti, te se posredstvom rotacije magnetnih vektora u memorijskim ćelijama uspostavljaju odgovarajuća logička stanja. Pri očitavanju memorisanog sadržaja, propušta se struja istog smera kao pri upisivanju samo kroz selektovani vod reči, usled čega se u izlaznim vodovima S indukuju pozitivni ili negativni naponi, zavisno od stanja magnetizacije u eksitovanim memorijskim ćelijama.



Sl. 8.34. Memorijska ravan sa planarnim magnetnim površinama

Napomenimo da se umesto diskretnih magnetnih površina za memorijsku ravan može da upotrebi ploča, kod koje je magnetni film nanesen po celoj površini. U ovom slučaju rastojanje X i Y vodova mora da bude nešto veće, kako bi se izbegao uticaj magnetnog polja na susedne memorijske ćelije.

Zbog kratkog vremena premagnetisavanja memorijskih ćelija sa magnetnim filmovima, brzina rada memorije i ne zavisi više od tog prekidačkog vremena. Ciklusno vreme ovih memorija iznosi oko 100 ns, iako je vreme prekidanja reda jedne nanosekunde. Veliki udeo u ovom vremenu potiče od preopterećivanja izlaznog pojačavača za vreme upisivanja informacije, jer su senzorski i bit-vodovi međusobno paralelni. Osim toga na ciklusno vreme utiče i brzina uspostavljanja signala u vodovima, kao i postojeća kašnjenja u svim pratećim logičkim kolima memorije.

Planarna magnetna memorija dozvoljava veće tolerancije pobudnih struja (10 — 15%) nego što je to slučaj kod memorija sa magnetnim jezgrima (2 — 3%). To je pre svega posledica različitog mehanizma izmene magnetnih stanja, a osim toga magnetni filmovi su manje osetljivi na temperaturske promene od feritnih jezgara. Iako su pobudne struje približno iste kao i u klasičnim magnetnim memorijama, ukupna potrošnja struje memorijskih sistema sa magnetnim filmovima je manja. To je delimično posledica i veće tolerancije pobudnih struja, što omogućava jednostavnija rešenja pobudnih stepena.

Interesantno je na kraju ukazati i na neke zaključke u pogledu ekonomičnosti izrade memorija. Memorije sa magnetnim filmovima su sigurno ekonomičnije od

memorija sa jezgrima pod uslovom da se radi o velikim kapacitetima i naročtio o velikom broju bita u rečima. U vezi s tim napomenimo da ekonomičnost memorije zavisi i od primenjenog sistema organizacije. Uopšte uzevši, sistem $2\,{}^1/_2\,D$ je najpovoljnije rešenje za kratke binarne reči, dok je, na primer, sistem $3\,D$ skoro podjednako pogodan kako za kraće tako i za duže reči (14).

8.4.3. Cilindrične magnetne površine

Tankoslojne cilindrične magnetne površine ili filmovi po strukturi i izradi su iste kao i planarne, s tom razlikom što se, umesto ravne, koristi cilindirčna podloga za film. Kao nosač filma upotrebljava se žica od berilijumbakra, debljine 0,01 — 0,15 mm. Na ovu žicu se postupkom naparavanja nanosi sloj permaloja (80% Ni i 20% Fe) debljine oko 0,5 μm u prisustvu stalnog magnetnog polja. Ovo polje proizvodi struja, koja teče kroz provodnu žicu nosača magnetnog sloja. Kao posledica delovanja koncentričnog magnetnog polja nastaje magnetna anizotropija u nataloženom magnetnom filmu, koja se ispoljava postojanjem ose lake magnetizacije. U ovom slučaju tu osu predstavljaju koncentrični krugovi, upravni na aksijalnu osu provodne žice. Prema tome, osa teške magnetizacije poklapa se sa aksijalnom osom magnetne žice, kako se inače naziva memorijski element sa cilindričnom magnetnom površinom.

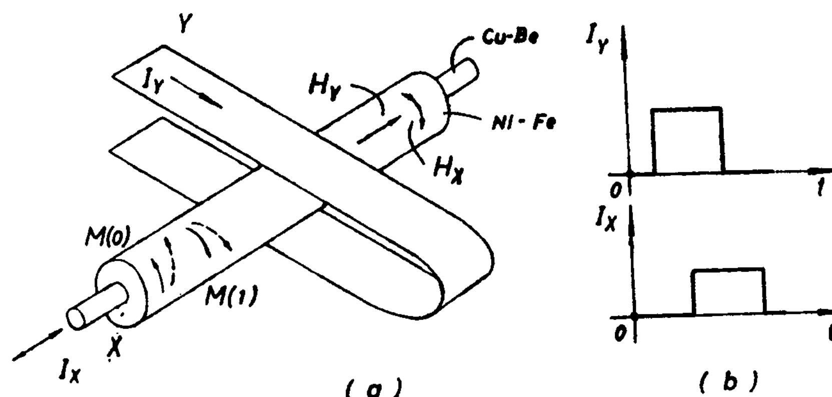
Na sl. 8.35 ucrtan je memorijski element sa cilindričnim magnetnim filmom. Magnetizacija memorijske ćelije obavlja se preko vodova X i Y, koji stoje upravno jedan na drugom. Vod X je u stvari provodnik na kome je nataložen magnetni materijal. Za Y vod koristi se provodnik u obliku tanke trake širine oko 0,8 mm. Ovaj vod simetrično obuhvata magnetnu žicu na rastojanju od oko 50 μm. Napajanje vodova slično je kao i kod planarnih magnetnih ćelija. U zavisnosti od veličine struja u njima mogu da se ostvare različite vrednosti pobudnog magnetnog polja, a sa ovim i različiti procesi promene magnetnog stanja u magnetnom filmu. Ako rezultujuće magnetno polje, jedn. (8.13), ima vrednost koja pada izvan kritične krive, sl. 8.32, proces premagnetisavanja je vrlo brz ukoliko su ostvareni uslovi za koherentnu rotaciju magnetnih vektora, sl. 8.33. Zbog toga se i u ovom slučaju zahteva velika komponenta polja H_Y, koje deluje u pravcu ose teške magnetizacije. S druge strane, magnetno polje u pravcu ose lake magnetizacije H_X je relativno malo i služi za promenu smera vektora magnetizacije M. Zavisno od smera struje I_X, ovaj vektor će da ima levi ili desni smer, te mu se mogu pripisati različite logičke vrednosti M (0), odnosno M (1).

Upisivanje informacije u magnetnu žicu vrši se koincidentnim propuštanjem struje kroz X i Y vod. Pod uticajem rezultantnog magnetnog polja u magnetnom filmu na mestu ukrštanja ovih vodova nastaje rotacija vektora magnetizacije prema dejstvu polja. Ako struja I_X ima pozitivan smer, tj. utiče u provodnik, onda će smer vektora magnetizacije odgovarati vrednosti M (1), koja je na sl. 8.35 pokazana isprekidanom strelicom. Po isključivanju pobudnih struja u vodovima X i Y, ovaj vektor će zauzeti pravac ose lake magnetizacije, što je pokazano punom strelicom sa oznakom M (1).

Očitavanje memorisanog podatka vrši se propuštanjem struje samo kroz vod Y i to istog smera kao i pri upisivanju. Prema tome, polje H_Y uzrokovaće izvesno zaokretanje vektora M (1) iz pravca lake, prema pravcu teške magnetizacije. Ovo zaokretanje zavisi od veličine pobudnog strujnog impulsa I_Y, od dimenzija trakastog Y voda i od karakteristika magnetnog sloja. Pri okretanju vektora magnetizacije u vodu X se indukuje naponski impuls, čija je veličina proporcionalna promeni fluksa u pravcu ose lake magnetizacije. Polaritet indukovanog impulsa zavisi od smera vektora M, odnosno od logičke vrednosti, koja se ovom vektoru pripisuje. Prema to-

me, stanja magnetizacije $M(1)$ i $M(0)$ identifikuju se pri očitavanju indukovanim naponskim impulsima suprotnih polariteta.

Da bi napon očitavanja u senzorskom vodu X bio dovoljno veliki, potrebno je često izvesti potpuno okretanje magnetizacionog vektora iz pravca lake u pravac teške magnetizacije. U vezi s tim pobudno magnetno polje treba da ima vrednost koja je veća od kritične vrednosti polja H_k. Kada se ovakvo pobudno polje isključi, normalna je pojava da se u magnetnom sloju obrazuju domeni suprotne orijentacije, usled



Sl. 8.35. Cilindrične magnetne površine
(a) memorijski element
(b) pobudne struje

čega se memorisana informacija uništava. Međutim, očitana informacija se može ponovo da upiše u magnetnu žicu na taj način, što se, po isključenju struje u Y vodu, vrši eksitacija X voda. Za ovo je potreban strujni impuls relativno male amplitude, čiji smer, razume se, zavisi od logičke vrednosti dotične informacije.

Iako se nedestruktivno očitavanje principijelno može da izvede i kod memorijske ćelije sa planarnim magnetnim filmom, takav način očitavanja ima praktičnog značaja samo kod cilindričnih magnetnih filmova. Naime, pri ovakvom očitavanju struja I_Y se ograničava tako da proizvedeno polje u pravcu ose teške magnetizacije ne bude veće od granične vrednosti reversibilnog obrtanja magnetizacionog vektora. Pošto cilindrični magnetni filmovi imaju zatvorena kola magnetnog fluksa u pravcu ose lake magnetizacije, to se ne postavlja problem razmagnetisavanja, pa debljina magnetnog sloja može da bude za red veličine veća nego kod planarnih površina. Zahvaljujući tome, pri očitavanju informacije memorisane u cilindirčnom magnetnom filmu debljine 0,4 — 1 μm, indukuje se u senzorskom vodu X dovoljno veliki napon (oko 10 mV) čak i kada vektor magnetizacije nije potpuno doveden u pravac ose teške magnetizacije. Drugim rečima to znači da su indukovani naponi na senzorskom vodu dovoljno veliki i pri ograničenoj pobudi, koja je uslovljena reversibilnim procesom zaokretanja vektora magnetizacije. U ovakvim uslovima rada, trajanje indukovanog impulsa u izlaznom vodu odgovara, otprilike, vremenu uspostavljanja struje očitavanja u Y vodu.

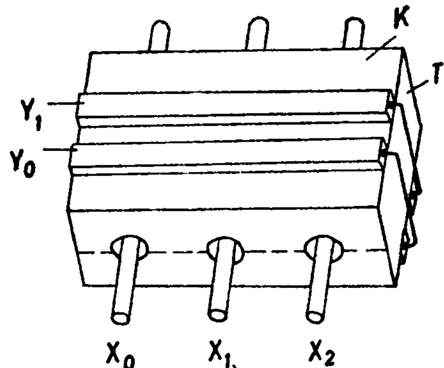
8.4.4. Memorije sa cilindričnim površinama

Memorijski element, pokazan na sl. 8.35, pogodan je za organizaciju memorije u sistemu 2 D. U tom slučaju se Y vodovi koriste kao linije reči u memorijskoj ravni, dok X vodovi imaju ulogu linija bita pri upisivanju informacije, odnosno ulogu

senzorskih linija pri očitavanju. Prema tome, kapacitet reči takve memorijske ravni određuje broj Y vodova, a broj bita u rečima određuje broj magnetnih žica, odnosno X vodova.

Pri realizaciji memorije važan parametar, pored ostalog, je i gustina memorijskih ćelija. Ova gustina je pre svega ograničena uticajem pobudne struje u linijama reči na susedne memorijske ćelije. U vezi s tim, obično se ne dozvoljava veća gustina memorijskih ćelija od 6 — 8 po dužnom santimetru magnetne žice. Osim toga, ako se ima u vidu da su memorijske površine magnetostriktivne, mora se obezbediti držanje magnetnih žica u određenom položaju bez naprezanja.

Postoji više rešenja memorijske ravni sa magnetnim žicama. Jedno takvo rešenje pokazano je na sl. 8.36. Ova planarna konstrukcija memorijske ravni sastoji se od dve folije, koje sadrže topljivi sloj teflona T i netopljivi sloj kaptona K. Na ovaj netopljivi sloj nanesene su trake bakarnog sloja, koje se koriste za linije reči. Teflonski slojevi dveju ovakvih folija spajaju se međusobno pod pritiskom na povišenoj temperaturi, s tim što su između njih prethodno postavljene gole žice na mestima predviđenim za X vodove. Na kraju ove žice se odstranjuju, a u tako napravljene otvore uvlače se memorijske magnetne žice. Ovakav način ugrađivanja magnetnih žica omogućava jednostavnu zamenu eventualno oštećene žice. Na kraju celokupan memorijski blok može još da bude zaštićen i od uticaja spoljašnjih magnetnih polja.



Sl. 8.36. Planarna konstrukcija memorije sa magnetnim žicama

Memorije ovakvog tipa mogu da imaju gustinu pakovanja od 2 bita/mm², neosetljive su na udare i vibracije, a povišenje temperature do + 100°C praktično ne utiče na njene osobine. Pored toga pobudne struje su relativno male: oko 300 mA za linije reči i ispod 50 mA za linije bita. Ovako male struje omogućavaju primenu integrisanih kola skoro u celokupnoj upravljačkoj elektronici. Kapacitet izgrađenih memorija iznosi 10^5 — 10^6 bita, sa ciklusnim vremenom od 500 ns. Ispitivane su takođe memorije ovog kapaciteta sa vremenom pristupa od svega 50 — 60 ns i ciklusnim vremenom od 100 — 200 ns. Isto tako, izgrađena je memorijska matrica kapaciteta 10^7 — 10^8 bita, ali sa vremenom pristupa reda jedne mikrosekunde.

Posebna preimućstva memorija sa magnetnim žicama ogledaju se pri nedestruktivnom radu. U tom slučaju se obično uzima ista jačina struje u linijama reči pri čitanju i upisivanju. Ovakav način rada omogućava izvođenje memorije u organizaciji $2\,^1/_2\,D$, što je, kao što znamo, ekonomičnije rešenje od sistema $2\,D$.

Na kraju navedimo ukratko dobre strane memorije sa magnetnim žicama:

1. Ekonomična proizvodnja jer se magnetne žice kao i memorijski blokovi izrađuju u kontinualnom procesu koji je skoro sasvim lišen ručnih radova.

2. Kratko prekidačko vreme — ispod 40 ns (kod planarnih filmova je manje od 5 ns).

3. Magnetni fluks zatvoren.

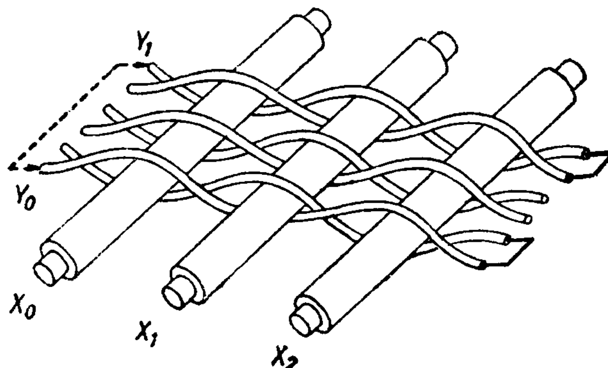
4. Mogućnost nedestruktivnog očitavanja.

5. Napon očitavanja bipolaran i za red veličine veći nego kod planarnih ćelija.

6. Poboljšan odnos signal/šum u poređenju sa planarnim magnetnim memorijama, što je posledica veće debljine memorijskog sloja.

7. Mogućnost izrade upravljačke elektronike u integrisanoj tehnologiji.

Na sl. 8.37 pokazana je konstrukcija memorijske ravni sa upletenim linijama reči. I u ovom slučaju provodnici magnetnih žica X koriste se kao bit-linije pri upisu, odnosno kao senzorske linije pri čitanju. Za razliku od prethodnih, Y vodovi, koji se inače koriste kao linije reči, nisu više planarni već su upleteni oko magnetnih žica. Na taj način ostvaren je praktično potpuni zavojak oko magnetne žice, tako da struja u linijama reči može da bude manja. Šta više, veći broj pojedinačnih Y vodova može da se redno veže u jednu liniju reči, čime se u stvari povećava i broj zavojaka po jednoj memorijskoj ćeliji. Očigledno je da se time još više smanjuje pobudna struja u liniji reči. Pored toga, pomoću posebnih pletenica moguće je izvesti kompenzaciju napona smetnji, zatim smanjiti reluktansu za magnetni fluks koji stvara pobudna struja u linijama reči. Najzad, posebne pletenice mogu da posluže i za obezbeđenje potrebnog rastojanja između linija reči. S obzirom da su pobudne struje u linijama reči pletenih memorijskih ravni relativno male, očigledno je da se pobudni i pojačavački stepeni, kao i sva upravljačka kola za ovu memoriju, mogu da izvedu u integrisanoj tehnologiji. Imajući to u vidu proizvodnja ovih memorija može da bude prilično ekonomična tim pre ako se koristi automatizovani proces izrade pletenica.



Sl. 8.37. Pletena konstrukcija memorije sa magnetnim žicama

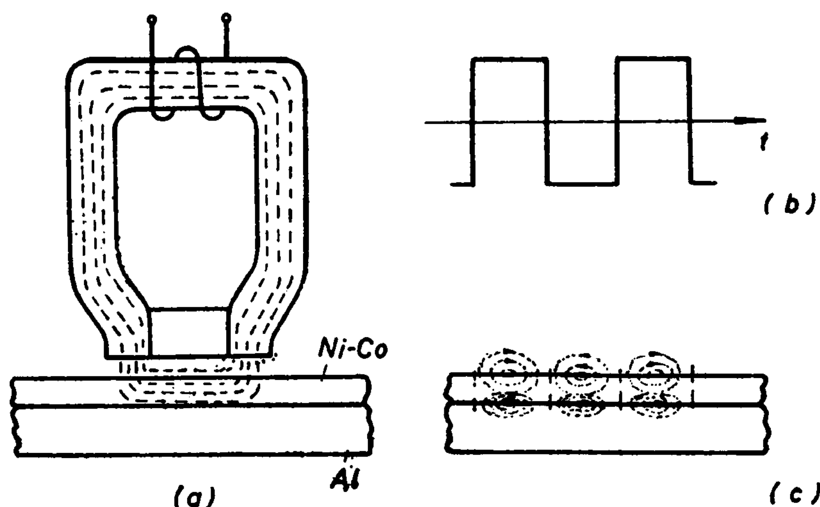
8.5. DEBELOSLOJNE MAGNETNE MEMORIJE

Memorije sa magnetnim jezgrima i tankim magnetnim površinama odlikuju se velikom brzinom rada, što je od prvenstvene važnosti za njihovu primenu u sklopu sa ostalim brzim kolima u digitalnom uređaju. No, pored brzih memorija, o kojima je bilo reči u prethodnom poglavljima, postoji potreba za memorijama, kod kojih je kapacitet, a ne i brzina, od prvorazrednog značaja. Ove memorije najčešće i nisu u stalnoj vezi sa digitalnim uređajem, pa stoga njihova brzina rada i nije od posebnog značaja. Drugim rečima, to su, znači, izolovane memorijske naprave, koje treba da poseduju sledeće karakteristike: veliki kapacitet, postojanost, dugotrajnost i ekonomičnost. Pogodan memorijski medijum za takve naprave su debeloslojne magnetne površine, nanete na neki pogodan nosač od nemagnetnog materijala. Magnetni materijal, od koga se izrađuju pomenute površine, čine obično legure nikla i kobalta, a materijal osnove je aluminijum ili veštački materijali, na primer, poliester.

8.5.1. Princip rada memorije

Upisivanje i očitavanje informacija kod debeloslojnih magnetnih memorija vrši se pomoću magnetnih glava. Pri tome, magnetna glava redovno ima fiksiran položaj, dok se memorijska površina stalno kreće kako bi se nove memorijske ćelije postavljale ispred proreza glave. Na sl. 8.38 pokazana je magnetna glava i presek jednog dela pokretne memorijske površine. Jezgro magnetne glave je od materijala

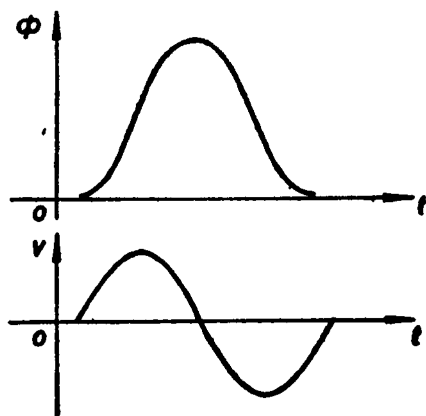
visokog permeabiliteta. Da bi gustina memorisanja bila što veća, magnetna glava treba da stvara što veće polje sa magnetnim linijama koje upravno prodiru u memorijsku površinu. Zbog toga polovi glave ne smeju biti u zasićenju. Pored toga, u prorez glave se postavlja jako provodan materijal, kao što je bakar ili mesing, čime se, zbog nastajanja snažnih vihornih struja, još više potiskuje magnetno polje izvan glave. Očigledno je da će se postići veća gustina memorisanja pomoću glave sa manjim prorezom i manjim odstojanjem od memorijske površine. Zbog toga pomenuto odstojanje često ne prelazi vrednost od 10 — 20 μm. Razumljivo je da ovako mala rastojanja uslovljavaju konstrukciju lebdećih glava aerodinamičkog oblika, kao i veoma finu obradu memorijske površine.



Sl. 8.38. Debeloslojne magnetne površine
(a) memorijska površina i magnetna glava
(b) struja upisivanja informacije
(c) remanentni magnetni dipoli u memorijskoj površini

Upisivanje informacije vrši se propuštanjem strujnih impulsa kroz namotaj glave, sl. 8.38 b. Polaritet ovih impulsa određen je logičkom vrednošću informacije. Povećanjem amplitude impulsa stvara se veće magnetno polje, ali pri tome, kao što je već rečeno ne sme doći do zasićenja jezgra. Nastalo magnetno polje u memorijskoj površini, formira magnetne dipole sa smerom indukcije koji odgovara polaritetu upisnih impulsa, sl. 8.38 c. Ovi remenanentni magnetni dipoli, znači, memorišu informaciju izraženu datim strujnim impulsima.

Očitavanje memorisanih vrednosti vrši se jednostavnim kretanjem memorijske površine ispred magnetne glave. Pri tome dolazi do zatvaranja kola fluksa remanentnih magnetnih dipola kroz magnetno jezgro umesto kroz vazduh, čija je magnetna otpornost veća od one u jezgru. Zbog postupnog približavanja i udaljavanja remanentnih magnetnih dipola od proreza glave, u jezgru glave se stvara fluks zvonastog oblika sl. 8.39. U vezi s tim u namotaju glave indukuje se napon oba polariteta, te se pri logičkom vrednovanju biti još potrebno da se izvrši izdvajanje impulsa ispravnog polariteta.



Sl. 8.39. Dijagrami magnetnog fluksa Φ i indukovanog napona v

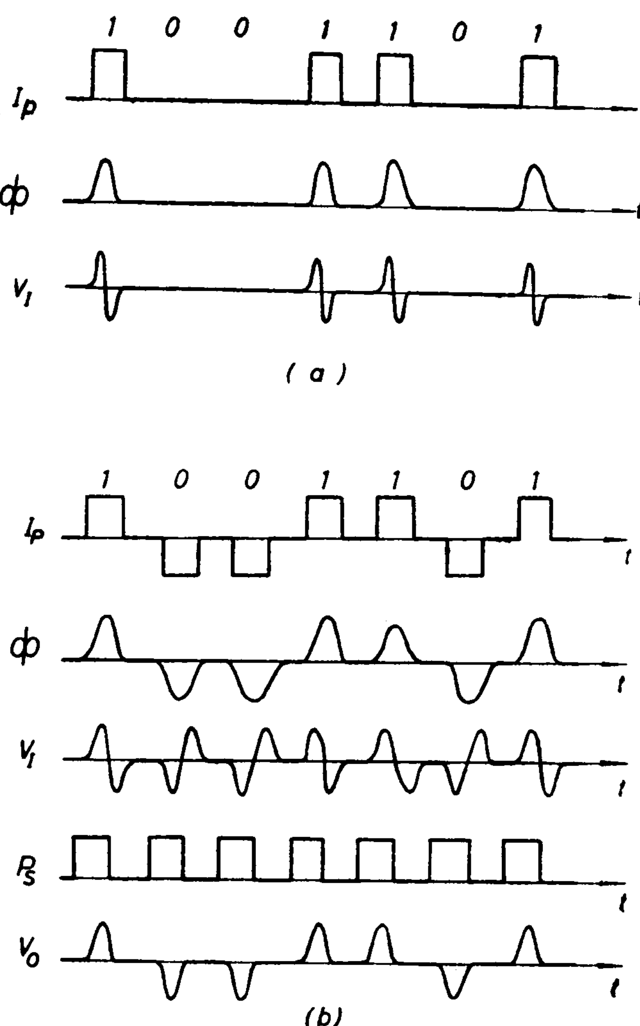
8.5.2. Upisivanje informacija

Postoji više mogućnosti upisivanja informacija u debeloslojne magnetne površine, ali se sve te mogućnosti mogu da svedu uglavnom na dva načina. Po prvom načinu se koriste posebni strujni impulsi za svaki bit memorisane informacije,

dok se po drugom, međutim, više susednih bita iste logičke vrednosti slivaju u jedan impuls. To znači da se u prvom slučaju vrednost upisne struje posle svakog impulsa vraća na nulu, pa se ovakvo memorisanje označava sa *RZ* (return-to-zero). Ovaj princip memorisanja primenjen je pri upisivanju informacija strujnim impulsima jednog ili oba polariteta. U drugom slučaju, međutim, upisna struja se ne vraća na nulu već se zadržava samo na nivoima, koji su određeni logičkim vrednostima memorisanih bita. Ovakav način memorisanja označava se sa *NRZ* (non-return-to-zero) i primenjen je pri upisivanju informacija trajnom kao i talasnom strujom.

Upisivanje informacija jednostranim impulsima okarakterisano je time, da postojanje impulsa u kalemu magnetne glave označava logičku jedinicu, a nepostojanje — logičku nulu. Primer takvog načina upisivanja informacije prikazan je na sl. 8.40 a. Na istoj slici, pored strujnih impulsa za upisivanje I_p, pokazani su i dijagrami magnetnog fluksa ϕ i indukovanog napona v_I pri očitavanju upisane informacije. Vrednovanje konačnog signala očitavanja može da se izvede jednostavnim odsecanjem negativnog dela indukovanih impulsa v_I.

Ovaj sistem upisivanja informacija zahteva prethodno brisanje memorijske površine. Za brisanje se koristi struja visoke učestanosti, ili jednosmerna struja, ukoliko je vrednost logičke nule vezana za stanje zasićenja magnetnog sloja. Zbog potrebe brisanja memorijskog medijuma ovaj sistem se praktično više ne koristi.



Sl. 8.40. Impulsno upisivanje podataka
(a) sa jednostranim impulsima
(b) sa dvostranim impulsima

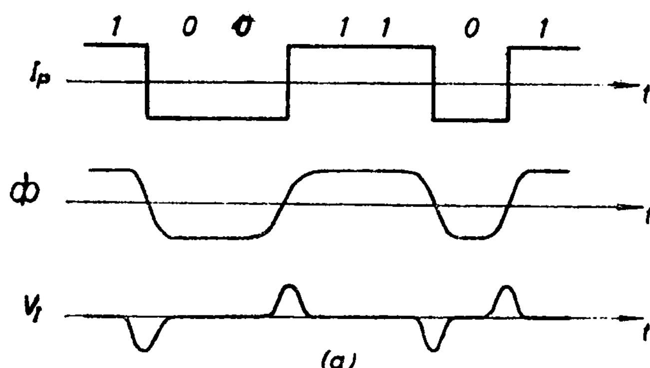
Kod svih ostalih načina upisivanja nije potrebno prethodno brisanje memorisanog sadržaja. To je omogućeno time, što se upisivanjem nove informacije vrši prebrisavanje stare, ukoliko im vrednosti nisu iste. U vezi s tim treba naglasiti da upisivanje mora da bude strogo sinhronizovano jer se inače može desiti, da, pored upisane nove informacije, ostane neizbrisana ranija vrednost.

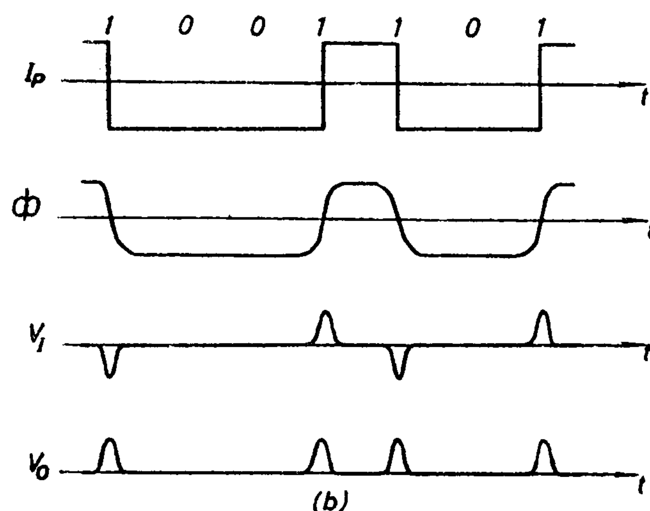
Na sl. 8.40 b pokazano je upisivanje informacije dvostranim strujnim impulsima. U ovom slučaju logička jedinica se predstavlja impulsom jednog, a logička nula — impulsom drugog polariteta. Svaki impuls je dovoljne jačine da dovodi odgovarajuću memorijsku ćeliju u zasićenje.

Pri očitavanju memorisane informacije svaki strujni impuls daje po dva naponska impulsa v_I. Izdvajanje logičkih vrednosti napona očitavanja v_0 vrši se tastovanjem

pomoću strob-impulsa P_S. Primetimo da ovi impulsi moraju da budu fazno pomereni za iznos t_d u odnosu na taktovane impulse za upisivanje.

Upisivanje informacija trajnom strujom okarakterisano je time, što se smer upisne struje menja samo pri promeni vrednosti bita u informaciji. Na sl. 8.41 a pokazani su odgovarajući vremenski dijagrami koji karakterišu ovaj način upisivanja. Vrednovanje indukovanog napona moglo bi da se izvede na posredan način. Naime, pozitivni i negativni impulsi v_I mogu da se upotrebe za setovanje i resetovanje nekog flipflopa. Izlazni napon flipflopa može da se sada iskoristi za strobovanje takt-impulsa, koji će odgovarati logičkim vrednostima upisane informacije.



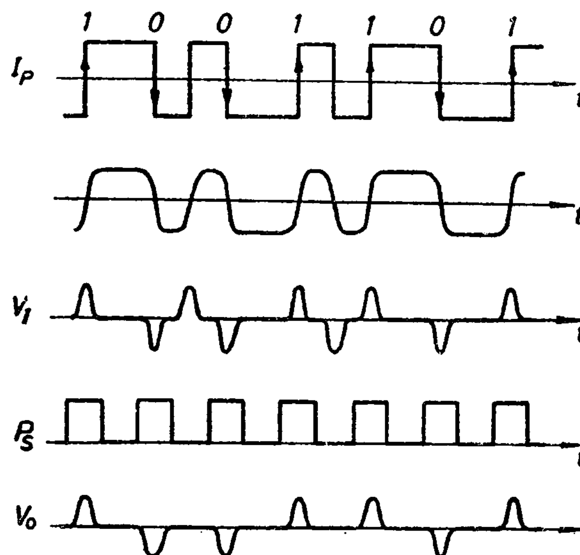


Sl. 8.41. Upisivanje podataka trajnom strujom
(a) promena struje pri promeni vrednosti bita
(b) promena struje pri svakoj logičkoj jedinici

Modifikovani način upisivanja informacija trajnom strujom pokazan je na sl. 8.41 b. U ovom slučaju smer upisne struje se menja pri upisivanju logičkih jedinica, dok pri upisivanju nula — ostaje nepromenjen. U vezi s tim, pri očitavanju memorisane informacije indukovaće se impulsi v_I samo za upisane logičke jedinice. Prema tome, vrednovanje očitane informacije v_0 postiže se jednostavnim ispravljanjem impulsa v_I.

Upoređujući vremenske dijagrame na sl. 8.40 i 8.41, uviđa se da nastaje manji broj promena karakterističnih veličina pri upisivanju informacija trajnom strujom nego pomoću impulsa. Zbog toga gustina memorisanja trajnom strujom može da bude dva puta veća, jer u toku jednog takt-intervala nastaje samo jedna promena struje, dok kod impulsne metode postoje dve.

Pored navedenih metoda memorisanja, dosta se upotrebljava i talasno upisivanje. U ovom slučaju svaka logička jedinica u informaciji upisuje se impulsom jednog polariteta — recimo pozitivnog, dok se nule upisuju impulsima drugog — negativnog polariteta. Na sl. 8.42 prikazani su karakteristični dijagrami, koji ilustruju ovaj način memorisanja. Indukovani impulsi v_I pojavljuju se pri svakoj promeni vrednosti upisne struje. Tastovanjem ovog napona pomoću impulsa P_S dobijaju se očitane vrednosti memorisanog sadržaja v_O. Primetimo da u ovom slučaju svaki tastovani impuls v_O, ima jednoznačnu logičku vrednost.



Sl. 8.42. Talasasto upisivanje informacija

Metoda talasastog upisivanja informacija, za razliku od ostalih, ima srednju vrednost upisne struje jednaku nuli. To dozvoljava slobodniji izbor namotaja magnetne glave, što pruža velike prednosti upogledu prilagođenja na ulazno — izlazni stepen. Napomenimo još, da je metod trajne struje pogodan samo za serijsko memorisanje, dok se talasasto upisivanje primenjuje podjednako dobro kako za serijsko tako i za paralelno memorisanje informacija.

Upoređujući prikazane metode memorisanja mogu da se izvedu sledeći zaključci:

Metoda trajnih struja omogućava najveću gustinu memorisanja. Iako je tehnička realizacija te metode nešto komplikovanija, ipak se ona najviše primenjuje.

Metoda jednostrukih impulsa zahteva prethodno pripremanje, odnosno brisanje magnetne površine. Međutim, zahvaljujući tome, ovde su eliminisane smetnje usled eventualno preostalog memorisanog sadržaja.

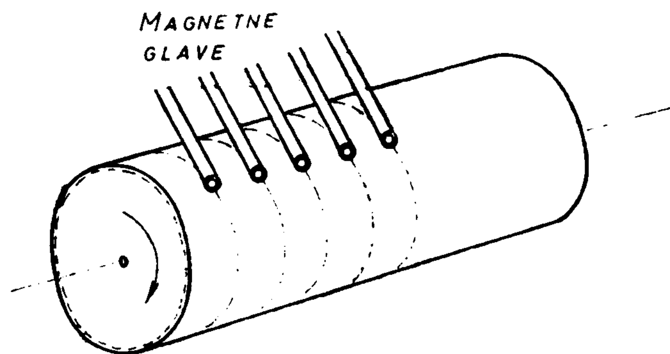
Metoda talasnog upisivanja, koja se još naziva i metoda fazne modulacije, ima srednju vrednost struje jednaku nuli. Primenjujući relativno jednostavan postupak integriranja izlaznog indukovanog signala v_I dobija se reprodukovani ulazni signal, sa ne tako velikim izobličenjima. Podešavajući prag okidanja pratećih kola na nivo prolaska ovog signala kroz nulu, eliminišu se smetnje zbog izgubljenih impulsa. Naime, obično se prag okidanja pomenutih kola u drugim sistemima podešava na nivo, koji je za oko 20% ispod maksimalnih vrednosti indukovanog napona v_I. U slučaju da neki indukovani impuls bude ispod ovog nivoa, što može da nastane zbog trenutnog povećanja rastojanja između magnetne glave i memorijske površine, on se faktički ne može da iskoristi, pa se stoga kaže da je izgubljen. Kako ovaj tip smetnji može često da ugrožava pouzdanost reprodukcije memorisanog sadržaja, to je preimućstvo talasnog upisivanja u ovom pogledu očigledno.

8.5.3. Tehničko izvođenje memorija

Memorije sa magnetnim površinama izrađuju se u obliku doboša, diska i trake. *Magnetni doboš* sastoji se od cilindričnog aluminijumskog nosača, čija je spoljna površina prevučena magnetnim materijalom, sl. 8.43. Po celoj dužini doboša raspoređeno je više memorijskih kanala, a svaki kanal raspolaže sa više lokacija za prijem

reči određene dužine. Prema tome, adresni registar memorije treba da sadrži podatak o broju kanala kao i broju lokacije u kanalu. Obično se jedan ili dva krajnja kanala na dobošu rezervišu za adresne podatke kao i za sinhronizaciju sa taktnim generatorom.

Upisivanje i očitavanje podataka vrši se sa istim magnetnim glavama, koje su fiksirane na rastojanju od oko 25 — 50 μm od površine doboša. Najčešće je za svaki kanal predviđena posebna magnetna glava. Upisivanje informacija izvodi se redno, paralelno ili redno-paralelno. Kod rednog upisivanja svi biti informacije unose se u jedan isti kanal. Kod paralelnog upisivanja svaki bit jedne reči smešten je u poseban kanal. Ovaj način upisivanja izvodi se u jednom takt-intervalu, za razliku od prethodnog, za koji je potrebno onoliko taktova koliko memorisana reč ima bita.



Sl. 8.43. Magnetni doboš

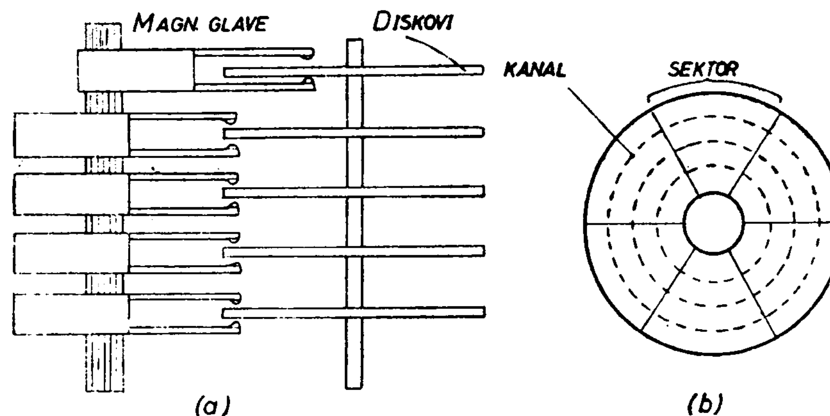
Postupak redno-paralelnog memorisanja primenjuje se obično kod informacija datih u *BCD* kodu. Tako na primer, ako se radi o prirodnom *BCD* kodu, onda se biti jedne tetrade upisuju paralelno u četiri susedna kanala, dok se same tetrade, koje pripadaju jednoj istoj reči, unose serijski jedna iza druge. Više kanala koji se koriste za smeštaj ovakvih *BCD* slogova, obično se grupišu u sekcije, o kojima se vodi računa i pri utvrđivanju adresnih podataka.

Primenjeni postupak upisivanja podataka odražava se očigledno i na brzinu rada memorije. Međutim, brzinu rada ove memorije u prvom redu ograničava vreme pristupa pa tek onda vreme upisivanja ili očitavanja. Vreme pristupa, tj. vreme iznalaženja tražene lokacije, zavisi od brzine obrtanja doboša, a ova je obično diktirana električnom i mehaničkom konstrukcijom kretnog sistema, u prvom redu fizičkim dimenzijama doboša. Ako, na primer, brzina obrtanja doboša iznosi 3000 obrta/min, onda jedan ceo obrt doboša traje 20 ms. Prema tome, vreme za koje jedna memorijska ćelija može da se dovede naspram magnetne glave kreće se od 0—20 ms, zavisno od toga na kom se mestu u kanalu nalazi adresovana ćelija. Zbog toga se vreme pristupa za ovakve memorijske uređaje definiše kao srednje vreme, što u gornjem primeru iznosi 10 ms. Očigledno je da se vreme pristupa skraćuje pri povećanju brzine obrtanja doboša. Međutim, ono se može smanjiti i postavljanjem po dve ili tri magnetne glave, ravnomerno raspoređene duž svakog memorijskog kanala. I jedna i druga mogućnost povećanja brzine rada odražava se nepovoljno na ekonomičnost izrade ovakvih memorija, kod kojih, kao što je već istaknuto, brzina i nije od prvorazrednog značaja.

Na kraju navedimo i neke tehničke podatke za memorije koje koriste magnetni doboš:

Dužina doboša	10 — 100 cm
Prečnik doboša	10 — 40 cm
Gustina kanala	10 — 40 po cm
Gustina memorisanja	100 — 400 bita/cm
Kapacitet reda	10^7 bita
Upisivanje —	pretežno serijsko i serijsko-paralelno
Struja upisa	oko 100 mA
Napon očitavanja	oko 100 mV
Brzina obrtanja	200 — 20000 obrta/min
Vreme pristupa	5 — 150 ms

Za memorisanje vrlo velike količine informacija upotrebljavaju se *magnetne ploče — diskovi*. Ove ploče su kružnog oblika, debljine 1—3 mm, čije su obe strane prevučene magnetnim materijalom. Više ovakvih ploča postavlja se na istu, obično vertikalnu osovinu, sl. 8.44, koja se okreće brzinom od nekoliko hiljada obrta u minuti. Broj ploča kreće se od 10 — 100, a rastojanje između njih iznosi oko 10 mm. Svaka ploča može približno da primi oko 10^7 bita. S obzirom da je izmena ploča obično jednostavna, memorija sa magnetnim diskovima ima praktično neograničeni kapacitet.



Sl. 8.44. Memorija sa magnetnim diskovima
(a) sistem sa glavama i diskovima
(b) disk sa naznačenim kanalima i sektorima

Za upis i očitavanje podataka koriste se magnetne glave, koje često lebde iznad diska na rastojanju od svega 10 μm. Obično je mehanička koncepcija sistema izvedena tako, da svakom disku pripada po jedan par magnetnih glava. U ovom slučaju magnetne glave ne izlaze izvan diska i obično ostaju tamo gde su prethodno bile dovedene. Pri ovakvoj koncepciji memorijskog sistema srednje vreme pristupa iznosi oko 100 ms, a može da bude i znatno manje. Kod memorija vrlo velikog kapaciteta, međutim, češće se koristi samo jedna glava za sve magnetne ploče. Očigledno je da će vreme pristupa u ovom slučaju da bude veće i otprilike iznosi 0,5 — 0,8 *s* za memorije kapaciteta 10^8 — 10^9 bita. Pomenimo na kraju i to da se u poslednje vreme razvija i koncepcija memorije sa diskovima, gde bi svakom memorijskom kanalu pripadala posebna magnetna glava. Ovakav memorijski sistem, međutim, za sada je jako neekonomičan.

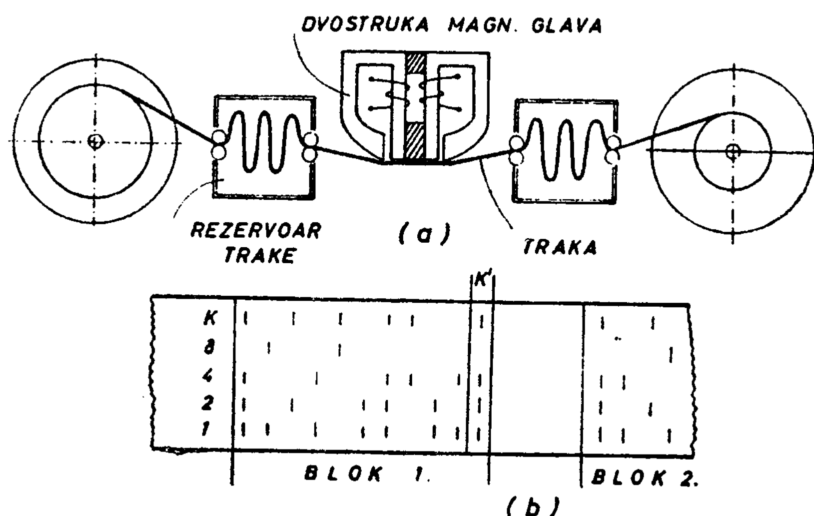
Upisivanje informacija u magnetni disk izvodi se samo serijskim postupkom. Primena paralelnog ili serijsko-paralelnog postupka iziskuje angažovanje većeg broja paralelno postavljenih magnetnih glava, što je kod ove memorije tehnički neizvodljivo. Upisivanje se vrši u memorijske kanale koji predstavljaju koncentrične krugove, sl. 8.44 b. Na jednoj strani diska obično ima od 100 — 200 kanala. Pošto se u svaki kanal može da upiše više reči, to je, radi lakšeg iznalaženja pojedinih lokacija, cela ploča izdeljena na sektore.

Napomenimo još da su brzine kretanja pojedinih memorijskih ćelija na magnetnom disku različite, zavisno od toga da li se ćelija nalazi bliže ili dalje od središta diska. Imajući u vidu da indukovani napon pri čitanju zavisi i od brzine kretanja memorijskih ćelija, to u ovim memorijama treba računati sa povećanom varijacijom amplitude izlaznog signala, koja nije posledica samo nastalih smetnji u toku rada, već i samog principa rada.

Na kraju navedimo neke tehničke podatke za memorije koje koriste magnetne diskove:

Prečnik diska	od 15 — 120 cm
Rastojanje kanala	oko 1 mm
Gustina memorisanja	400 — 800 bita/cm i više
Kapacitet	reda 10^8 bita
Upisivanje	serijsko
Brzina obrtanja	1000 — 18000 obrta/min
Vreme pristupa	od 20 — 100 ms.

Magnetna traka je najekonomičnija memorija za čuvanje vrlo velikog broja podataka. Memorijski medijum čini magnetni sloj debljine oko 10 μm, koji je nanet na traku, najčešće kod poliestera, debljine oko 40 μm. Širina trake je normirana u colovima. Najčešće su u upotrebi trake od 12,7 mm, mada se koriste i trake širine 25,4 mm i 6,35 mm. Osnovna koncepcija mehaničke konstrukcije sistema zasniva



Sl. 8.45. Memorija sa magnetnom trakom
(a) memorijski sistem (b) magnetna traka

se na tome, da se poveća brzina upisivanja i očitavanja podataka, kao i da se smanji vreme pokretanja i zaustavljanja trake (start i stop-vremena). Ova dva zahteva su očigledno oprečna, jer se sa povećanjem brzine trake otežava postizanje kraćeg vremena zaustavljanja. Pored toga, treba izbeći bilo kakve nagle pokrete, koji bi mogli

da dovedu do deformacije trake, što je ovde veoma kritično u pogledu ispravnog očitavanja memorisane informacije. Zbog toga se predviđaju specijalni rezervoari za traku, koji obezbeđuju njeno kretanje bez većih inercijalnih sila, kako je to šematski pokazano na sl. 8.45 a.

Upisivanje podataka u magnetnu traku vrši se serijskim ili serijsko-paralelnim postupkom. Zadnji postupak redovno se primenjuje kod informacija u *BCD* kodu. Na sl. 8.45 b prikazan je deo magnetne trake sa upisanim podacima u kodu *BCD* 8421. Memorisane informacije grupisane su po blokovima, koji su razdvojeni prazninama—međublokovima u dužini oko 20 mm. Ove praznine su predviđene za prelazni period kretanja trake pri polasku i zaustavljanju. Kako je dužina međublokova uslovljena trajanjem start i stop-vremena, to se povećanje iskorišćenja trake može da postigne samo povećanjem dužine blokova. Zbog toga se obično u jedan blok unosi, ne samo jedna, već nekoliko reči.

Istovremeno upisivanje *BCD* slogova u memorijske kanale magnetne trake zahteva paralelan rad onoliko magnetnih glava koliko slogovi imaju bita. Pored toga redovno se predviđa jedan kanal za kontrolu tačnosti upisivanja informacije. Na sl. 8.45 b, na primer, izvedena je dvostruka kontrola parnosti bita: uzdužna *K*, kao i poprečna *K'* na završetku svakog bloka. Da bi upisivanje kodovanih slogova bilo što preciznije, sve paralelne glave povezane su čvrsto međusobom tako da čine jednu celinu. Broj potrebnih glava zavisi od primenjenog koda, najčešće ih je 7 ili 8.

Već je ukazano na to da se pri upisivanju informacija u magnetnu traku vrši uzdužna i poprečna kontrola parnosti bita. Osim toga, kontrola upisivanja podataka vrši se i očitavanjem njihovih vrednosti neposredno posle upisivanja. To je omogućeno upotrebom dvostrukih magnetnih glava na svakom kanalu, pri čemu se jedna glava koristi za upisivanje, a druga za neposredno očitavanje informacija, sl. 8.45 a.

I pored svih pomenutih kontrola upisivanja, pojava raznovrsnih smetnji može lako da uzrokuje pogrešno očitavanje podataka. Pored ostalih pomenimo samo mogućnost neravnomernog istezanja trake po sredini i na krajevima. Ovakva deformacija trake sa već upisanim podacima dovodi do različitog uzdužnog pomeranja memorijskih ćelija koje pripadaju jednom istom kodovanom slogu. Zbog toga se pri njihovom očitavanju može desiti, da su neke ćelije previše udaljene od otvora glave, te tako njihov sadržaj ne može ni da bude detektovan.

Magnetna traka je klasičan primer memorije sa sekvencijalnim pristupom. Očigledno je da je vreme pristupa funkcija, kako brzine kretanja trake, tako i njene dužine, odnosno kapaciteta memorisanja. U svakom slučaju vreme pristupa memorije sa magnetnom trakom može da bude dosta veliko. Na primer, za traku dužine 600 m, koja se kreće brzinom od 3 m/s, najduže vreme pristupa bilo bi veće od 3 minuta. Da bi se skratilo vreme pristupa, a da kapacitet ostane i dalje veliki, izrađuju se memorijski sistemi sa više posebnih, ali kraćih traka, koje imaju svoje posebne sisteme magnetnih glava ili se posredstvom upravljačke logike pojedinačno uključuju na jedan isti sistem glava.

Na kraju navedimo i ovde neke tehničke podatke za memorijske sisteme sa magnetnom trakom:

Dužina trake	15 — 1000 m
Širina trake	6 — 50 mm
Broj kanala	6 — 9
Širina kanala	oko 0,7 mm
Gustina memorisanja	100 — 1500 bita/cm
Brzina trake	50 — 300 cm/s.

Debeloslojne magnetne memorije prvenstveno su namenjene za arhivsko čuvanje velikog broja podataka. Otuda je povećanje gustine memorisanja od velikog interesa u cilju smanjenja gabarita memorijskog medijuma. Tendencija smanjivanja memorijske površine dovela je do znatnog povećanja gustine memorisanja, tako da se u najnovije vreme postižu rezultati i od 15000 b/cm^2. No, i pored toga, arhivska memorija, na primer, sa diskovima kapaciteta reda 10^{10} bita, morala bi da ima površinu od nekih 70000 cm^2. Zbog toga se istražuju i druge mogućnosti memorisanja velikog broja podataka, ali sa još većim gustinama memorisanja. U ovom pogledu postignuti su najbolji rezultati sa optičkim memorijama. Mogućnost velike gustine memorisanja ovde se zasniva na činjenici, da se fokusiranjem optičkog mlaza njegov prečnik može da svede približno na vrednost talasne dužine svetlosti. Na taj način, korišćenjem laserskog mlaza za upisivanje informacija, ostvarene su gustine 1000 puta veće od onih za magnetne površine[(21)].

8.6. POLUPROVODNIČKE MEMORIJE

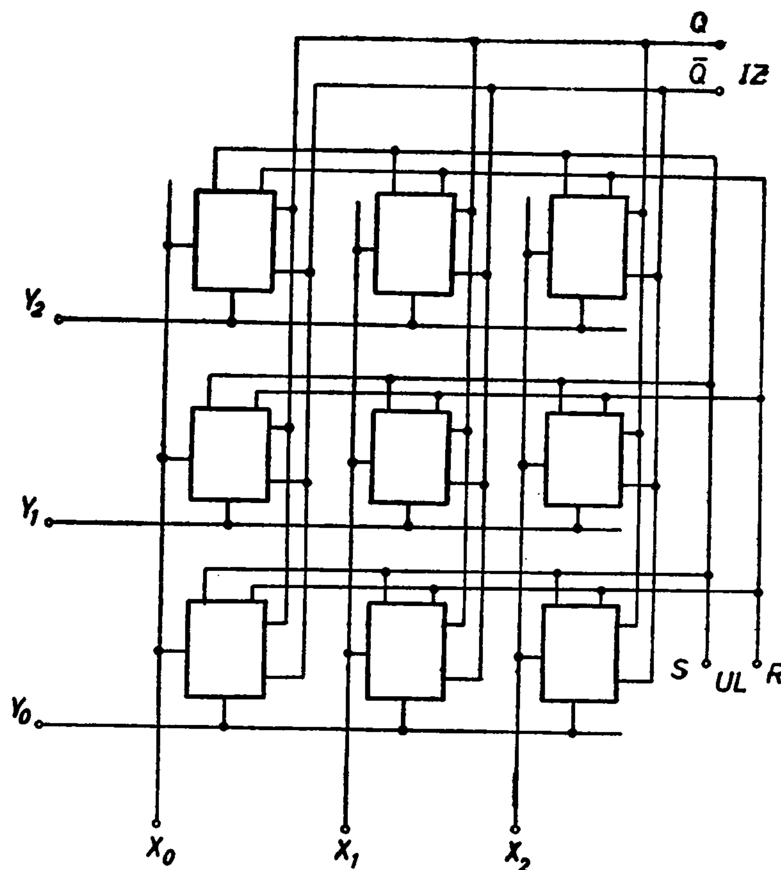
Nagli razvoj kola u integrisanoj tehnologiji podstakao je ideju da se ista tehnologija primeni i u izradi memorija. Zahvaljujući tome došlo je do povećanog angažovanja poluprovodničkih elemenata za memorijske svrhe, tako da se već nagoveštava perspektivna mogućnost zamene magnetnih memorija poluprovodničkim. Poluprovodničke memorije, istina, nalaze se odavno u upotrebi, kao registri, o kojima je već bilo reči. U njima su, kao što smo videli, primenjivani samo bipolarni poluprovodnički elementi. Najnoviji razvoj poluprovodničkih memorija, međutim, zasniva se na korišćenju mos-tehnologije, koja se u prvom redu odlikuje jednostavnijom proizvodnjom i većom gustinom pakovanja. Nedostatak u pogledu brzine rada mos-elemenata u izvesnoj meri se ublažava korišćenjem hibridnih sklopova sa bipolarnim i unipolarnim elementima. Tako, na primer, relativno brz memorijski sistem realizuje se na taj način, što se u mos-tehnici izrađuje samo memorijski medijum, a sva ostala prateća kola u bipolarnoj.

Osnovne memorijske ćelije u mos-tehnici izvode se kao statičke u obliku flipflopova, ili kao dinamičke, kod kojih se kao medijum za memorisanje koriste međuelektrodne kapacitivnosti mos-tranzistora. Za ovu svrhu naročito je pogodan *MNOS* — tranzistor (metal-nitride-oxide-silicion)[(22)] koji ima dodatni sloj silicijum-nitrida (Si_3N_4), nanet preko oksidnog sloja silicijuma (SiO_2) normalnog mos-tranzistora. Na ovakvom tranzistoru uspostavljeni električni tovar između slojeva silicijum-nitrida i silicijum-oksida održava se u toku dužeg vremenskog perioda, te se stoga *MNOS* — tranzistor tretira kao postojani memorijski element. To znači da mos-tehnika omogućava izradu nepostojanih i postojanih memorijskih elemenata sa veoma malom potrošnjom električne energije. Pored *MNOS*-tranzistora pomenimo i druge elemente koji se koriste u poluprovodničkim memorijama kao što su na primer, *FAMOS* (Floating-gate avalanche-injection metal oxide semiconductor)[(23)], *CCD* (charge-coupled devices[(24)], amorfni poluprovodnički elementi [(25)] i drugi.

8.6.1. Bipolarne poluprovodničke memorije

Kao memorijski elementi u bipolarnim poluprovodničkim memorijama pripremenjuju se flipflopovi sa uobičajenim — bipolarnim tranzistorima. Primena ovakvih elemenata za memorisanje pokazana je pri proučavanju raznih tipova registara. Prema tome, karakteristike bipolarne poluprovodničke memorije su dovoljno

poznate. Dodajmo, međutim, ovde da se isti memorijski elementi mogu da upotrebe i za organizaciju memorijske ravni na sličan način kao i kod primene magnetnih jezgara. Takva memorijska ravan prikazana je na sl. 8.46. Svaki flipflop vezan je na odgovarajuće adresne vodove *X* i *Y*. To znači da se operacija upisivanja i očitavanja informacije može da primeni samo na jednom selektovanom memorijskom elementu. Da bi se to obezbedilo upisni signal informacije i adresni naponi na selektovanim vodovima *X* i *Y* moraju koincidentno da deluju na ulazne priključke, na primer, *RS* flipflopa. Pri očitavanju memorisanog sadržaja primenjuje se obično nedestruktivni postupak, koji je pokazan i kod registara na sl. 8.1, s tom razlikom što na izlaznom *I* elementu treba da budu prisutni još i selektovani *X* i *Y* vodovi. Napomenimo da prikazana matrična ravan sadrži memorijske lokacije samo za jednobitne reči. Očigledno je da memorisanje višebitnih reči iziskuje samo paralelan rad većeg broja ovakvih ravni, pri čemu će se u svakoj ravni nalaziti samo po jedan bit jedne iste reči. Prema tome, ovakva memorija odgovarala bi organizaciji sistema 3 *D*.



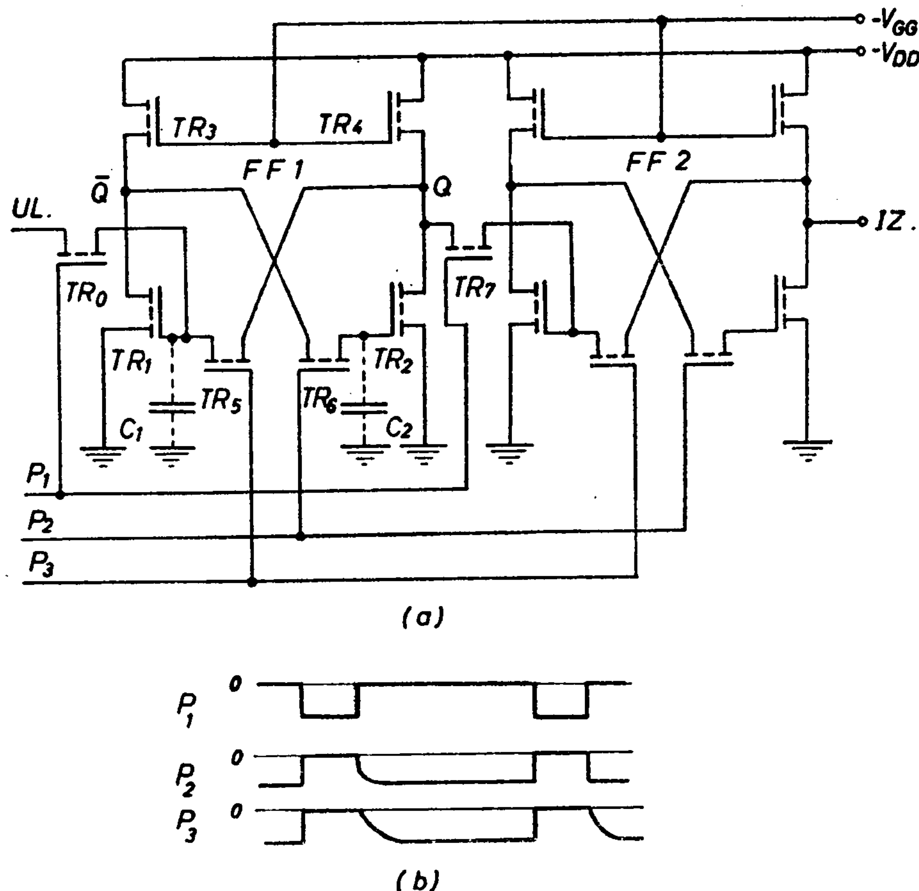
Sl. 8.46. Memorijska ravan sa flipflopovima

Prikazana poluprovodnička memorija sa direktnim pristupom izrađuje se obično sa kapacitetom od svega nekoliko hiljada bita. Vreme pristupa kao i ciklusno vreme je vrlo kratko i pretežno zavisi od pratećih upravljačko-pogonskih kola memorije. Koriste se prvenstveno za aritmetičke međuoperacije kao kratkotrajne prihvatne memorije. Ako se ovakve memorije izrađuju zajedno sa adresnim dekoderom u integrisanom bloku velikog obima — *LSI* (Large Scale Integration), smanjuje se broj ulazno-izlaznih dovoda, što se, pored ostalog, povoljno odražava na brzinu rada. Opisana poluprovodnička memorija u takvom sklopu ima vrlo kratko ciklusno vreme — reda nanosekunada. Pored brzine, podsetimo da su dobre strane ovakve memorije

još i direktna kompatibilnost sa integrisanim sistemima logičkih kola, zatim male fizičke dimenzije, kao i činjenica, da cena koštanja poluprovodničke memorije po jednom bitu efektivno ne zavisi od njene veličine. Glavni nedostatak ovih memorija, međutim, svakako je to, što nisu postojane, odnosno što je proces memorisanja vezan za stalnu potrošnju električne energije.

8.6.2. Unipolarni poluprovodnički registri

O registrima, koji se konstruišu primenom flipflopova sa bipolarnim tranzistorima, već je govoreno. Iako takvi registri, bez sumnje, spadaju u poluprovodnička memorijska kola, ipak se ovaj naziv više vezuje za mos nego za bipolarnu tehnologiju. Zbog toga će ovde biti reči o registrima, koji se izrađuju samo u integrisanoj mos--tehnologiji. Pri tome uzećemo u razmatranje pomeračke registre, koji se, zavisno od primenjenih elemenata za memorisanje, dele na statičke i dinamičke. Ovakva podela registara, kao što je ranije rečeno, učinjena je s obzirom na to, da li registar može da radi sa jednosmernom i impulsnom, ili samo sa impulsnom pobudom.



Sl. 8.47. Pomerački registar sa statičkim memorijskim elementima
(a) šema veza (b) pomerački impulsi

Statički pomerački registar sa mos-tranzistorima prikazan je na sl. 8.47. Memorijska ćelija izvedena je u obliku flipflopa pomoću dva unakrsno spregnuta invertora sa tranzistorima TR_1 i TR_2. Prekidački tranzistori invertora opterećeni su dinamičkim otpornostima tranzistora TR_3 i TR_4, dok otpornosti u spregnim granama čine tranzistori TR_5 i TR_6. Ulazna informacija unosi se u memorijski element preko

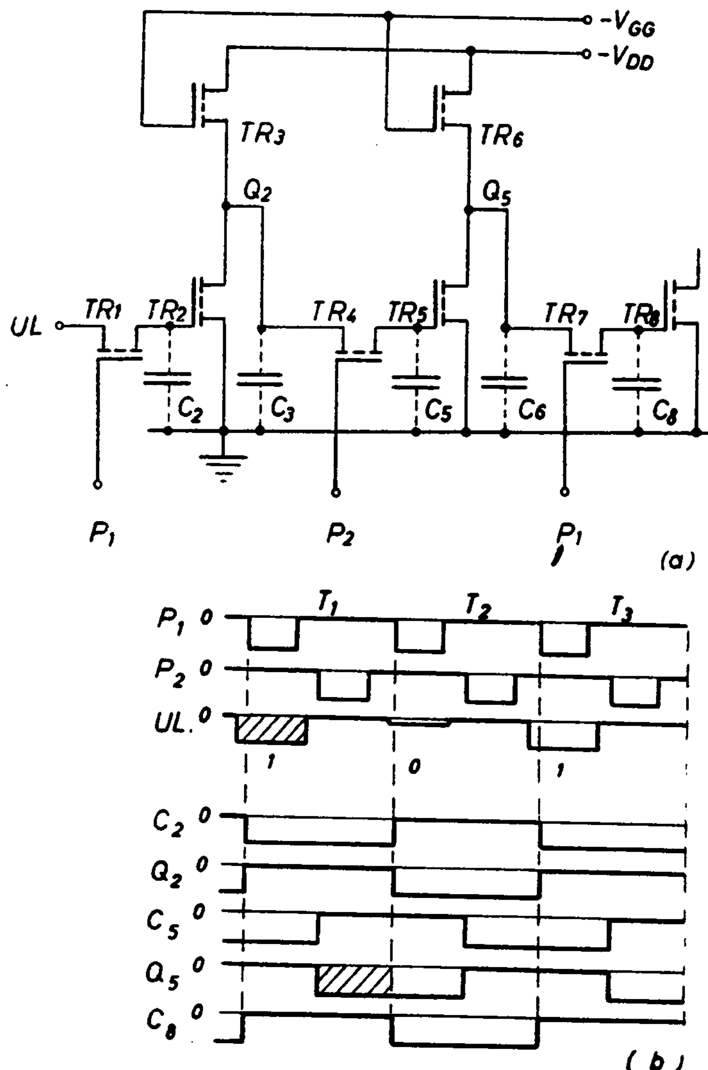
tranzistora TR_0. Za rad ovakvog memorijskog elementa potrebna su tri taktna impulsa P_1, P_2 i P_3, sl. 8.47 b. Pošto se faze impulsa P_2 i P_3 generišu na invertorima, ugrađenim u memorijski integrisani blok, to je, znači, potrebno da se spolja dovode samo impulsi P_1. Pri unošenju informacije u memorijsku ćeliju impuls P_1 je u stanju logičke jedinice, a impulsi P_2 i P_3 su u stanju logičke nule. Zbog toga je tranzistor TR_0 provodan, dok su tranzistori TR_1 i TR_1 zakočeni. Prema tome, informacija sa ulaza prenosi se kroz TR_0 na gejt tranzistora TR_1, puneći njegovu ulaznu kapacitivnost C_1, pod pretpostavkom da ulazna informacija ima vrednost logičke jedinice. Zahvaljujući kondenzatoru C_1, čije opterećenje faktički odgovara vrednosti memorisane informacije, tranzistor TR_1 ostaće u provodnom stanju i pri izmeni nivoa taktnih impulsa. Naime, pri isključenju impulsa P_1 uključuju se impulsi P_2 i P_3, te se razdvojeni invertori sada sprežu u flipflop. Prenosni tranzistor TR_6, koji se uključuje nešto brže od tranzistora TR_5, vezuje kapacitet C_2 drugog tranzistora na nivo napona u tački $\bar{Q}$. To znači da će kondenzator C_2 biti napunjen, odnosno ispražnjen na nivo napona logičke nule, čime se osigurava blokiranje tranzistora TR_2. Prema tome, na izlazu memorijske ćelije, tj. u tački Q, uspostavlja se negativan napon, koji preko TR_5 održava provodno stanje tranzistora TR_1.

Ponovnim uključivanjem pomeračkog impulsa P_1 informacija $V(1)$ sa izlaza prvog flipflopa prenosi se preko tranzistora TR_7 u drugi flipflop na već ranije opisani način. Ako je u ovom trenutku na ulazu registra prisutna informacija logičke nule, kondenzator C_1 će se isprazniti na novi logički nivo, obezbeđujući blokiranje tranzistora TR_1. Pri ponovnom uključivanju impulsa P_2 i P_3, najpre se preko tranzistora TR_3 i TR_6 napuni kondenzator C_2 na nivo napona u tački $\bar{Q}$, pa se onda uključi i tranzistor TR_5, preko koga se održava zakočeno stanje tranzistora TR_1. Kasnije uključivanje tranzistora TR_5 u poređenju sa TR_6 obezbeđeno je sporijim uspostavljanjem nivoa logičke jedinice kod impulsa P_3. Napomenimo još i to, da se, po ukidanju impulsa P_1, tranzistor TR_5 mora da otvori pre nego što bi odvodna struja gejta dovela u pitanje vrednost privremeno memorisane informacije u kapcitetu C_1. Što se tiče brzine rada ovakvog registra, ona je relativno mala i iznosi svega nekoliko stotina kiloherca, iako flipflopovi pojedinačno mogu da rade na učestanosti od oko 1 MHz.

Pomerački registri dinamičkog tipa predviđeni su za rad samo u naizmeničnom režimu. Ovakve registre ne sačinjavaju uobičajeni flipflopovi već invertori, kod kojih se kao memorijski medijum koriste međuelektrodne kapacitivnosti. Prema tome, to su u suštini kapacitivni memorijski elementi. Kako se električni tovar, koji predstavlja vrednost memorisane informacije u kapacitetu gubi tokom vremena, to bi ga povremeno trebalo obnavljati da bi se sprečila eventualna promena memorisane vrednosti. Kod registara, se, međutim, ne praktikuje obnavljanje memorisane informacije, te se stoga propisuju ograničenja frekventnog opsega ne samo prema visokim, već i prema niskim učestanostima. Tipične vrednosti najnižih radnih učestanosti ovakvih registara kreću se od 5 — 10 KHz, mada je moguć rad i na znatno nižim frekvencijama.

Na sl. 8.48 pokazan je pomerački registar sa dinamičkim memorijskim elementima. Kao što je već rečeno, ovde se međuelektrodne kapacitivnosti mos-tranzistora koriste za čuvanje informacija dovedenih preko sprežnih tranzistora. Pomeranje informacije od jedne do druge ćelije obavlja se posredstvom taktnih impulsa P_1 i P_2. Na sl. 8.48 b prikazani su i vremenski dijagrami, koji ilustruju prenošenje informacije 101 od ulaza registra prema izlazu. Pretpostavimo da je zatečeno stanje u registru okarakterisano naponskim nivoima na ulaznim kapacitetima i to na C_2 je napon $V(0)$ a na C_5 i C_8 je napon $V(1)$. To znači da je prvi invertor sa tranzistorima TR_2 i TR_3 zakočen, dok je drugi invertor sa tranzistorima TR_5 i TR_6 provodan. U prvoj po-

lovini takt-intervala T_1 pojavljuje se taktni impuls P_1, koji otvara tranzistore TR_1 i TR_7. Ulazni napon $V(1)$ informacije 101 puni kondenzator C_2 i otvara tranzistor TR_2. Prema tome, na kapacitetu C_3, odnosno u tački Q_2 invertora uspostavlja se napon $V(0)$. Istovremeno se kapacitet C_8 preko tranzistora TR_5 i TR_5 prazne na nivo $V(0)$. U drugoj polovini intervala T_1 impuls P_2 aktivira prenosni tranzistor TR_4. Pošto je kapacitet C_5 bio na nivou $V(1)$ on se sada prazni kroz TR_2 i TR_4 na nivo $V(0)$, koji postoji u tački Q_2. Kao posledica toga blokira se tranzistor TR_5 i u

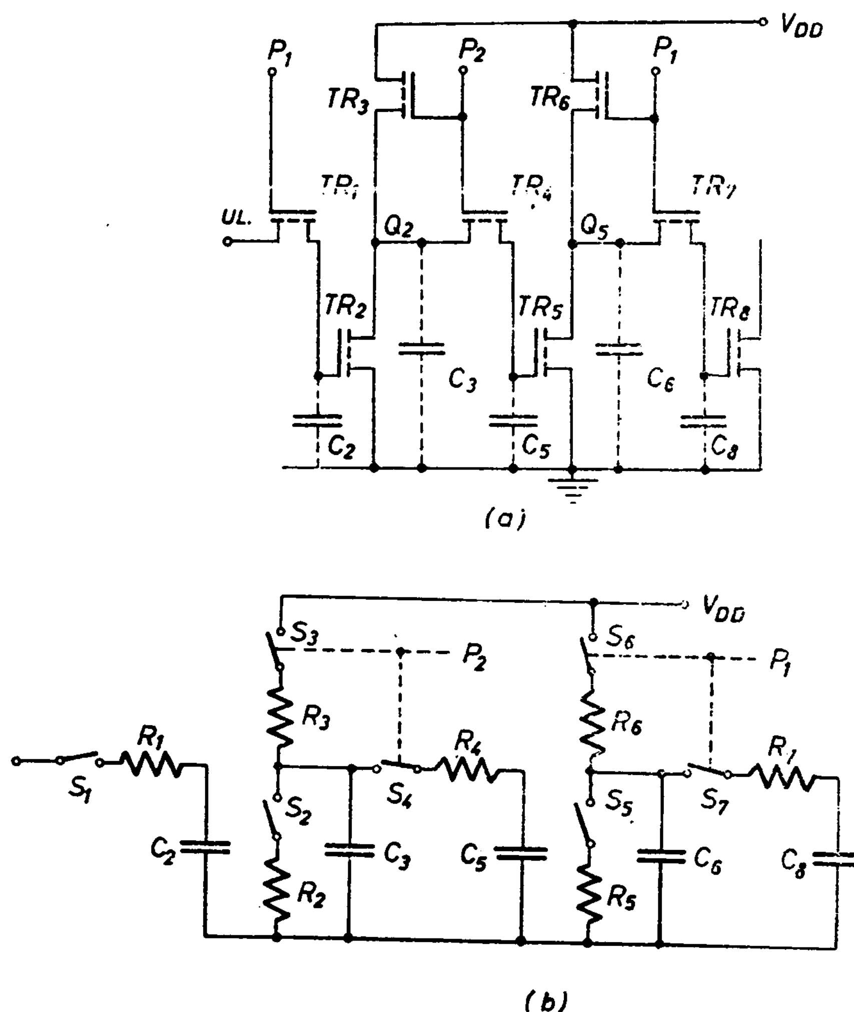


Sl. 8.48. Pomerački registar sa dinamičkim memorijskim elementima
(a) šema veza za kapacitet od jednog bita
(b) vremenski dijagrami za informaciju 101

kapacitetu C_6, odnosno na izlazu Q_5 drugog invertora uspostavlja se vrednost $V(1)$ prvog bita memorisane informacije. Prema tome, u toku jednog taktnog perioda memorisani bit informacije mora da prođe kroz dva invertora da bi se konačno pojavio sa istom vrednošću koju je imao na ulazu. To znači da memorijska ćelija u ovom slučaju angažuje šest tranzistora, od kojih se dva koriste za spregu između invertora.

U takt-intervalu T_2 unosi se u prvu memorijsku ćeliju vrednost drugog bita informacije 101. Pojavom impulsa P_1 ponovo se otvaraju tranzistori TR_1 i TR_7. Kapacitet C_2 se dovodi na nivo ulaznog signala $V(0)$, a kapacitet C_8 se puni preko TR_6 i TR_7 prihvatajući na taj način vrednost prvog bita informacije se izlaza Q_5.

Aktiviranjem generatora P_2 u drugom delu intervala T_2, kapacitet C_5 se puni na napon $V(1)$ koji postoji u tački Q_2. Zbog toga tranzistor TR_5 vodi i na izlazu Q_5 prisutna je vrednost $V(0)$ drugog bita informacije 101. Primetimo da, po isključivanju impulsa P_2, izlazni napon $V(0)$ ostaje sve dotle, dok tovar kapaciteta C_5 odgovara nivou $V(1)$. Kako se ovaj kapacitet tokom vremena prazni, može da dođe do izmene stanja tranzistora TR_5, ukoliko bi taktni interval po ukidanju impulsa P_2 trajao previše dugo.

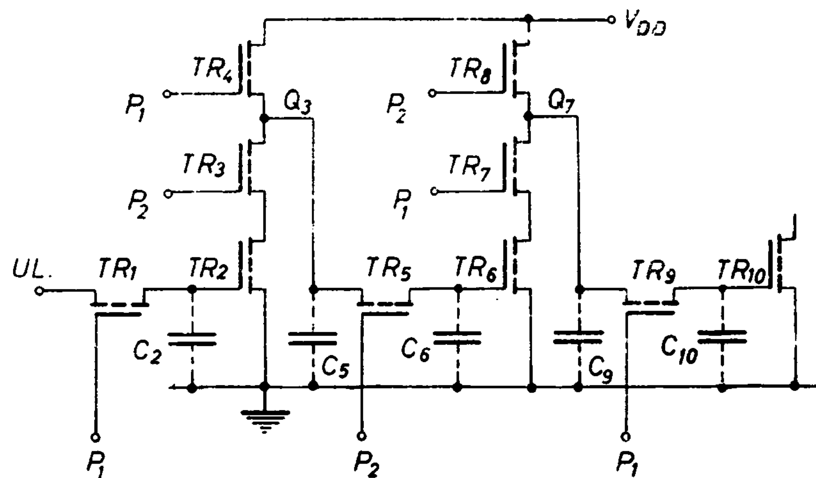


Sl. 8.49. Pomerački registar sa taktovanim opteretnim tranzistorima
(a) šema veza
(b) ekvivalentna šema

Disipacija dinamičkog pomeračkog registra mogla bi da bude znatno smanjena, ako bi se, ne samo sprežni, već i invertorski tranzistori aktivirali samo pri prenosu informacije. To može jednostavno da se postigne na taj način, što se opteretni tranzistori invertora uključuju sinhronizovano sa taktnim impulsima. Radi toga se u registru na sl. 8.48 gejtovi opteretnih tranzistora u invertorima, umesto na bateriju V_{GG}, vezuju na gejtove sledećih sprežnih tranzistora. Na taj način tranzistori TR_3 i TR_4 biće taktovani impulsima P_2, a TR_6 i TR_7 impulsima P_1, sl. 8.49. Prema tome, opteretni tranzistori provode samo u toku trajanja impulsa P_1, odnosno P_2. Otuda naponi, na primer, na C_2 i u tački Q_2 neće biti protivfazni u toku celog intervala T_1, kao što je to pokazano na sl. 8.48 b, jer kroz prvi invertor teče struja samo u toku trajanja impulsa P_2, pod uslovom da je kapacitet C_2 napunjen na napon $V(1)$.

Na sl. 8.49 b data je ekvivalentna šema pokazanog taktovanog registra, pri čemu je svaki tranzistor predstavljen otporom R i prekidačom S. Pomoću ove šeme lako se može da izvede analiza kola sa aspekta brzine rada. Kao prvo, trajanje taktnih impulsa P_1 i P_2 mora da bude dovoljno dugo da bi se izvršilo punjenje kondenzatora C_2, C_6 i C_8, odnosno C_3 i C_5. Drugim rečima kritičan parametar za brzinu rada registra je vreme uspostavljanja logičkog nivoa napona $V(1)$ pošto u odgovarajućoj vremenskoj konstanti kola sudeluje i velika otpornost opteretnih tranzistora u invertorima. S druge strane, međutim, uspostavljanje nivoa $V(0)$ je znatno brže, jer se sada, umesto velikih otpora opterećenja invertora, u odgovarajućim vremenskim konstantama pojavljuju male otpornosti njihovih prekidačkih tranzistora.

Dvofazni taktovani registar izvodi se i tako, da opteretni tranzistori u invertorima rade sinhrono sa prethodnim sprežnim elementima. U ovom slučaju u toku intervala P_1 rade, znači, tranzistori TR_1, TR_2 i TR_3, tako da se u kapacitivnosti C_3 memoriše invertovana vrednost sa ulaza. U drugoj polovini taktnog perioda, tj. za vreme trajanja impulsa P_2, vode tranzistori TR_4, TR_5 i TR_6 ,te se sada memorisana vrednost iz C_3 pomera u C_6 kao prava vrednost ulaznog signala.



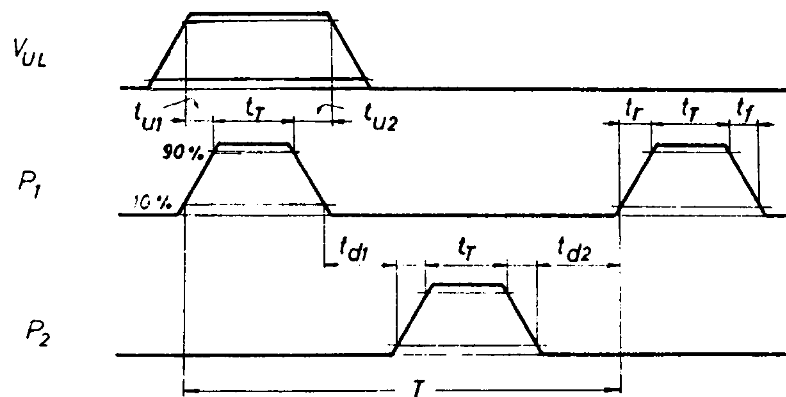
Sl. 8.50. Pomerački registar sa taktovanim invertorima

U dvotaktnom registru na sl. 8.50 sprečena je mogućnost da se u bilo kom trenutku formira kolo jednosmerne struje kroz invertore. Na taj način potrošnja baterije za napajanje V_{DD} je još više smanjena. Vodeći računa o taktovanom radu tranzistora, način rada ovog registra postaje dovoljno jasan na osnovu razmatranja ucrtane šeme. Naime, tranzistor TR_1 i TR_4 otvaraju se istovremeno taktnim impulsom P_1. U toku tog impulsa ulazni signal, na primer $V(1)$, puni kondenzator C_2. Tranzistor TR_2, međutim, ne može da vodi, jer je TR_3 blokiran nultim nivoom napona impulsa P_2. Istovremeno sa memorisanjem informacije $V(1)$ u C_2 puni se i kondenzator C_5 preko taktovanog tranzistora TR_4. Po završetku impulsa P_1, pojavljuje se takt-impuls P_2, koji negativno polarizuje gejtove tranzistora TR_3 i TR_5. Pošto je kapacitet C_2 na naponu $V(1)$, invertorski tranzistori TR_2 i TR_3 vode, pa se kondenzator C_5 prazni kroz njih na nivo $V(0)$. Isti ovaj nivo napona prenosi se preko TR_5 na kondenzator C_6. To znači da se po završetku impulsa P_2, tj. na kraju taktnog intervala T_1, ulazni signal $V(1)$ nalazi memorisan u kondenzatoru C_6 kao vrednost $V(0)$. Kako ova vrednost uslovljava blokiranje tranzistora TR_6, to znači da memorisana

ulazna informacija stoji na raspoloženju u izlaznoj tački memorijske ćelije Q_7 kao vrednost $V(1)$. Prema tome, i u ovom slučaju informacija sa ulaza stiže na izlaz memorijske ćelije u toku jednog takt- intervala. Pri tome potrošnja struje u ćeliji ograničena je samo na punjenje kondenzatora C_5 ili C_9. Otuda je potrošnja električne energije minimalna. Međutim, broj tranzistora po memorijskoj ćeliji ovde je povećan na osam, jer su invertori izvedeni sa po tri tranzistora, da bi se onemogućilo uspostavljanje stacionarne struje kroz invertor. U vezi s tim povećano je i kapacitivno opterećenje taktnih generatora. Napomenimo da kapacitete C_5, C_9 itd. čine difuzione kapacitivnosti, kao i kapacitivnosti koje formiraju aluminijumski priključci sorsa i drejna sa osnovom mos-tranzistora. Pošto se elekrtični tovar ovih kapaciteta raspodeljuje i na ulazne kapacitete, to oni treba da budu veći od ulaznih.

Zahvaljujući maloj potrošnji elekrtične energije ovih registara, oni mogu da rade i bez baterije V_{DD}. U tom slučaju drejnove tranzistora TR_4 i TR_8 treba vezati zajedno sa njihovim gejtovima na odgovarajuće taktne generatore. Prema tome, taktni generatori u ovom slučaju, pored osnovne uloge otvaranja i zatvaranja prekidača, vrše i napajanje registra.

Pravilan rad pomeračkih registara iziskuje propisane vrednosti mnogih pogonskih parametara. Zbog toga se u prospektima proizvođača navode, ne samo tipične, već maksimalne, kao i minimalne vrednosti kritičnih veličina. Pored vrednosti koje karakterišu signal ulazne informacije, redovno se daju i dijagrami taktnih impulsa sa naznačenim karakterističnim parametrima. Na sl. 8.51 pokazani su neki od tih parametara, koji se najčešće specificiraju u katalozima proizvođača. Referentne tačke na pokazanim dijagramima uzete su na nivoima od 10 odnosno 90% nominalne amplitude napona impulsa. Napomenimo da neki proizvođački integrisanih kola radije uzimaju sredinu amplitude impulsa kao referentni nivo za određivanje potrebnih parametara.

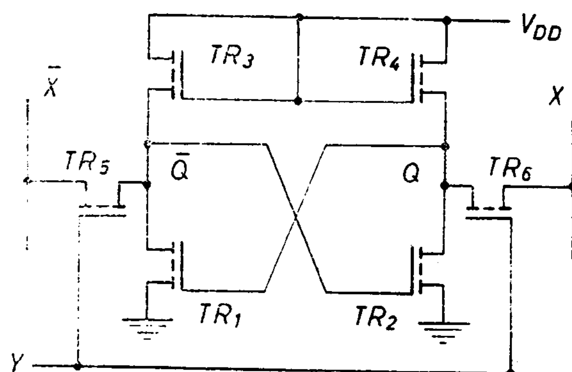


Sl. 8.51. Karakteristični parametri pomeračkih impulsa

Pomeranje informacije u pokazanim registrima sa dinamičkim ćelijama vršeno je u svakom takt-intervalu u dva dela, odnosno dve faze. Postoje i registri kod kojih se pomeranje memorisane vrednosti obavlja u više faza u toku takt-intervala. Tako se, na primer, dosta susreću dinamički četvorofazni pomerački registri, koji se odlikuje velikom brzinom rada (do 50 MHz) i vrlo malom disipacijom (100 μW po bitu). Ovakvi registri obično imaju invertore sa po tri tranzistora, odnosno ukupno šest tranzistora po bitu. Posredstvom četiri pomeračka impulsa vrši se pomeranje memorisane vrednosti kroz dva invertorska stepena u svakom takt-intervalu [12].

8.6.3. Unipolarne poluprovodničke memorije

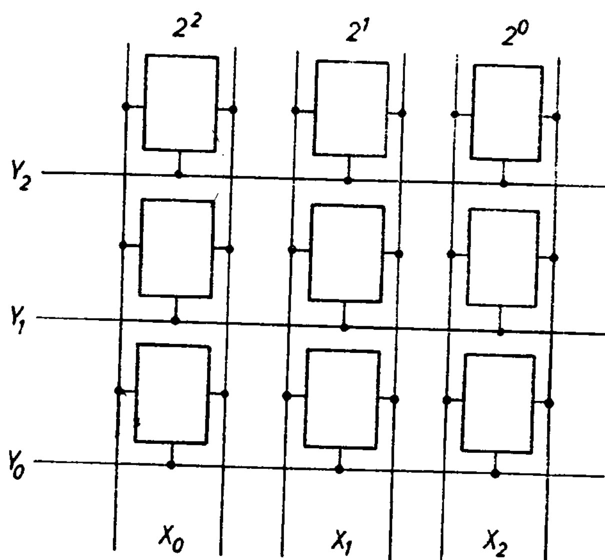
Pri formiranju memorijskog bloka u mos-tehnologiji koriste se kako statičke tako i dinamičke memorijske ćelije. Statička mos-ćelija je najčešće flipflop sa direktnom spregom, predstavljen na sl. 8.52. Ova ćelija sadrži četiri mos-tranzistora u osnovnom kolu, kao i tranzistore TR_5 i TR_6 za unošenje komplementnih vrednosti informacije koja se memoriše. Selekcija memorijske ćelije vrši se dovođenjem negativnog impulsa na vod Y. Pri tome će prenosni tranzistori TR_5 i TR_6 da budu u provodnom stanju, čime se memorijska ćelija vezuje na bit-linije X i $\bar{X}$. Tako, na primer, ako je informacija data logičkom jedinicom, na X vod se dovodi napon $V(1)$ a na $\bar{X}$ napon $V(0)$. Pri eksitaciji Y voda, napon $V(1)$ preko tranzistora TR_6 dovodi TR_1 u provodno stanje, dok napon $V(0)$ preko TR_5 blokira tranzistor TR_2. Prema tome, po prestanku delovanja pobudnog impulsa na Y vodu memorijska ćelija se isključuje sa bit-linija zadržavajući uspostavljena stabilna stanja, tj. $V(0)$ na TR_1 i $V(1)$ na TR_2. Očitavanje memorisane vrednosti vrši se jednostavno ponovnom pobudom adresnog voda Y. Pri tome prenosni tranzistori postaju opet provodni, vezujući tako memorisane vrednosti $V(1)$ i $V(0)$ na bit vodove X odnosno $\bar{X}$.



Sl. 8.52. Statička memorijska ćelija

Statička memorijska ćelija odlikuje se imunošću na smetnje, što je veoma važno u integrisanim memorijama. S druge strane, međutim, statička priroda rada ćelije uslovljava stalnu potrošnju električne energije, što u većim memorijskom sistemu pričinjava posebne teškoće, izazvane velikom disipacijom. Ovaj nedostatak može da se otkloni zahvaljujući prisutnim kapacitivnostima na priključcima ćelije Q i $\bar{Q}$. Naime, pošto ove kapacitivnosti zadržavaju uspostavljeno stanje u memorijskom kolu, to se opteretni tranzistori TR_3 i TR_4 mogu samo povremeno da uključuju u cilju dopunjavanja tih kapacitivnosti, odnosno osvežavanja memorisanih vrednosti.

Na sl. 8.53 pokazana je memorijska ravan sa statičkim ćelijama u organizaciji 2 D. Kao i svuda ranije i ovde su Y vodovi upotrebljeni kao adresne linije reči, a X vodovi kao linije bita. Upisivanje reči, koja je data komplementnim vrednostima bita na X linijama, vrši se pobuđivanjem odgovarajućeg adresnog voda Y za izabranu lokaciju u memoriji. Pri očitavanju memorijskog sadržaja postupak je isti, samo što se sada X vodovi koriste kao izlazni priključci memorije.

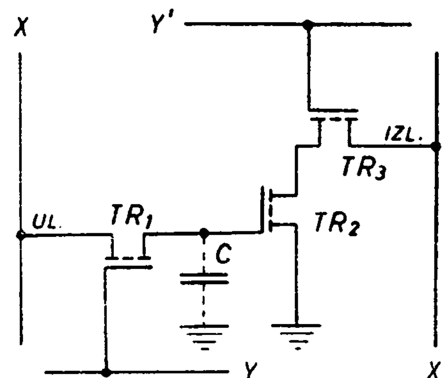


Sl. 8.53. Memorija tipa 2D izvedena sa statičkim ćelijama

Statička memorijska ćelija izvodi se i tako da se jedan X vod koristi kao ulazni, a drugi kao izlazni. U tom slučaju na primer, preko tranzistora TR_5 na sl. 8.52 vrši se upisivanje, a preko TR_6 — očitavanje vrednosti informaci-

je. Pošto se ovakvim postupkom u stvari očitava komplement memorisane vrednosti, to se dobijena vrednost mora da invertuje. Kako su za to potrebna još dva mos-tranzistora, to znači da takva memorijska ćelija sadrži ukupno osam tranzistora.

U pogledu broja mos-elemenata, a u vezi s tim i disipacije električne energije, dinamičke memorijske ćelije imaju znatne prednosti nad statičkim. Jedna takva memorijska ćelija prikazana je na sl. 8.54. Princip rada ćelije je veoma jednostavan. Ulazna informacija sa voda X unosi se u memorijsku ćeliju preko tranzistora TR_1, kada se na upisani vod Y dovede negativan napon. Vrednost memorisane informacije čuva se u kapacitivnosti C. Pri očitavanju, memorisani sadržaj se posredstvom negativnog impulsa na čitačkom vodu Y' prenosi kroz tranzistor TR_3 na izlazni vod X'.



Sl. 8.54. Dinamička memorijska ćelija

Dobre strane ovakve memorijske ćelije su mala disipacija i male dimenzije, što omogućava izradu memorije kapaciteta reda kilobita na vrlo maloj pločici. U pogledu napona smetnji ovakva ćelija je osetljivija od statičke. Najveći nedostatak dinamičke ćelije sa memorijskom kapacitivnošću je to, što memorisana informacija tokom vremena gubi svoju vrednost, te se mora da osvežava. Obnavljanje memorisanog sadržaja iziskuje veću složenost kola, a osim toga i posebno predviđeno vreme za to, što smanjuje brzinu rada memorije. Da se zbog onbavljanja sadržaja ne bi prekidao rad memorije za duži vremenski period, obično se memorija organizuje tako, da je prva polovina svakog takt-intervala predviđena za upis ili čitanje, a druga za osvežavanje sadržaja u jednoj memorijskoj ćeliji, čiji izbor i redosled određuje upravljačka logika. To znači da je korisno vreme rada memorije upola manje od stvarnog. U vezi s tim, navedimo, da je u nekim memorijama povećanje ciklusnog vremena zbog obnavljanja memorisanog sadržaja svedeno na svega 1%[15].

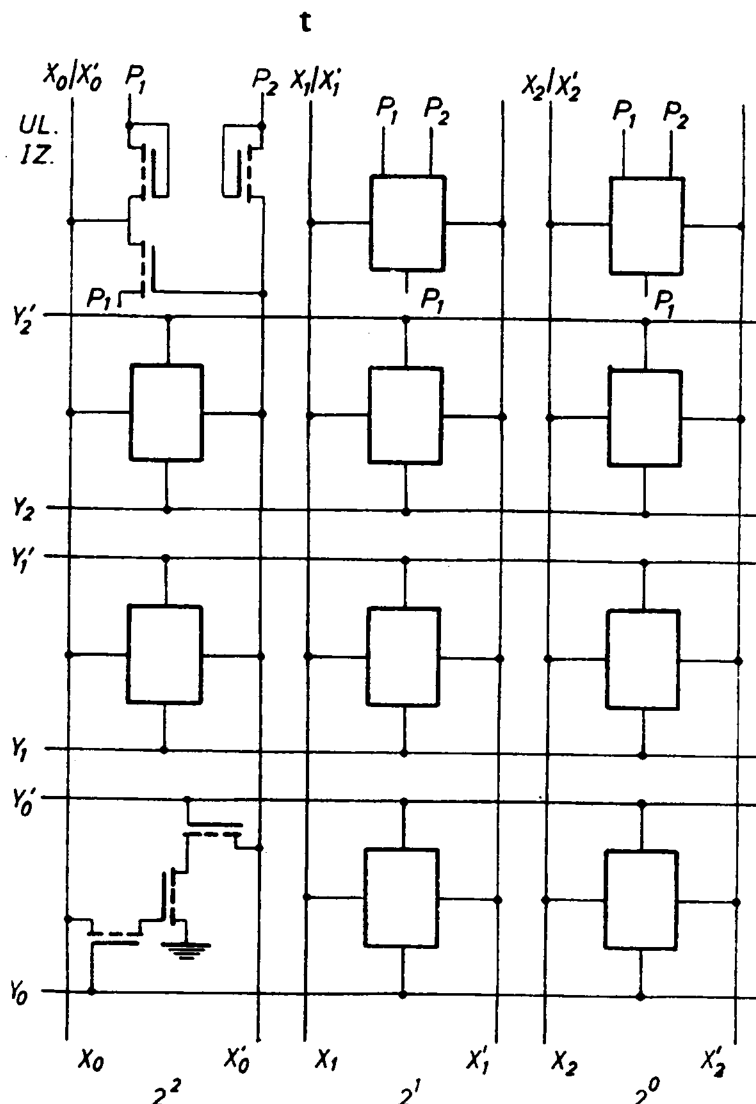
Na sl. 8.55 prikazana je organizacija memorije po rečima, u kojoj su upotrebljene dinamičke mos-ćelije. Adresni vodovi reči su: Y pri upisivanju, a Y' pri očitavanju. Vodovi X su ulazne bit-linije, a X' su izlazne bit-linije. Izlazni signal svake ćelije u istoj bit-poziciji može da se sa izlaznog bit-voda dovede na ulazni posredstvom invertora, koji je ucrtan samo u koloni ćelija sa pozicionom vrednošću 2^2. Prema tome, ulazno-izlazni priključak svih ćelija iste pozicione vrednosti je zajednički i obeležen je sa X/X'.

Upisivanje trobitne reči u memorijsku lokaciju Y_0 vrši se istovremenom pobudom bit-linija X_0, X_1 i X_2 i adresnog voda za upis Y_0 u pauzi između impulsa P_1 i P_2. Očitavanje memorisanog sadržaja izvodiće se pobudom adresnog voda za čitanje Y_0 u vremenu između impulsa P_2 i P_1 .Pošto je očitana vrednost na vodovima X u stvari komplement upisane vrednosti, to se ona dovodi na izlaz X/X' posredstvom invertora.

Obnavljanje memorisanog sadržaja obuhvata postupak čitanja i ponovnog upisivanja informacije. U toku vremena od P_2 do P_1 očitavaju se selektovane ćelije posredstvom pobude na vodu Y'. Zatim se dobijena vrednost na vodovima X' invertuje u vremenu između P_1 i P_2, i tako dovodi na ulaz-izlaz X/X'. Posredstvom adresnog impulsa na vodu Y_0 ova vrednost se ponovo unosi u odgovarajuće memorijske ćelije. Ovakvo osvežavanje memorisanih vrednosti mora se određenim redosledom primeniti na svaku ćeliju koja pripada bit-koloni.

Optimizacija memorijskog sistema u pogledu brzine rada uključuje redovno razmatranje povezivanja pratećih kola i pobudnih stepena. U svakom slučaju radne uslove sistema treba tako odabrati, da se postigne maksimalna brzina rada mos--naprava, s obzirom da one predsavljaju najsporije komponent e upotrebljene u

t



Sl. 8.55. Memorijska ravan sa dinamičkim ćelijama

sistemu. U povoljnim uslovima izvođenja vreme pristupa, koje se odnosi samo na memorijsku ravan, može da iznosi oko 50 ns. Ciklusno vreme kompletnog memorijskog sistema manjeg kapaciteta može da iznosi oko 300 ns, a većeg oko 500 ns, pa i više od 1 μ s.

8.6.4. Memorije za očitavanje

Memorije, koje su namenjene samo za očitavanje, u literaturi su poznate pod nazivom *ROM* (read-only memory). Ovakve memorije sadrže obično neke programirane instrukcije, ili se odnose na konverziju koda, ili predstavljaju tabelarne vrednosti nekih matematičkih funkcija kao što su trigonometrijske, logaritamske, eksponencijalne i druge. U suštini ovakvi problemi rešavaju se pomoću kombinacionih mreža, o kojima je bilo reči ranije, te ih je stoga pogrešno nazivati memorijama. No

i pored toga, termin *ROM* je u širokoj upotrebi od kada se ove memorije proizvode u poluprovodničkoj integrisanoj tehnologiji.

Kao primer *ROM* — memorije u diodnoj tehnici možemo uzeti koder *BCD* 8421 dat na sl. 6.19. Horizontalni vodovi kodera predstavljaju linije reči, odnosno linije dekadnih cifara. Vertikalni vodovi *W*, *X*, *Y*, *Z* su linije bita u prirodnom *BCD* sistemu. Realizacija memorije izvedena je na taj način, što je za memorisanje logičke jedinice postavljena poluprovodnička dioda između selektovane linije reči i linije odgovarajućeg bita. Tako, je, na primer, adresni vod *F*, koji memoriše brojnu vrednost 5 datu binarnim ciframa 0101, povezan diodnim elementima sa bit-linijama pozicione vrednosti 2^0 i 2^2. Prema tome, ovako memorisana reč pri očitavanju, tj. pri dovođenju napona *V* (1) na adresni vod *F*, detektovaće se na bit-linijama kao binarna informacija 0101.

Sl. 8.56. Bit-ravan *ROM* memorije

Umesto po rečima, kao što je to bio slučaj kod kodera, *ROM* — memorija može da bude organizovana i po bitima. Na sl. 8.56 ucrtana je šema jedne bit-ravni takve memorije. Svaka memorijska ćelija ima svoju adresu, izraženu rednim brojem kolone i reda u matričnoj ravni. Naglasimo da u jednom trenutku može biti eksitovana samo jedna memorijska ćelija u istoj bit-ravni. Ako selektovana ćelija na primer X_0 Y_0 ne postoji, izlazni napon bit-linije imaće vrednost *V* (0), pošto svi tranzistori u njoj, naime TR_0, TR_1 i TR_2 vode. Međutim, ako se očitava ćelija sa adresom X_0 Y_1, onda će tranzistor TR_1 da bude zakočen, pa će na izlaznom vodu bit-ravni biti vrednost *V* (1). Očigledno je da se broj bit-ravni mora da multiplicira ukoliko se radi o rečima sa više bita.

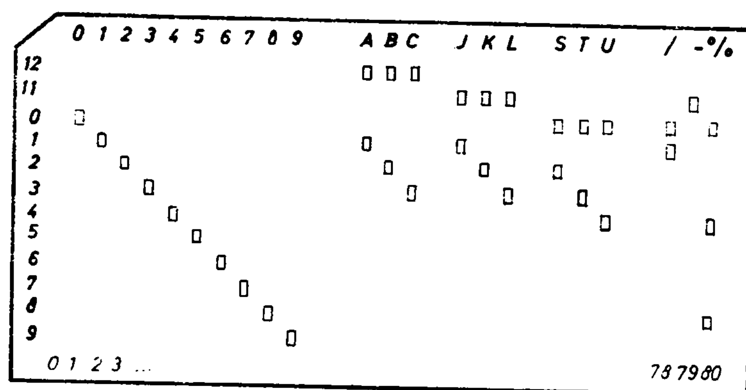
Kompletan memorijski sistem, namenjen samo za očitavanje unapred programiranog sadržaja, jednostavniji je od uobičajenih memorija utoliko, što nema operaciju brisanja niti upisivanja. Njihov kapacitet se kreće do oko 250 kilobita, a brzine očitavanja su oko 0,5 μs.

8.7. STALNE MEMORIJE

U svakom digitalnom sistemu mora da bude ostvarena komunikacija između čoveka, kao manipulanta, i mašine. Pošto je digitalni uređaj u stanju da radi mnogo brže od čoveka, to se kao prvi zadatak u „sprezi čovek-mašina“ postavlja zahtev unošenja podataka u mašinu na što je moguće brži način. Isti problem se postavlja i pri uzimanju podataka na izlazu digitalnog uređaja. Stoga se naprave koje omogućavaju vezu čovek-mašina obično nazivaju ulazno-izlazni organi ili uređaji. O tim uređajima ovde neće biti reči, već samo o memorijskim sredstvima, koja se najčešće koriste pri unošenju podataka u digitalni sistem, kao i iznošenju iz njega. Kako se pomenuta memorijska sredstva — medijumi ne mogu da koriste za ponovno upisivanje podataka, to se ovde upravo radi o stalnim — permanentnim memorijama. Drugim rečima, to znači da se jednom upisana informacija ne može više da briše niti da menja, pa se ovakve memorije, za razliku od ranijih, nazivaju nepromenljive. Potsetimo da su isto tako i memorije, namenjene samo za čitanje, odnosno *ROM* — memorije, takođe stalne i nepromenljive. Razlika postoji jedino u tome, što su *ROM* memorije programirane već u toku izrade, dok se u stalne memorije, o kojima će ovde biti reč, željeni program upisuje naknadno.

8.7.1. Bušene kartice

Bušena kartica je stalna memorija koja se veoma mnogo upotrebljava za unošenje podataka u mašinu i dobijanje rezultata iz nje. Memorijski medijum za kartice može da bude raznovrstan, ali se najčešće izrađuju od kvalitetnog kartona. Najviše su u upotrebi standardne kartice predviđene za smeštaj informacija u iznosu od 960 bita, sl. 8.57. Ova kartica ima 12 redova sa približnim rastojanjem od po 6 mm i 80 kolona u razmacima od oko 2 mm. Bušeni otvori su pravougaonog oblika približne veličine 1,4 × 3,2 mm.



Sl. 8.57. Bušena kartica

Predstavljanje alfanumeričkih simbola — slova, cifara i drugih znakova, vrši se bušenjem odgovarajućeg broja otvora u jednoj koloni kartice. To znači i da se u standardnu karticu može da upiše najviše 80 slogova, reči ili karaktera u nekom određenom kodu. Postoji više kodova koji se primenjuju za memorisanje informacija u kartice. Kod svih tih kodova simboli za decimalne cifre prikazuju se bušenjem samo jednog otvora i to u redu koji je u kartici već obeležen odgovarajućom decimalnom cifrom. Simboli za slova predstavljaju se sa po dva otvora u svim kodnim sistemima, ali je raspored otvora u nekim sistemima različit. Najveće ra?like ...odiranju ispoljavaju se pri predstavljanju specijalnih zn... na primer: jednakost, ko... plus, minus itd.

Na sl. 8.57 pokazano je predstavljanje nekih alfanumeričkih simbola u Holeritovom (Hollerith) kodu koji se inače najviše primenjuje pri memorisanju informacija pomoću kartica. Kao što se sa slike vidi, decimalne cifre su upisane pomoću jednog otvora u odgovarajućem redu kartice. Abecedni simboli imaju jedan otvor u karakterističnim redovima 12, 11 ili 0, a drugi u preostalim redovima, pridržavajući se pri tom abecednog i numeričkog redosleda. Naime, slova abecede od *A* — *I* upisuju se pomoću jednog otvora u redu 12 i drugog u redovima od 1 — 9; slova od *J* — *R* predstavljaju se sa jednom otvorom u redu 11 i drugim otvorom opet u redovima od 1 — 9; najzad slova abecede od *S* — *Z* imaju jedan otvor u redu 0, a drugi u redovima od 2 — 9. U ovoj grupaciji postoji, dakle, osam slova, dok prethodne dve imaju po devet. Radi lakšeg pamćenja koda za abecedne simbole koristi se fraza „*JR* je 11", što znači da su slova *J*—*R* vezana za red 11, slova ispred *JR* za red 12, a slova iz *JR* za red 0.

Na gore pokazani način unose se u kartice, ne samo podaci za obradu, već i instrukcije u vezi obrade tih podataka. Stoga se kartice sa podacima obično zovu radne, a one sa instrukcijama — programske. Pošto mašina operiše samo sa jednom karticom u određenom vremenu, to se blok informacija na jednoj kartici često naziva jedinični upis. U slučaju da su informacije u celokupnom bloku samo numeričke prirode, one se mogu predstaviti i u čistoj binarnoj formi. Pri tome, otvori na kartici predstavljaju binarne jedinice, dok nepostojanje otvora odgovara binarnim nulama. Na ovaj način jedna kartica može da memoriše $80 \times 12 = 960$ bita.

Pri memorisanju dužih binarnih reči postaje neodrživ princip da se svaka reč upisuje u samo jednu kolonu kartice. Zbog toga se, na primer, reči od po 36 bita upisuju u horizontalne redove i to po dve reči u svaki red. Na taj način u jednu karticu može da se smesti 24 reči, odnosno 864 bita, što predstavlja 90% ukupnog kapaciteta kartice. Pored ovog načina, memorisanje reči dužine 36 bita vrši se i tako, što se svaka reč upisuje u tri kolone. Ovakvim postupkom u jednu karticu može da se smesti 26 reči, odnosno 936 bita, što čini 97,5% ukupnog kapaciteta kartice.

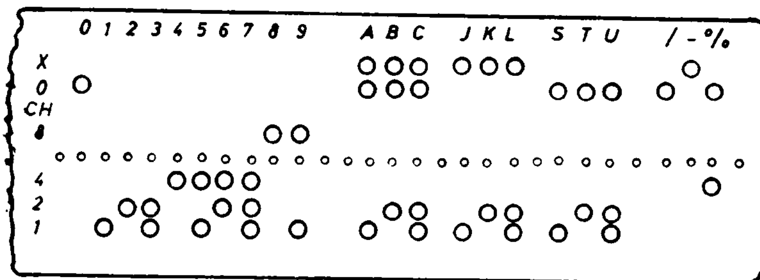
Upisivanje informacija u kartice vrši se mašinom za bušenje, pri čemu brzina rada i tačnost upisivanja zavise od manipulanata. Upisana informacija se prenosi u digitalni uređaj posredstvom čitača kartica, koji je u stanju da očita 100 — 1000 kartica u minutu. Čitanje se izvodi pomoću glave, koju čini mehanička četkica ili fotoćelija. Za svaku kolonu kartice predviđena je po jedna čitačka glava. Kad god takva glava naiđe na otvor u kartici, zatvara se neko električno kolo, čija struja indicira vrednost binarne jedinice.

Već smo pomenuli da se kartice upotrebljavaju i za memorisanje podataka na izlazu digitalnog sistema. U ovom slučaju bušačom kartica upravlja digitalni sistem. Ova operacija se izvodi brzinom od 100 — 250 kartica u minutu.

8.7.2. Bušene trake

Za razliku od kartica, bušene trake predstavljaju permanentne memorije praktično neograničenog kapaciteta. Izrađuju se od kvalitetne hartije u obliku trake širine 17,5 mm, koja je celom dužinom snabdevena otvorima za vođenje sl. 8.58. U ovakve trake unose se kontinualno kako radni tako i programski podaci, sa nešto većom gustinom memorisanja nego u slučaju kartica. Ovakav kontinualan način upisivanja je pogodan iz razloga što su sve informacije već složene po utvrđenom redosledu. S druge strane, međutim, učinjena greška pri upisivanju informacija zahteva zamenu kompletne trake umesto, na primer, samo jedne kartice. Isto tako, memorisanje na traci eliminiše mogućnost naknadne izmene, dopune ili sortiranje podataka, što se inače lako sprovodi sa karticama.

Upisivanje reči vrši se u redovima, koji su upravni na kretanje trake. Pošto se bušena traka već ranije upotrebljavala u teleprinterskom saobraćaju, to se i za memorisanje digitalnih podataka u računskoj tehnici koristi već postojeći petoznačni kod. Da bi se izbegle teškoće u pogledu pokrivanja većeg broja alfanumeričkih simbola od mogućeg broja kombinacija koda sa 5 bita, razvijen je za potrebe digitalnih sistema i kod sa 6, 7 pa i 8 bita.



Sl. 8.58. Bušena traka

Na sl. 8.58 prikazan je kod sa 6 odnosno 7 bita. Decimalne cifre upisuju se u kanale 8, 4, 2 i 1 i to tako, da otvori predstavljaju binarne jedinice sa odgovarajućim pozicionim vrednostima prirodnog *BCD* koda. Abecedni simboli prikazuju se na sličan način kao i u Holeritovom kodu, ali sa različitim brojem otvora. Slova od *A* — *I* imaju po dva karakteristična otvora u kanalima *X* i 0 i dodatne otvore u kanalima 8, 4, 2 i 1 prema abecednom i binarnom redosledu od vrednosti 1 — 9. Slova od *J* — *R* imaju karakterističan samo po jedan otvor u kanalu *X* i dodatne otvore u kanalima 8, 4, 2 i 1 obuhvatajući takođe vrednosti od 1 — 9. Najzad, slova od *S* — *Z* imaju takođe samo po jedan karakteristični otvor, ovog puta u kanalu 0, i ostale otvore u kanalima 8, 4, 2 i 1, ali sada sa vrednostima od 2 — 9.

Pored navedenih 6 kanala redovno se predviđa i kanal za kontrolu parnosti bita *CH*, koji na sl. 8.58 nije korišćen. Osim toga, iznad kanala *X* rezerviše se još jedan kanal koji se koristi za označavanje završetka jednog bloka memorisanih informacija. Uzimajući u obzir i ove kanale, za pokazano memorisanje informacija na sl. 8.58 kaže se da je izvedeno u kodu za osam otvora.

Očitavanje bušene trake u cilju unošenja memorisanog sadržaja u digitalni sistem, vrši se na sličan način kao i u slučaju kartica. Brzina očitavanja kreće se od 150 — 1000 karaktera u minutu. Kada se traka koristi kao memorija za izlazne podatke, bušač, kojim upravlja digitalni sistem, može da upiše u traku oko 900 karaktera u minutu.

8.8. POLUPROMENLJIVE MEMORIJE

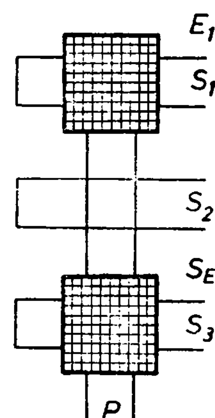
Sa gledišta mogućnosti promene sadržaja u memoriji, videli smo da se kod većine memorija to izvodi relativno lako: resetovanjem, brisanjem ili jednostavnim premagnetisavanjem signalima nove informacije. Takve memorije su znači varijabilne, odnosno promenljive. Za razliku od ovih, postoje i nepromenljive memorije, tj. memorije čiji sadržaj ne može da se menja. Takve memorije, videli smo, imaju utvrđen sadržaj, koji je unet u memoriju pri njenoj izgradnji ili kasnije u toku eksploatacije.

Pored promenljivih i nepromenljivih, postoje i polupromenljive, odnosno semivarijabilne ili semipermanentne memorije. Ove memorije su u suštini nepromenljive, jer se njihov sadržaj ne može jednostavno da briše, ili da menja. Međutim, konstruktivno su memorije tako izvedene, da se relativno jednostavnim, obično mehaničkim putem, može da promeni raniji sadržaj i to samo u unapred predviđenim granicama. Posmatrano sa gledišta primenjenih elektronskih kola, polupromenljive memorije često predstavljaju više kombinacionu nego sekvencijalnu mrežu, ali funkcionalno one ipak imaju memorijsku ulogu.

Polupromenljive memorije realizuju se kako sa nelinearnim tako i sa linearnim elementima. Primera radi, ovde ćemo pokazati princip rada memorije, izvedene sa induktivnostima. Induktivna memorijska ćelija sastoji se od dva spregnuta namotaja: primarnog i sekundarnog. Propuštajući struju kroz primarni namotaj, indukovaće se napon u sekundaru, što se može vrednovati kao stanje logičke jedinice. Međutim, ako se bilo na koji način eliminiše sprega između namotaja, u sekundaru se neće pojaviti indukovani napon, pa se takvo stanje može okarakterisati vrednošću logičke nule. Šta više, umesto jednog, može da se predvidi i više sekundarnih namotaja, tako da oni skupa memorišu neki određeni karakter. Na primer, ako postoje tri sekundarna namotaja, onda se, uspostavljanjem i ukidanjem pojedinačnih sprega sa primarom, može da formira osam reči od po tri bita.

Jednostavan način menjanja induktivne sprege između namotaja može da se izvede pomoću uvrtanja ili odvrtanja feritnog jezgra. Ako je sprega između namotaja bez jezgra dovoljno slaba, a sa jezgrom jako povećana, amplitude indukovanog napona u sekundaru mogu da se diskriminišu kao dva logička nivoa. Ukidanje induktivne sprege između namotaja može da se izvede i umetanjem zaštitnog bakarnog lima između primara i odgovarajućeg sekundara. To znači da će induktivna ćelija sa bakarnim zastorom memorisati binarnu nulu, a bez zastora — binarnu jedinicu. Ovakav način izmene programa polupromenljive memorije je dosta jednostavan, ali ipak iziskuje znatno duže vreme od onoga što se inače predviđa za jednu digitalnu operaciju.

Na sl. 8.59 prikazana je induktivna polupromenljiva memorija u kojoj su upotrebljeni namotaji sa jednim zavojkom. Namotaje čine u stvari paralelni vodovi, kratko spojeni na suprotnom kraju. Primarni i sekundarni namotaji ukrštaju se pod pravim uglom na neznatnom međusobnom rastojanju. Propuštanjem struje kroz primarni namotaj P, u sekundarnim namotajima S mogu se indukovati vrlo mali naponi, pošto u datim uslovima između primara i sekundara teorijski ne postoji induktivna sprega. Sprega između namotaja može jednostavno da se ostvari na taj način, što se mesto ukrštanja primara i sekundara prekriva sprežnim elementom SE, koji može da bude metalna pločica velike provodnosti, sl. 8.59. U stvari, pomenuta pločica je samo posrednik između primarnog i sekundarnog namotaja. Naime, strujni impuls primarnog namotaja indukuje vihorne struje u metalnoj pločici, a fluks ovih struja indukovaće odgovarajući napon u sekundarnom namotaju. Prema tome, sprega između primara i sekundara ostvaruje se posredstvom vihornih struja u sprežnom elementu. Ovakvi sprežni elementi mogu da se izrade tehnikom štampanih kola u obliku programirane kartice za celu memorijsku ravan. Raspolažući takvim karticama izmena programa memorije postaje vrlo jednostavna (22).



Sl. 8.59. Induktivna polupromenljiva memorija

Napomenimo na kraju da se umesto pune metalne pločice za sprežni element može da upotrebi samo metalni okvir. Šta više, takav okvir može da bude namotaj sa jednim zavojkom u obliku rama. U ovom slučaju sprežni elementi ostaju stalno na istom mestu, a promena programa memorije vrši se prekidanjem sprežnog zavojka.

8.9. ASOCIJATIVNE MEMORIJE

U nekim primenama računara javlja se potreba da se raspoloživi podaci uzimaju iz memorije, ne posredstvom adrese njihovih lokacija, već na bazi nekih kriterija u pogledu njihovog sadržaja. To znači da smeštene informacije u memoriji nemaju pozicione već sadržajne adrese. Ovakve memorije nazivaju se asocijativne ili memorije sa sadržajnom adresom. (U literaturi se često označavaju skraćenicama *CAM* ili *DAM* tj. content-addressed, odnosno data-addressed memory). Potreba za ovako organizovanim memorijama nameće se prvenstveno pri rešavanju problema razvrstavanja, odnosno sortiranja velikog broja podataka, zatim pri iznalaženju nekih iz mnoštva drugih podataka, u rešavanju teorije grupa i matričnih problema itd.

Kao posebnu ilustraciju prikazaćemo primenu asocijativne memorije pri kataloškom sređivanju knjiga u bibliotekama. Memorisana informacija o svakoj knjizi mora da sadrži sledeće podatke: naslov knjige, ime autora, predmet (karakter gradiva u knjizi) i mesto gde se nalazi u biblioteci. Svakom navedenom podatku pripada specifični deo informacije, odnosno reči. Ako knjiga obuhvata više predmeta, biće uneta u nekoliko memorijskih lokacija.

Iznalaženje knjiga u gornjem primeru po bilo kom kriterijumu može da se izvede postupnim ispitivanjem svake memorijske lokacije dolazeći do njih posredstvom adresa u slučaju da se radi o uobičajenoj memoriji. Međutim, primenom asocijativne memorije, sve memorisane informacije upoređuju se istovremeno sa odabranim asocijativnim kriterijumom, na primer prema naslovu knjige. Prema tome, ovakav postupak je znatno brži jer simultano iznalazi sve informacije kod kojih se određeni deo poklapa sa postavljenim asocijativnim kriterijumom.

Prisustvo i lokacija traženih reči u memoriji mogu, dakle, da budu određeni specificiranjem bilo kog poznatog dela reči. Otuda jedna ista reč u memoriji može da ima više asocijativnih kriterija. Da bi se došlo do traženih reči koje su smeštene bilo gde u asocijativnoj memoriji, treba, prema tome, izvesti sledeće postupke: izvršiti nedestruktivno upoređivanje zadatog kriterijuma sa svakom reči u memoriji; predvideti mogućnost identifikovanja reči koje odgovaraju postavljenom kriterijumu; najzad, omogućiti pristup lokacijama odgovarajućih reči da bi se kasnije obavilo očitavanje njihovog sadržaja. Iz prethodnog proizilazi da svakoj operaciji očitavanja prethodi operacija kompariranja. Isto tako kompariranje mora da prethodi i operaciji upisivanja informacije. Na primer, da bi se upisale informacije u prazne lokacije, mora se memorija ispitati sa asocijativnim kriterijumom koji sadrži samo logičke nule. Na taj način otkriće se prazne lokacije, u koje se posle toga mogu da unesu nove informacije.

Očigledno je da su asocijativne memorije u principu složenije od uobičajenih memorijskih sistema. S obzirom da je potrebno, da se operacija kompariranja izvede nedestruktivno, za ovakve memorije su pogodni nedestruktivni memorijski elementi. Posebno za ovaj tip memorija pogodne su kriotronske memorijske ćelije [31]. Veliki nedostatak memorija sa kriogenim elementima je potreba vrlo niskih temperatura, na kojima se ostvaruju uslovi superprovodljivosti materijala. Zbog toga su asocijativne memorije realizovane i u drugim tehnikama, na primer sa magnetnim jezgrima[32]. Kapacitet ostvarenih asocijativnih memorija kreće se do oko 3000 kilobita sa ciklusnim vremenom komparacije od 50 μ s.

LITERATURA

1. *Turner, J.F.*: Digital Computer Analysis, Merril, Columbus, Ohio, 1968, gl. 16 i 17
2. *Millman, J., Taub, H.*: Pulse, Digital and Switching Waveforms, McGraw-Hill, New York, 1966, pgl. 9.13 i 9.14
3. *Malvino, A.P., Leach, D.P.*: Digital Principles and Applications, McGraw-Hill, New York, 1969, pgl. 9.1, 9.7 i gl. 12
4. *Gillie, A.C.*: Pulse and Logic Circuits, McGraw-Hill, New York, 1968, pgl. 20.6—9
5. *Kinter, P.M.*: Electronic Digital Techniques, McGraw-Hill, New York, 1968, gl. 7
6. *Sifferlen, T.P., Vartanian, V.*: Digital Electronics, Prentice-Hall, Englewood Cliffs, New Jersey, pgl. 9.1 i 3
7. *Oberman, R.M.M.*: Disciplines in Combinational and Sequential Circuit Design, McGraw--Hill, New York, 1970, gl. 16
8. *Lo, A.W.*: Introduction to Digital Electronics, Addision-Wesley, Reading, Massachusetts, 1967, gl. 6
9. *Knüpfer, A.*: Technik Digitaler Rechenanlagen, VEB, Berlin, 1969, gl. 8
10. *Davies, D.W.*: Digitaltechnik, R. Oldenbourg Verlag, München, 1966, gl.7
11. *Phister, M.J.*: Logical Design of Digital Computer, John Wiley, New York, 1958, gl.7
12. MOS Integrated Circuit and Their Applications, Philips application book, Aug. 1970
13. *Strauss, L.*: Wave Generation and Shaping, McGraw-Hill, New York, 1970, gl.14 i 15
14. Memories: practice and promise (više članaka), Electronics, Vol. 41, No 22, Oct. 28, 1968, str. 104—119, i Vol. 41, No 23, Nov. 11, 1968, str. 124—133
15. Computer memories (više članaka), Electronics World, Vol. 4 No. 4, Oct. 1970, str. 37—60
16. *Rössler, B.*: Magnetschicht-Speicher, Entwiklungsberichte Siemens-Halske Werke, Jg.32, Sept. 1969, str. 25—29
17. *Metzdorf, W.*: Die Eigenschaften von Magnetschicht-Specherzellen und ihre gegenseitige Wechselbezeichnungen, Entwiklungsberichte Siemens-Halske Werke, Jg.32, Sept. 1969, str. 49—56
18. *Walter, K.H.*: Der Magnetdraht — ein neues Element für Arbeitsspeicher, Radio mentor, 8/1970, str. 546—552
19. *Walker, P.A.*: Faster computer stores are now economically viable, Electr. Engng., Vol. 43, No 525, Nov. 1971, str. 32—33
20. *Rajchman, J.A.*: Computer memories — possible future developments, RCA review, Vol. 23, No. 2, June 1962, str. 137—151
21. *Chen, D., Tufte, O.N.*: Optical memories — now and in the future, Electronics World, Oct. 1970, str. 60
22. *Froman — Bentchkowsky, D.*: An integrated metal-nitride-oxidesilicon (MNOS) memory, Proc. IEEE, Vol. 57, No 6, June 1969 str. 1190—92, kao i Proc. IEEE, Vol. 58, No 8, Aug. 1970, str. 1207—19 Horniger, K.: Elektrisch umprogrammierbare Speichermatrix mit MNOS--Transistoren, Elektronik-Industrie, 5/6, 1972, str. 94
23. *Froman-Bentchkowsky, D.*: A fully-decoded 2048-bit electricaly-programmable MOS-ROM, IEEE Intern. Solide-State Circuits Conference, 1971, ISSCC 71
24. *Altman, L.*: New MOS technique points way to junctionless devices, Electronics, Vol. 43, No 10, May 11, 1970 str. 112—118
25. *Neale, R.G., Nelson, D.L., Moore, G.E.*: Amorphous semiconductors, Electronics, Vol. 43, No 20, Sept. 28, 1970, str. 56—60
26. *Schmidt, J.D.*: Integrated MOS-random-access-memory, Solide-State Design, Jan. 1965, str. 21—25

(26) *Vadasz, L.L., Chua, H.T., Grove, A.S.*: Semiconductor randomaccess memories, IEEE Spectrum, Vol. 8, No. 5, May 1971, str. 40—48

27. *Potić, V.*: Jedna vrsta polupromenljive memorije induktivnog tipa, Zbornik mater. IX konf. ETAN-a, Bled, Nov. 1964
28. *Cornereto, A.*: Associative memories, Electronic Design, Vol. 11, No 3, Febr. 1. 1963, str. 40—55
29. *Lewin, M.H.*: Retrival of ordered lists from a content-addressed memory, RCA review, Vol. 23, No 2, June 1962, str. 215—229
30. *Newhouse, V.L., Fruin, R.E.*: Data addressed memory using thinfilm cryotrons, Electronics, Vol. 35, No 18, May 4, 1962, str. 31—36
31. *Burns, L.L.*: Cryoelectric memories, Proc. IEEE, Vol. 52, No 10, Oct. 1964, str. 1164—1176, kao i Proc. IEEE, Vol. 52, No 10, Oct. 1964, str. 1164—1190 (više članaka)
32. *Kiseda, J.R., Petersen, H.F., Seelbach, W.C., Teig, M.*: A magnetic associative memory, IBM Journal of research and development, Vol. 5, No 2, April 1961, str. 106—11121

GLAVA 9

BROJAČI

Elektronski brojači su digitalne naprave, koje generišu binarne kombinacije signala u jednom određenom redosledu tako, da se mogu interpretirati kao niz sukcesivnih brojeva. Kako niz brojeva može monotono da raste ili da opada, to i brojači u principu mogu da broje unapred ili unazad. Brojači koji imaju mogućnost brojanja u oba smera nazivaju se bilateralni, reversibilni ili obostrani. Zavisno od smera brojanja, početno ili resetovano stanje brojača podešava se tako da odgovara najmanjoj ili najvećoj vrednosti u opsegu brojanja. Obično je podešeno da se brojač, po isteku punog opsega brojanja, vraća na početak i ponovo otpočinje ciklus brojanja. U nekim slučajevima ciklus brojanja može da bude i manji od punog opsega ili kapaciteta brojača. Kod ovakvih brojača postoji mogućnost proizvoljnog postavljanja početne ili završne vrednosti ciklusa brojanja.

Posmatrano sa aspekta digitalnih kola, brojači su sekvencijalne logičke mreže. To znači da osnovne komponente u brojačkim mrežama čine memorijski elementi i to flipflopovi. Prema tome, brojačke naprave, pored brojanja, imaju mogućnost i memorisanja — pamćenja rezultata brojanja izraženog u binarnom obliku. Vrlo često je potrebno da se rezultat brojanja prikaže i u vizuelnom obliku. U tom slučaju brojačka naprava se sastoji iz tri dela: brojača, koji sadrži sekvencijalnu mrežu, zatim dekodera, koji predstavlja kombinacionu mrežu i indikatora, koji sadrži bilo kakav uređaj za vizuelno prikazivanje simbola. Prema tome, zavisno od namene, brojač može da sadrži samo brojačku jedinicu, ali isto tako pored brojačke još dekodersku i indikatorsku jedinicu. U integrisanoj tehnologiji obično se brojačka i dekoderska jedinica izrađuju za jednu dekadu kao jedinstven blok, na koji se priključuje indikator kao diskretna komponenta.

Primena brojača je veoma raznovrsna. U prvom redu oni služe za jednostavno brojanje bilo kakvih fizičkih jedinki u industrijskom ili komercijalnom poslovanju. U mernoj instrumentaciji brojači se koriste za merenje periode i učestanosti signala, a u vezi s tim nalaze primenu u meračima vremena, brzine i rastojanja, zatim u instrumentima za merenje struje, napona i otpora itd. U digitalnim sistemima brojači se koriste za formiranje kontrolnih signala, za generisanje referentnog napona pri analogno-digitalnoj konverziji, za obavljanje nekih aritmetičkih operacija i drugo. U mnogim primenama brojači su jednostavno delitelji učestanosti, delitelji broja impulsa. Klasičan primer takve primene brojača susreće se u digitalnim časovnicima. Na kraju ukažimo na činjenicu da je prvobitni razvoj elektronskih brojača bio diktiran potrebom merenja atomskih zračenja. Pošto su brojači za ove svrhe više poznati kao skaleri, to se ponekad isti naziv koristi i kao sinonim za reč brojač uopšte.

9.1. BINARNI BROJAČI

Sa gledišta eksploatacije neosporno je da su najpogodniji brojači koji rade u dekadnom brojnom sistemu. Međutim, iz već poznatih razloga u digitalnim uređajima primenjuje se pretežno binarni brojni sistem pa, prema tome, i osnovne šeme brojača imaju binarni karakter. Binarni brojač sastoji se od većeg broja binarnih memorijskih elemenata spregnutih međusobno na određeni način. Dovođenjem impulsa na ulaz brojačke mreže, menjaju se stanja tih elemenata zavisno od rednog broja dovedenog impulsa, kao i od prethodnog stanja u kome su se nalazili. Prema tome, binarno brojanje biće predstavljeno različitim stanjima binarnih elemenata, odnosno logičkim vrednostima napona na njima. Ako su ove vrednosti, izražene logičkim jedinicama i nulama, identične u svim slučajevima sa odgovarajućim binarnim brojevima onda takav brojač poseduje prirodni binarni tok brojanja, odnosno prirodni binarni kod. Pored ovog koda brojači mogu da imaju i drukčije kodove, koji se ostvaruju posebnim spregama memorijskih elemenata.

Pri projektovanju brojača primenjuju se uglavnom dve osnovne koncepcije šemiranja brojačke mreže. Prema prvoj koncepciji, svi memorijski elementi brojača vezuju se redno jedan za drugi, a brojački impulsi dovode se samo na ulaz prvog elementa. Ovakvi brojači nazivaju se redni (asinhroni). Prema drugoj koncepciji, brojač sadrži takođe niz redno spregnutih memorijskih elemenata, ali se brojački impulsi dovode istovremeno na ulaze svih elemenata. Ovakvi brojači nazivaju se paralelni, što je opravdano sa gledišta istovremenosti aktiviranja memorijskih elemenata, odnosno njihovog sprezanja na izvor brojačkih impulsa. Pored toga ovi brojači se nazivaju još i sinhroni. Napomenimo da postoje i redno-paralelni brojači kod kojih su, znači, zastupljene obe prethodne koncepcije u pojedinim delovima brojačke mreže.

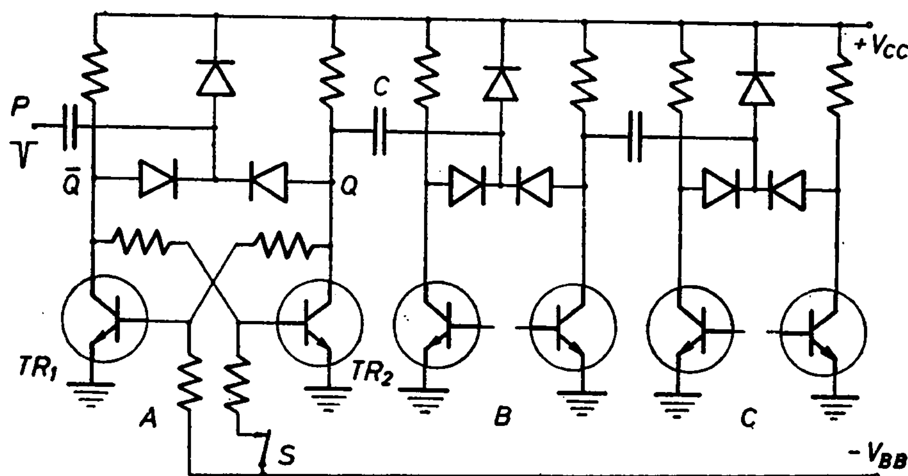
9.1.1. Brojači sa rednom pobudom

Brojači sa rednom pobudom, ili kraće, redni brojači su najjednostavnije brojačke mreže. Kao takve one se dosta primenjuju naročito u slučajevima gde nisu potrebne velike brzine rada. Osnovni elementi brojačke mreže su flipflopovi. Sa gledišta principa rada brojača logički tip flipflopa nije bitan. Zbog toga ćemo uzeti u razmatranje binarni brojač sa *T* flipflopovima, čija je šema izrade sa diskretnim komponentama data na sl. 9.1 a, a blok-šema na sl. 9.1 b. Pokazana šema brojača sadrži tri flipflopa, od kojih je samo prvi ucrtan sa svim potrebnim detaljima. Negativni brojački impulsi dovode se na ulazni priključak flipflopa A. S obzirom da se radi o trigerskom binarnom elementu, svaki ulazni impuls menja prethodno stanje u njemu. Pošto su i flipflopovi *B* i *C* osetljivi samo na negativne impulse, to će se njihova stanja da menjaju kadgod se na izlazu *Q* prethodnog flipflopa uspostavlja niski nivo napona.

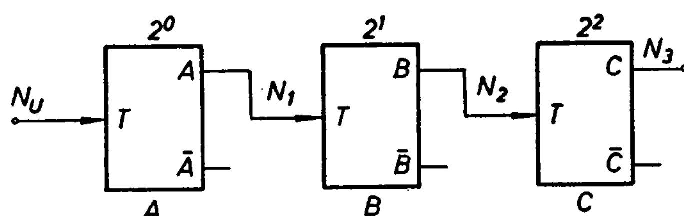
Način rada brojača najbolje se ilustruje vremenskim dijagramima napona na izlazima memorijskih elemenata, sl. 9.2. Pošto je brojač sekvencijalna mreža mora biti pre svega definisano njegovo početno stanje. Kod uređaja koji broje unapred redovno se za početno stanje uzima nivo napona na flipflopovima koji odgovara vrednosti logičke nule. Prema tome, pre početka brojanja tranzistori na desnoj strani svakog flipflopa moraju biti dovedeni u provodno stanje. To se može postići istovremenim kratkotrajnim otvaranjem prekidača *S* na svim flipflopovima. Na taj način vrši se dakle, resetovanje brojača, što je na vremenskim dijagramima prestavljeno niskim nivoom napona na binarnim stepenima *A*, *B*, i *C*.

Dovođenjem prvog impulsa na ulaz brojača, nastaje setovanje flipflopa *A*, te se na njegovom izlazu uspostavlja pozitivan napon. Pošto ovakva promena napona na stepenu *A* ostaje bez uticaja na flipflop *B*, to on ostaje i dalje u resetovanom stanju.

Drugi ulazni impuls ponovo trigeruje stepen *A*, te na njegovom izlazu *Q* nastaje negativni pad napona. Ovakva promena napona prenosi se preko sprežnog kondenzatora *C* na sledeći stepen, uspostavljajući u njemu stanje logičke jedinice. Nastala promena napona na izlazu flipflopa *B* ne utiče na postojeće stanje u sledećem binarnom stepenu.



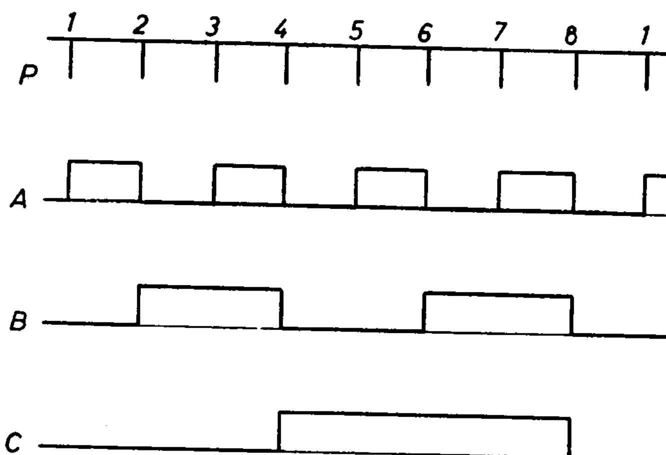
(a)



(b)

Sl. 9.1. Redni binarni brojač
(a) šema veza
(b) blok-šema

Treći impuls izaziva samo ponovno setovanje flipflopa *A*. Četvrti impuls resetuje ovaj stepen, a negativni napon na njegovom izlazu izaziva resetovanje stepena *B*. Prema tome, sa četiri impulsa ostvarena su dva ciklusa izmene stanja u flipflopu *A* i



Sl. 9.2. Vremenski dijagrami trostepenog brojača

jedan u flipflopu *B*. Očigledno je, pored toga, da negativna promena napona na izlazu stepena *B* uzrokuje još i setovanje flipflopa *C*. Njegov ciklus izmene stanja završiće se tek pri osmom impulsu. To znači da brzina rada memorijskih elemenata u brojačkoj mreži opada sa faktorom 2 po svakom elementu udaljujući se od ulaza.

Pored vremenskih dijagrama za prikazivanje rada brojača koriste se i kombinacione tabele. Kombinacione vrednosti brojača mogu da se odrede koristeći karakteristične jednačine izlaza upotrebljenih flipflopova. U datom slučaju te vrednosti se mogu lako da odrede poznavajući princip rada opisanog brojača. Ukratko rečeno taj princip se može da izrazi sa sledeća dva pravila:

1. Prvi flipflop brojača menja stanje pri svakom spoljašnjem impulsu na ulazu;
2. Svi ostali flipflopovi menjaju stanje samo kad se u prethodnom flipflopu uspostavlja stanje logičke nule.

Primenjujući gornja pravila na trostepeni brojač sa sl. 9.1, određuju se kombinacione vrednosti binarnih elemenata A, B i C posle svakog okidnog impulsa P_i, kao što je to pokazano u tabeli 9.1. Upoređujući ove vrednosti sa logičkim nivoima napona u vremenskim dijagramima na sl. 9.2, vidi se da se radi o jednoj istoj brojačkoj mreži, čiji je način rada prikazan samo na različite načine.

Zapazimo da redosled kombinacija u tabeli 9.1 u potpunosti odgovara prirodnom brojanju u binarnom brojnom sistemu. To znači da opisani brojač poseduje prirodni binarni kod. Otuda se, pripisujući kolonama A, B i C odgovarajuće pozicione vrednosti, za svaku kombinaciju brojača može da izračuna i vrednost odbrojanih impulsa. Poziciono vrednovanje pojedinih stepena brojača naznačeno je na sl. 9.1 b. Uočimo da ulazni stepen ima najnižu pozicionu vrednost 2^0. U brojaču sa n stepena najveća poziciona vrednost 2^{n-1} pripada krajnjem desnom stepenu. Prema tome, za n—to stepeni brojač decimalni broj N_D određuje se po formuli:

$$N_D = 2^0 Q_0 + 2^1 Q_1 + 2^2 Q_2 + \cdots 2^{n-1} Q_{n-1}, \tag{9.1}$$

Broj impulsa P_i	Flipflopovi		
	C	B	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Tabela 9.1. Kombinacione vrednosti trostepenog binarnog brojača

gde su Q_i obeleženi izlazi flipflopova prema izložiocima pozicione vrednosti, naime $Q_A = Q_0$, $Q_B = Q_1$ itd.

Zapazimo da kod rednog binarnog brojača važi pravilo: kadgod nastane promena stanja u jednom stepenu, mora biti da je izvršena promena stanja od jedinice ka nuli u svim prethodnim stepenima brojača. Isto tako, ako se u prvom flipflopu uspostavi stanje logičke nule, ono će se prenositi na sledeće flipflopove sve dotle, dok se u nekom flipflopu ne uspostavi stanje logičke jedinice. Promena stanja u flipflopovima je sukcesivna, tj. izmena stanja u sledećem flipflopu započinje praktično tek onda kada je završena promena stanja u prethodnom flipflopu. Prema tome u n-to stepenom rednom brojaču najduže prelazno vreme može da traje

$$t_{p\max} = n \cdot t_d, \tag{9.2}$$

gde je t_d vreme kašnjenja u jednom flipflopu. Očigledno je da ovo vreme ograničava brzinu rada brojača, pošto perioda ponavljanja brojačkih impulsa mora da bude veća od vremena $t_{p\max}$.

Imajući u vidu da svaki flipflop u brojaču deli broj okidnih impulsa na njegovom ulazu sa dva, to se prema oznakama na sl. 9.1 b može da piše: $N_1 = N_u/2$, $N_2 = N_1/2$, $N_3 = N_2/2$, odnosno

$$N_k = \frac{N_{k-1}}{2}, \tag{9.3}$$

gde je k redni broj binarnog elementa u brojačkoj mreži. Ako brojač sadrži n flipflopova lako se iznalazi da se na izlazu brojača generiše samo jedan impuls N_I na svakih 2^n ulaznih impulsa. Prema tome, binarni brojač radi kao delitelj broja impulsa čiji je odnos dat izrazom

$$\frac{N_U}{N_I} = 2^n. \tag{9.4}$$

Ovo postaje očigledno posmatrajući vremenske dijagrame brojača, koji pokazuju da se resetovano stanje u svim stepenima brojača ponovo uspostavlja posle odbrojanih 2^n impulsa. To znači da se sa ovim brojem impulsa završava kompletan ciklus brojanja. Zbog toga se vrednost

$$M_0 = 2^n \tag{9.5}$$

naziva moduo ili osnova brojanja binarnog brojača. Prema tome binarne trostepene mreže, kao što je, na primer, ona na sl. 9.1, imaju osnovu brojanja 8, odnosno $M_0 = 8$. Brojači sa ovom osnovom brojanja često se nazivaju oktalni, a njegova kombinaciona stanja, dakle, odgovaraju binarnim triadama oktalnog brojnog sistema.

Poznavajući moduo lako se izračunava i kapacitet binarnog brojača. Pošto se početno stanje brojača tretira kao nulto, kapacitet brojača je uvek za jedan manji od vrednosti modula, naime

$$N_K = M_0 - 1. \tag{9.6}$$

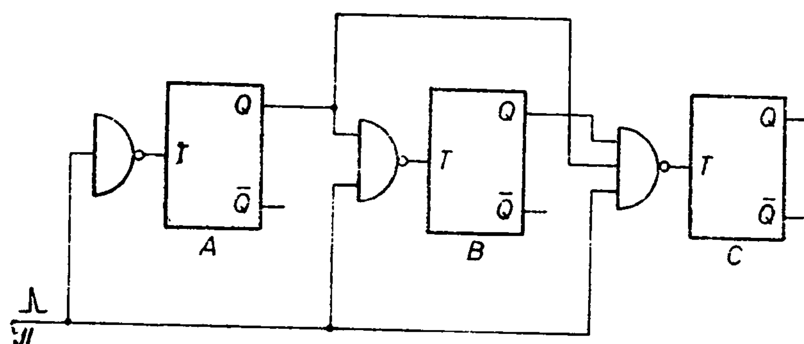
Kapacitet brojača u stvari predstavlja vrednost pune skale, odnosno najveću decimalnu vrednost brojača, koja se dobija za slučaj da su svi stepeni brojača u stanju logičke jedinice. Prema tome, kapacitet trostepenog brojača je 7. Dodajmo da će za kapacitet brojača decimalne vrednosti približno 1000 biti potreban desetostepeni binarni brojač.

9.1.2. Brojači sa paralelnom pobudom

Redni brojač je po konstrukciji najjednostavniji, te stoga nalazi veliku primenu svuda gde nisu u pitanju velike brzine. Kako je maksimalno prelazno vreme ovakvog brojača proporcionalno broju stepeni, to znači da redni brojači nisu pogodni za veće kapacitete brojanja. Ograničenja u pogledu brzine rada brojača mogu da budu prevaziđena ako se umesto rednog koristi paralelni, odnosno sinhroni brojač. Kod ovog brojača brojački impulsi se dovode istovremeno na sve flipflopove, tako da se izmena stanja u svim aktiviranim stepenima obavlja istovremeno. Prema tome, prelazni režim brojača se praktično svodi na vreme kašnjenja jednog stepena.

Konstrukcija paralelnog binarnog brojača je složenija nego rednog. Dok su kod rednog brojača binarni stepeni mogli da budu spregnuti direktno, kod paralelnog sprega se ostvaruje posredstvom logičkih elemenata, najčešće pomoću *I* ili *NI* kola. Ova kola treba da obezbede rad binarnog brojača prema ranije navedenim pravilima, naime prvi flipflop da se aktivira pri svakom pobudnom impulsu, drugi pri svakom drugom, treći pri svakom četvrtom ulaznom impulsu itd. Šema jednog takvog trostepenog brojača data je na sl. 9.3. *NI* kolo na ulazu u stepen *A* služi samo za invertovanje pozitivnih okidnih impulsa, pošto su upotrebljeni *T* flipflopovi osetljivi na negativne impulse. Prema tome, prvi stepen biće eksitovan pri svakom ulaznom impulsu. Stepen *B* može biti eksitovan samo kada se stepen *A* nalazi u stanju logičke

jedinice, a za eksitaciju stepena C potrebno je da oba prethodna stepena A i B budu istovremeno u setovanom stanju. To znači da logički elementi vrše u neku ruku selekciju svakog drugog, četvrtog, osmog sinhronog impulsa sa ulaza, kao što to iziskuje prirodni kod binarnog brojača. Prema tome, kombinacione vrednosti u tabeli 9.1, kao i vremenski dijagrami na sl. 9.2 važe u potpunosti i za paralelni brojač na sl. 9.3.

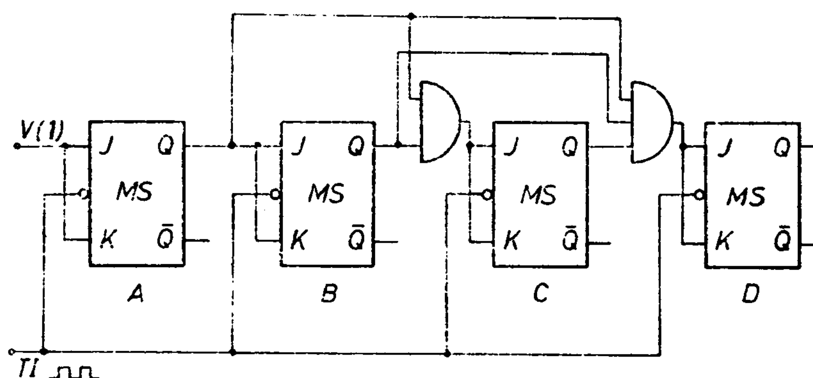


Sl. 9.3. Paralelni binarni brojač

Što se tiče prednosti ovog brojača u pogledu trajanja prelaznih stanja najbolje je rasmotriti slučaj između sedmog i osmog impulsa, sl. 9.2. Posle sedmog impulsa sva tri flipflopa su setovana, čime su NI kola u paralelnom brojaču pripremljena za propuštanje sledećeg impulsa. Sledeći, osmi impuls, prema tome, uzrokuje istovremeno resetovanje sva tri flipflopa, te prelazni režim iznosi

$$t_p = t_{d_{FF}} + t_{d_{NI}}. \tag{9.7}$$

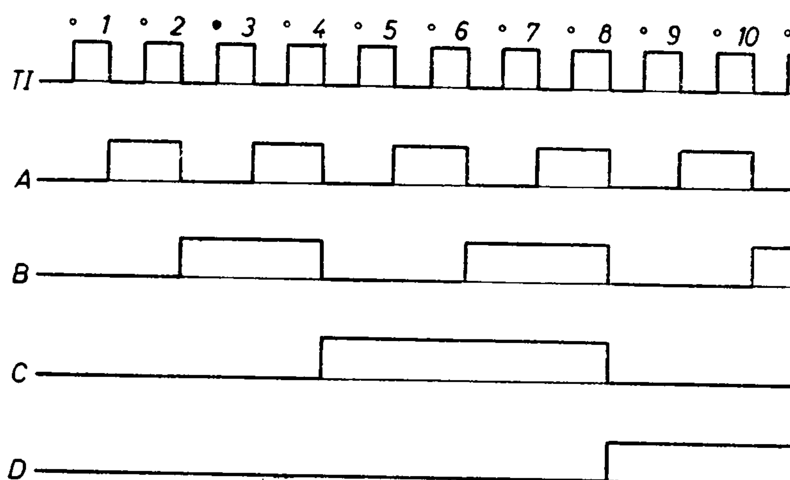
Dodajmo da bi u ovoj situaciji prelazni režim rednog brojača iznosio $t_p = 3\, t_{d_{FF}}$, što očito ukazuje na mogućnost bržeg rada brojača sa paralelnom pobudom.



Sl. 9.4. Binarni brojač sa MS flipflopovima

Sinhroni brojači su nesumljivo složenije konstrukcije, zbog čega se sa razlogom nameće potreba da budu izvedeni u integrisanoj tehnologiji. U vezi s tim, obično se umesto T flipflopova koriste JK flipflopovi. Da bi se još izbegle i eventualne greške u radu brojača zbog neusklađenosti trajanja okidnih impulsa i kašnjenja u memorijskim elementima, često se u paralelnim brojačima upotrebljavaju MS flipflopovi. Jedan takav brojač prikazan je na sl. 9.4. Upoređujući ovaj brojač sa prethodnim

dolazi se do zaključka da se radi o istoj koncepciji brojačke mreže, pošto je u upotrebljenim binarnim elementima zastupljena logika *T* flipflopova. Razlika je jedino u tome, što logički elementi u ovom slučaju imaju jedan ulaz manje pošto se taktni impulsi dovode na poseban priključak. No i pored toga, loša strana paralelnog brojača svakako je baš veliki broj ulaza logičkih elemenata u slučaju da se radi o brojaču većeg kapaciteta. Naime, u *n*-to stepenom brojaču potrebno je logičko kolo sa *n* ili (*n*—1) ulazom, zavisno od tipa upotrebljenih flipflopova. Pored toga, ukažimo i na veliku opterećenost prvih binarnih stepena u brojačkoj mreži. Tako, na primer, vidi se da je na izlaz prvog stepena brojača priključen (*n*—1) ulaz logičkih kola.



Sl. 9.5. Vremenski dijagrami binarnog brojača sa *MS* flipflopovima

Razume se da kombinaciona tabela i vremenski dijagrami ranijih binarnih brojača važe i za kolo na sl. 9.4 s tom razlikom, što je ciklus brojanja sada povećan na 16. Pa ipak, imajući u vidu način rada *MS* flipflopova, u vremenskim dijagramima stanja brojača pojavljuje se kašnjenje u odnosu na takt-impulse, koje je jednako trajanju pozitivnog dela periode tih impulsa. Da bi se obratila pažnja na to, na sl. 9.5 delimično su ucrtani vremenski dijagrami za četvorostepeni brojač sa *MS* flipflopovima, koji se pobuđuju taktnim impulsima *TI*. Obratimo pažnju da se ustaljeno stanje brojača uspostavlja u toku negativnog dela periode taktnih impulsa. Prema tome, logičke vrednosti u kombinacionoj tabeli 9.1 treba da odgovaraju nivoima napona, koji postoje u dijagramima na kraju ovog perioda.

9.1.3. Logički proračun brojača

Logički proračun brojača je od naročitog interesa pri projektovanju složene brojačke mreže sa specijalnom sekvencijom stanja memorijskih elemenata. U svakom slučaju, princip primene logičkog proračuna može biti objašnjen na nekom relativno jednostavnom primeru brojača, kao što je, na primer, onaj na sl. 9.4.

U logičkom proračunu brojača polazi se od njegove kombinacione tabele, koja se sastavlja na bazi postavljenih zahteva u pogledu kapaciteta, sekvencije kombinacija, raspoloživih komponenata itd. U konkretnom slučaju, dakle, radi se o četvorostepenom binarnom brojaču koga treba izvesti sa *JK* flipflopovima u trigerskom režimu rada. Kombinaciona tabela, znači, treba da sadrži sve vrednosti binarnih brojeva sa četiri bita, koje u stvari predstavljaju izlazna stanja flipflopova. Te vrednosti nave-

dene su u tabeli 9.2, kao stanja flipflopova A, B, C i D. Jedna određena kombinacija ovih stanja K predstavlja jedno stanje brojača S. Stanja brojača menjaju se prema utvrđenom redosledu, koji u datom slučaju odgovara prirodnom binarnom brojanju. Zbog toga su ovde stanja brojača i binarne kombinacije jedno te isto ($S_i = K_i$).

Stanje $S_i\,(K_i)$	Izlazi				Ulazi			
	D	C	B	A	T_D	T_C	T_B	T_A
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	1
2	0	0	1	0	0	0	0	1
3	0	0	1	1	0	1	1	1
4	0	1	0	0	0	0	0	1
5	0	1	0	1	0	0	1	1
6	0	1	1	0	0	0	0	1
7	0	1	1	1	1	1	1	1
8	1	0	0	0	0	0	0	1
9	1	0	0	1	0	0	1	1
10	1	0	1	0	0	0	0	1
11	1	0	1	1	0	1	1	1
12	1	1	0	0	0	0	0	1
13	1	1	0	1	0	0	1	1
14	1	1	1	0	0	0	0	1
15	1	1	1	1	1	1	1	1
16	0	0	0	0				

Tabela 9.2. Kombinacione vrednosti za binarni brojač sa T flipflopovima

Pored stanja brojača, kombinaciona tabela mora da sadrži i podatke o pobudnim impulsima koje treba dovesti na ulaze flipflopova, da bi se postojeće stanje S_i izmenilo u stanje S_{i+1}. Kako je u datom brojaču primenjena trigerska logika flipflopova A, B, C i D, to su njihovi ulazi obeleženi sa T. Primera radi, iz priložene tabele se vidi, da je za prelazak iz stanja S_0 u stanje S_1 potrebno dovesti impuls na ulaz T_A, za prelazak iz S_1 u S_2 potrebno je dovesti impulse na ulaze T_A, T_B itd.

Sprega binarnih elemenata brojača sadržana je u ulaznim jednačinama upotrebljenih flipflopova. Naime, ove jednačine se ispituju kao zbirovi logičkih proizvoda čije su vrednosti jednake jedinici. Da bi sprezanje flipflopova bilo izvedeno na što jednostavniji način, ulazne jednačine treba konačno da se svedu na što prostiji oblik. Na primer, za ulaznu jednačinu flipflopa C iz tabele 9.2 nalazi se:

$$T_C = \bar{D}\bar{C}BA + \bar{D}CBA + D\bar{C}BA + DCBA$$

$$= \bar{D}BA(\bar{C} + C) + DBA\,(\bar{C} + C)$$

$$= BA(\bar{D} + D) = BA.$$

Korišćenjem algebarskih transformacija, ili primenom Karnoovih dijagrama, nalaze se minimizirane funkcije i za ostale ulaze, tako da se konačno za ulazne jednačine flipflopova dobijaju:

$$T_A = 1 \qquad T_C = AB$$

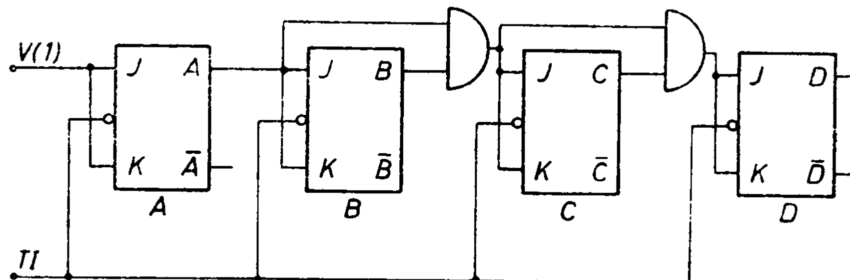
$$T_B = A \qquad T_D = ABC. \qquad (9.8)$$

Ovi izrazi pokazuju da su za spregu stepena C odnosno D potrebni logički elementi sa dva, odnosno sa tri ulaza. Stepen B vezuje se direktno na A, dok ulazi stepena A treba da su stalno na visokom naponu. Prema tome, brojačka mreža, izvedena prema izrazima (9.8), u potpunosti odgovara šemi brojača na sl. 9.4.

Već je pomenut nedostatak paralelnih brojača zbog potrebe logičkih kola sa velikim faktorom multiplikacije ulaza. Međutim, ovaj brojač može da bude ostvaren korišćenjem logičkih elemenata samo sa po dva ulaza. Na takvu mogućnost ukazuju i jedn. (9.8) ako se napišu u nešto drukčijem obliku, naime:

$$T_A = 1 \qquad T_C = BT_B$$
$$T_B = A \qquad T_D = CT_C. \tag{9.9}$$

Gornje uprošćavanje sprege uzima, dakle, u obzir činjenicu da je, na primer, informacija AB sadržana u informaciji T_C. Binarni brojač sa ovakvom spregom pokazan je na sl. 9.6. I ovde, kao što se vidi, svi flipflopovi se trigeruju istovremeno, no i pored toga maksimalna brzina brojača je nešto smanjena. To nastaje zbog toga što, na



Sl. 9.6. Modifikovani paralelni brojač

primer, informacija sa izlaza stepena A ne dolazi direktno na ulaz I kola u stepenu D već prethodno mora da prođe i kroz I kolo u stepenu C. Očigledno je da veći broj logičkih elemenata za spregu mogu izazvati kašnjenje informacije u tolikoj meri, da sledeći taktni impuls stigne na ulaz nekog stepena pre nego što je odgovarajući signal prispeo na priključke J i K.

Kao drugi primer logičkog proračuna uzmimo trostepeni binarni brojač sa RS flipflopovima. S obzirom da u ovom slučaju spoljašnji impulsi P efektivno deluju na R i S ulaze flipflopova, to je u tabeli 9.3. pored izlaznih stanja memorijskih eleme-

S_i (K_i)	P	C	B	A	R_C	S_C	R_B	S_B	R_A	S_A
0	1	0	0	0	0	0	0	0	0	1
1	1	0	0	1	0	0	0	1	1	0
2	1	0	1	0	0	0	0	0	0	1
3	1	0	1	1	0	1	1	0	1	0
4	1	1	0	0	0	0	0	0	0	1
5	1	1	0	1	0	0	0	1	1	0
6	1	1	1	0	0	0	0	0	0	1
7	1	1	1	1	1	0	1	0	1	0
8	1	0	0	0						

Tabela 9.3. Kombinacione vrednosti za brojač sa RS flipflopovima

nata A, B i C, uzeto u obzir i njihovo prisustvo. U drugom delu tabele dati su podaci o potrebnim pobudnim signalima na ulazima binarnih elemenata kako bi se ostvario predviđeni binarni kod brojača. Tako, na primer, da se pređe iz stanja S_0 u stanje S_1, treba setovati flipflop A, za prelazak iz stanja S_1 u S_2 — treba setovati flipflop B, ali isto tako i resetovati flipflop A, itd.

U ovom slučaju sprega brojačkih stepena je složenija, jer svaki stepen ima po dva ulaza. Da bi se odredili potrebni logički elementi za spregu, treba ispisati odgovarajuće ulazne, jednačine i svesti ih na najrostiji oblik. Tako, na primer, za ulaz S flipflopa A nalazi se:

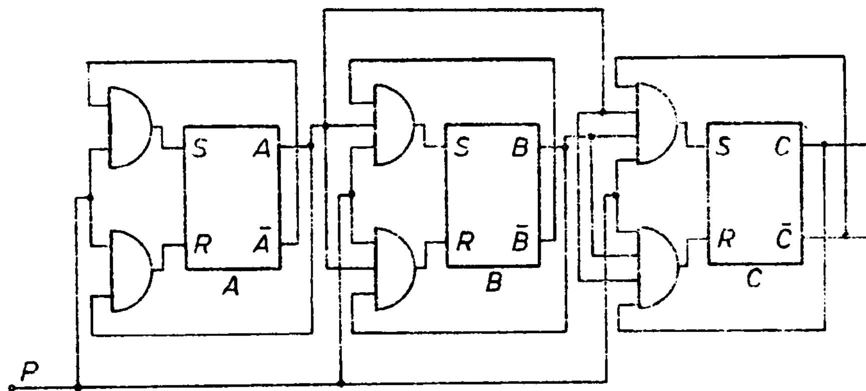
$$\begin{aligned} S_A &= P(\bar{C}\bar{B}\bar{A}+\bar{C}B\bar{A}+C\bar{B}\bar{A}+CB\bar{A}) \\ &= P\bar{C}\bar{A}(\bar{B}+B)+PC\bar{A}(\bar{B}+B) \\ &= P\bar{A}\,. \end{aligned}$$

Na isti način, dakle, ispisuju se i ostale jednačine, tako da se za specifikaciju sprežnih elemenata mogu koristiti konačni izrazi

$$R_A = PA \qquad R_B = PAB \qquad R_C = PABC$$

$$S_A = P\bar{A} \qquad S_B = PA\bar{B} \qquad S_C = PAB\bar{C}. \qquad (9.10)$$

Šema brojača, ucrtana prema izloženom logičkom proračunu, data je na sl. 9.7. Na prvi pogled ova šema izgleda dosta složena i manje razumljiva od prethodnih. Međutim, ako se bolje razmotri, uočava se i ovde postojanje flipflopova sa T logikom.



Sl. 9.7. Binarni brojač sa RS flipflopovima

Naime, prvi stepen, koga čine flipflop A i dva ulazna I kola sa naznačenim povratnim spregama, nije ništa drugo do trigerski flipflop (videti sl. 7.4). Ista konstrukcija T flipflopa uočljiva je i u ostalim stepenima. Prema tome, data šema brojača je u logičkom smislu identična sa onom na sl. 9.3, što je sasvim i razumljivo, jer se radi o istom tipu brojača.

Izlazna funkcija RS flipflopa data je ranije formulom

$$Q(T) = S + \bar{R}Q. \qquad (7.3$$

Primenjujući ovu formulu na flipflopove A, B i C u brojaču na sl. 9.7 može da se izvrši provera, da li nađene ulazne funkcije zaista obezbeđuju rad brojača u predviđenom kodu. Tako, na primer, za flipflop C može da se piše:

$$\begin{aligned} Q_C(T) &= S_C + \bar{R}_C Q_C \\ &= PAB\bar{C} \oplus \overline{PABC} \cdot C \\ &= PAB \oplus C. \end{aligned} \qquad (9.11)$$

Na isti način za ostale flipflopove se nalazi:

$$Q_B(T) = PA \oplus B$$

i

$$Q_A(T) = P \oplus A.$$

Proverimo stanje flipflopa C za redosled stanja od S_4 do S_8. Stanje S_4 proističe iz S_3. Stanje S_3 dato je za $AB = 1$ i $C = 0$. Prema tome, dovođenjem pobudnog imimpulsa P na ulaz stepena C na njegovom izlazu uspostavlja se stanje $Q_C(T) = PAB = 1$. U sekvencijama S_5, S_6 i S_7 prvi član u izrazu za $Q_C(T)$ je jednak nuli, te flipflop zadržava vrednost logičke jedinice iz prethodnih stanja. Naglasimo da jedn. (9.11) za vrednost logičke jedinice uslovljava isključivo postojanje prvog ili drugog člana. Prema tome, u poslednjoj — osmoj sekvenciji stepen C će imati vrednost logičke nule, pošto, prema stanju S_7, oba člana AB i C imaju vrednost jedinice.

9.1.4. Brojanje unazad

Svi do sada opisani brojači bili su izvedeni tako, da se svaki odbrojani impuls zbrajao sa prethodnim impulsima, čiji zbir je bio memorisan u brojačkoj mreži. Prema tome, takvi brojači brojali su stalno unapred, polazeći od najniže referentne vrednosti (obično od nule) pa do najviše vrednosti određene kapacitetom brojača. U nekim primenama javlja se potreba za brojačima koji broje unazad. Takvi brojači su u suštini isti kao i prethodni s tom razlikom, što se sledeći brojački stepen ne spreže za prethodni preko pravog, već preko komplementnog izlaza. Prema tome, svaki brojač može da se podesi da broji bilo unapred ili unazad, tj. da bude obostran.

Na sl. 9.8 pokazan je redni binarni brojač koji broji unazad. Početno stanje brojača odgovara najvećoj brojnoj vrednosti, te su stoga svi flipflopovi setovani. Prema tome, prvi spoljni impuls vrši resetovanje flipflopa A. Kako se tada na njegovom izlazu $\bar{Q}$ uspostavlja pozitivna promena napona, nastala izmena stanja u prvom stepenu ostaje bez uticaja na drugi stepen.

Sledeći ulazni impuls ponovo vraća prvi flipflop u stanje jedinice. Negativna promena napona na izlazu $\bar{Q}_A$ uzrokuje sada resetovanje flipflopa B, pri čemu stanje stepena C ostaje i dalje nepromenjeno. Postupnim praćenjem stanja binarnih elemenata u datom brojaču mogu se ucrtati njegovi vremenski dijagrami, kako je to urađeno na sl. 9.8 b. Ciklus brojanja trostepenog brojača završava se posle osmog impulsa, kada se u brojaču uspostavlja ponovo početno stanje.

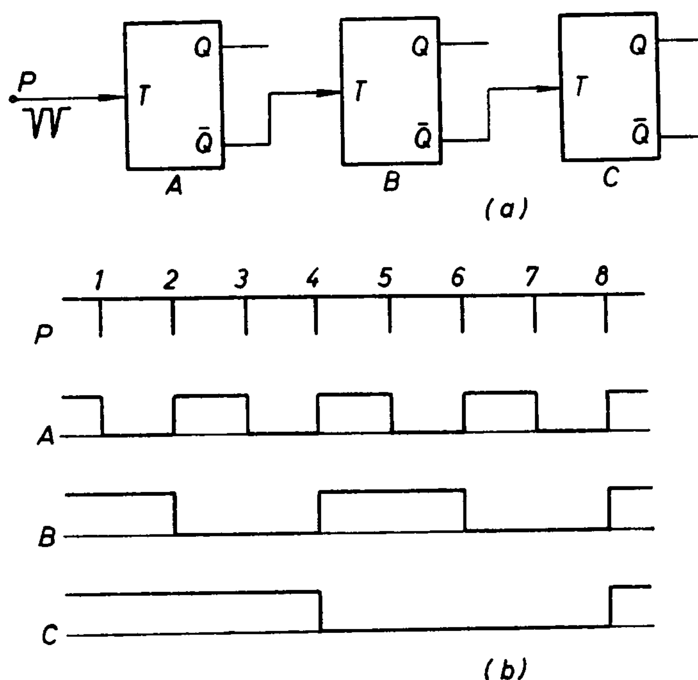
Kombinaciona tabela brojača, ispisana prema ucrtanim vremenskim dijagramima, pokazala bi da ovaj brojač ima binarni kod sa redosledom stanja koji odgovara brojanju unazad. Prema tome tabela 9.4, koja prikazuje rad ovog brojača, sadrži ista stanja kao i tabela 9.1, ali se binarne kombinacije K_i ređaju u obrnutom smeru.

Primetimo da su vrednosti izlaza Q na stepenima A, B i C brojača sa sl. 9.8 a potpuno iste kao i vrednosti izlaza $\bar{Q}$ odgovarajućih stepena brojača na sl. 9.1 b.

To znači da bi se u principu i normalni brojač mogao da upotrebi za brojanje unazad, koristeći pri tome komplementne izlaze njegovih memorijskih elemenata. Pa ipak, to se ne praktikuje zbog teškoća koje nastaju pri indikaciji rezultata brojanja. Naime, isti indikator trebalo bi da pokaže, na primer, vrednost 7 pri brojanju unapred, odnosno 0 pri brojanju unazad. Zbog toga je jednostavnije da se na pravim izlazima proizvedu kombinacije stanja, koje odgovaraju brojanju unazad.

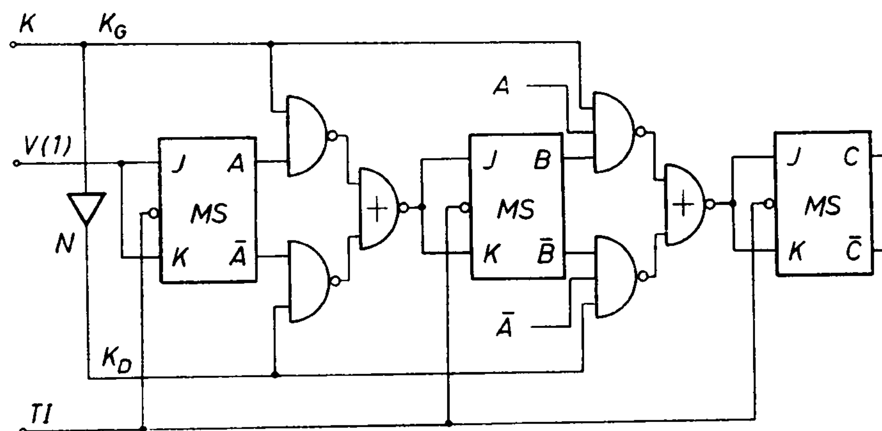
Si	*C B A*	*Ki*
0	1 1 1	7
1	1 1 0	6
2	1 0 1	5
3	1 0 0	4
4	0 1 1	3
5	0 1 0	2
6	0 0 1	1
7	0 0 0	0
8	1 1 1	7

Tabela 9.4. Kombinacione vrednosti pri brojanju unazad



Sl. 9.8. Brojanje unazad
(a) blok-šema brojača
(b) vremenski dijagrami

Obostrani brojač, kao što je rečeno, ima mogućnost brojanja kako u jednom tako i u drugom smeru. Da bi se to postiglo potrebno je na uobičajenim brojačima predvideti još samo kontrolne elemente, koji će omogućavati ispravnu spregu flip-



Sl. 9.9. Obostrani binarni brojač

flopova za jedan ili drugi način brojanja. Na sl. 9.9 ucrtana je šema bilateralnog binarnog brojača sa paralelnom pobudom. Upotrebljeni memorijski elementi imaju logiku *T* flipflopova, zbog čega su svi priključci *J* i *K* spojeni zajedno. Paralelna koncepcija brojača iziskuje primenu logičkih *I* kola sa faktorom multiplikacije ulaza, koji se povećava srazmerno broju binarnih elemenata. U konkretnom brojaču broj

ulaza sprežnih elemenata povećava se još za jedan priključak više zbog kontrolnog voda K_G ili K_D za određivanje smera brojanja, prema gore ili prema dole. S obzirom da brojač ima mogućnost biranja jednog ili drugog smera, sprega flipflopova sa pravim ili komplementnim izlazom prethodnog stepena ostvaruje se preko *ILI* kola. Umesto logičkih *I* i *ILI* kola u datom brojaču su upotrebljena *NI* i *NILI* elementi, što niukoliko ne menja opisanu logiku.

Način rada brojača u bilo kom smeru brojanja je isti kao i onog na sl. 9.4. Kada brojač treba da broji unapred, kontrolni priključak *K* se postavlja na visoki napon *V*(1). Zahvaljujući invertoru *N*, napon na donjem kontrolnom vodu K_D ima vrednost *V*(0), usled čega su blokirana sva *NI* kola vezana na komplementne izlaze flipflopova. Na taj način je isključena mogućnost brojanja unazad. S druge strane, kontrolni vod K_G je na visokom naponu, te gornja *NI* kola obezbeđuju normalnu spregu za brojanje unapred. U slučaju da se želi ostvariti brojanje unazad, dovoljno je samo da se na kontrolni priključak *K* postavi niski napon *V*(0). Tada će gornja *NI* kola da budu blokirana, a preko donjih se obezbeđuje potrebna sprega binarnih elemenata za brojanje unazad.

9.2. BROJAČI SA PROIZVOLJNIM MODULOM

Prirodna osnova brojanja binarnih brojača iznosi 2^n, gde je *n* broj memorijskih elemenata u brojačkoj mreži. Prema tome, binarni brojači mogu da budu izgrađeni samo sa modulima 2, 4, 8, 16 itd. U praktičnim primenama, međutim, javlja se potreba za brojačima koji imaju i druge — proizvoljne vrednosti osnove brojanja. Ovakvi brojači u osnovnoj mreži koriste istu tehniku izvođenja kao i ranije opisani, s tom razlikom što se ovde još uvode pogodne sprege za permutaciju, odnosno izmenu prirodnog odnosa delenja. Naime, pošto je modul brojača definisan brojem različitih stanja u jednom brojačkom ciklusu, to uvedene sprege binarnih elemenata treba da obezbede uspostavljanje početnog stanja u brojaču po isteku proizvoljno odabranog broja sekvencija. Tako, na primer, brojač sa tri binarna elementa u jednom brojačkom ciklusu prolazi kroz 8 mogućih stanja, te mu stoga moduo ima vrednost 8. Međutim, ako taj brojač treba da radi sa modulom 6, onda se njegov ciklus brojanja mora da završi posle šest sekvencija. Prema tome, od ranijih osam stanja brojač će sada da koristi samo šest, u koji broj uvek mora da bude uračunata i kombinacija koja odgovara početnom stanju brojača.

Realizacija brojača sa proizvoljnim modulom ostvaruje se na dva načina: pomoću povratne sprege i pomoću kombinacionih elemenata. Povratna sprega se redovno primenjuje kod serijskog tipa brojača, dok se paralelni brojači bilo kog modula izvode posredstvom logičkih kola kao elemenata sprege između brojačkih stepena.

9.2.1. Promena modula povratnom spregom

Redni binarni brojač može dosta jednostavno da se podesi da radi sa proizvoljnim modulom brojanja. U tom cilju koristi se direktna povratna sprega sa izlaza nekog brojačkog stepena na ulaz jednog ili više prethodnih stepena. Dovedeni impuls na ulaz nekog stepena preko povratne sprege ekvivalentan je onolikom broju impulsa dovedenih na ulaz brojača, kolika je poziciona vrednost dotičnog brojačkog stepena. Na primer, ako je povratna sprega priključena na ulaz trećeg stepena, dejstvo impulsa povratne sprege na tom stepenu ima isti efekat kao kad bi sa ulaza brojača bila dovedena 4 impulsa, jer je poziciona vrednost trećeg stepena $2^2 = 4$.

Modul permutovanog brojača M mora da ima manju vrednost od prirodne osnove brojanja M_0. Tako, na primer, trostepeni brojač može da ima izvedene module sa vrednostima manjim od osam. Očigledno je da se potreban broj stepeni za brojač, čiji modul treba da ima vrednost M, može da odredi iz uslova

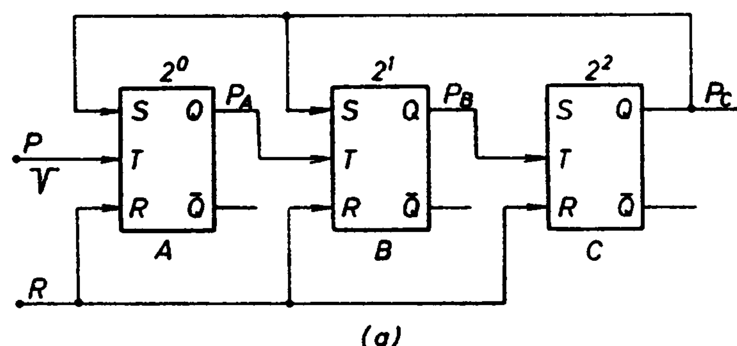
$$M_0 = 2^n > M, \tag{9.12}$$

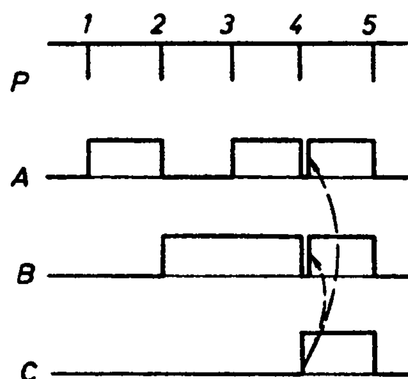
pri čemu se za n bira najmanja vrednost koja zadovoljava postavljeni uslov. Razlika

$$\Delta M = M_0 - M \tag{9.13}$$

predstavlja broj stanja, koje binarni brojač sa n stepeni treba da preskoči da bi se ciklus brojanja završio sa M sekvencija. U tom cilju potrebno je ostvariti povratnu spregu na brojačke stepene, čiji je zbir pozicionih vrednosti jednak razlici ΔM, naime

$$\Delta M = 2^0 + 2^1 + 2^2 + \cdots 2^{n-1}. \tag{9.14}$$





S_i	C	B	A	K_i
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	1	1	7
5	0	0	0	0

(c)

Sl. 9.10. Brojač sa povratnom spregom
(a) blok-šema
(b) vremenski dijagrami
(c) kombinaciona tabela

Koristeći gornje izraze odredićemo šemu veza kvinarnog brojača, odnosno brojača sa modulom 5. Prema jedn. (9.12) nalazi se da je potrebna brojačka mreža sa tri stepena ($n = 3$). Pošto je prirodni modul trostepenog brojača $M_0 = 8$, pojavljuje

se prema jedn. (9.13) višak sekvencija $\Delta M = 3$. Formirajući izraz (9.14) nalazi se da je $\Delta M = 2^0 + 2^1$. To znači da povratnu spregu u brojaču treba dovesti na prvi i drugi stepen, kao što je to pokazano na sl. 9.10 a. Da ovaj brojač ima odnos deljenja 5, može se proveriti lakom računicom pomoću jednačina za broj impulsa na izlazima flipflopova:

$$P_A = \frac{1}{2}(P + P_C)$$

$$P_B = \frac{1}{2}(P_A + P_C) \tag{9.15}$$

$$P_C = \frac{1}{2} \cdot P_B.$$

Rešavajući gornji sistem jednačina nalazi se da je

$$M = \frac{P}{P_C} = 5. \tag{9.16}$$

Način rada brojača sa povratnom spregom sasvim jasno ilustruju vremenski dijagrami prikazani na sl. 9.10 b. Početno stanje brojača okarakterisano je logičkim nulama, što se ostvaruje dovođenjem pozitivnog impulsa na vod za resetovanje, odnosno brisanja R. Trigerski ulazi RST flipflopova osetljivi su samo na negativne impulse. Brojač radi normalno kao binarni do okidnog impulsa P_4. Tada se resetuje flipflop A, ovaj izaziva resetovanje flipflopa B, usled čega se po prvi put aktivira i stepen C, prelazeći u setovano stanje. Na izlazu Q ovog stepena generiše se pozitivni impuls, koji preko povratne sprege dospeva na ulaze S binarnih elemenata A i B. Zbog toga se ovi stepeni, neposredno posle resetovanja ponovo prevode u setovana stanja, kao što je to pokazano na vremenskim dijagramima. Prema tome, ustaljeno stanje brojača posle četvrtog impulsa ne odgovara više ranijoj binarnoj kombinaciji $K_4 = C\overline{BA}$, već kombinaciji $K_7 = CBA$.

U tabeli na sl. 9.10 c navedena su stanja permutovanog brojača S_i i naznačene su kombinacije binarnog brojača K_i, sa kojima su ta stanja identična. Iz ove tabele se jasno vidi da je povratna sprega na stepenima A i B omogućila preskakanje brojačkih kombinacija K_4, K_5 i K_6, koje, inače, postoje u binarnom brojaču. Prema tome, preostalo je još samo da poslednji — peti impuls vrati sve flipflopove brojača u početno stanje, čime je ciklus brojanja završen.

Iz pokazanog primera vidi se da je konstrukcija brojača proizvoljnog modula primenom povratne sprege vrlo jednostavna. Međutim, brzina rada ovakvih brojača u principu još manja nego običnih binarnih brojača sa rednom pobudom. Na to očito ukazuje prelazni režim datog brojača pri okidnom impulsu P_4. Naime, ovaj impuls započinje seriju promena stanja počevši od stepena A, pa preko B do C. Međutim, to nije sve, jer promena stanja u stepenu C izaziva ponovnu izmenu stanja u stepenima A i B. Prema tome, vremenski interval između impulsa P_4 i P_5 mora da bude veći od $4\,t_d$ gde je t_d kašnjenje u jednom memorijskom elementu. Drugim rečima, najduže prelazno vreme n-to stepenog brojača sa jednim kolom povratne sprege može da iznosi

$$t_{pmax} = (n + 1)\,t_d. \tag{9.17}$$

Pored toga, dok je u prirodnom binarnom brojaču u pogledu brzine rada bio najkritičniji prvi stepen, u ovom slučaju mogu da budu kritični isto tako i ostali stepeni brojačke mreže. U konkretnom slučaju, na primer, flipflop C generiše impulse iste širine kao i flipflop u prvom stepenu.

S druge strane, međutim, treba naglasiti da je primena povratne sprege omogućena zahvaljujući baš tome što binarni elementi poseduju izvesno kašnjenje. Naime, ako bi se pretpostavilo da upotrebljeni flipflopovi ne unose nikakvo kašnjenje, došlo bi do neizbežne situacije da se neki stepeni istovremeno eksituju na dva ulaza. Očigledno je da se takva situacija mora da izbegne zbog neodređenosti uspostavljanja logičkih stanja u flipflopovima. Zbog toga se ponekad posredstvom diferencijalne RC mreže u vodu povratne sprege vrši ne samo uobličavanje vraćenog impulsa, već i njegovo kašnjenje. Ukupno kašnjenje impulsa na ulazu S prvog stepena brojača na sl. 9.10 a, na primer, mora da bude veće od trajanja okidnog impulsa P na trigerskom ulazu istog stepena.

9.2.2. Promena modula pomoću kombinacionih elemenata

Brži rad brojača sa proizvoljnim modulom brojanja može da se ostvari primenom poznate koncepcije paralelnog eksitovanja memorijskih elemenata. Logičkim proračunom brojača moguće je ostvariti redosled stanja brojača po želji. Tako, na primer, može da se podesi da prethodni brojač modula 5 ima redosled stanja binarnog

S_i	C	B	A	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	x	0	x	1	x
1	0	0	1	0	x	1	x	x	1
2	0	1	0	0	x	x	0	1	x
3	0	1	1	1	x	x	1	x	1
4	1	0	0	x	1	0	x	0	x
5	0	0	0						

Tabela 9.5. Kombinacione vrednosti brojača modula 5 sa JK flipflopovima

brojača, što je često povoljnije za primenu. Ako se uz to zahteva da takav brojač bude ostvaren pomoću JK flipflopova, u proračunu brojača može se poći od kombinacionih vrednosti iznetih u tabeli 9.5. Ulazi J i K flipflopova treba da imaju logičke vrednosti napona $V(0)$ ili $V(1)$. Međutim, u nekim slučajevima nastaće potrebna izmena stanja u brojačkom stepenu, bilo da se na određenom ulazu nalazi signal $V(0)$ ili $V(1)$. Ovakvi slučajevi, gde vrednost napona na nekom ulazu flipflopa nije bitna, označeni su sa „x".

Minimizirane funkcije za ulaze binarnih elemenata najlakše će se dobiti pomoću Karnoovih tablica. Na sl. 9.11 a data je tablica za funkciju J_A. Susedna polja čine zajedničku površinu drugog reda $P_{0,1,2,3}$, pretpostavljajući da polja obeležena sa „x" mogu da imaju vrednost logičke jedinice. Prema tome, ulazna funkcija J_A, kao zbir proizvoda od po tri promenljive, svodi se samo na izraz $J_A = \overline{C}$.

Na sl. 9.11 b prikazana je Karnoova tablica za funkciju K_A. Ova tablica nema ni jednu nulu. Osim toga ako se uzmu u obzir i neiskorišćene kombinacije trostepenog brojača, onda se i polja P_5, P_6 i P_7 mogu da označe sa „x" jer i u ovim slučajevima za rad brojača nije važno da li te kombinacije imaju vrednost nule ili jedinice. Da bi se ova polja bolje uočila obeležimo ih sa „+". Pretpostavljajući da su sva polja označena sa „+" i „x" imaju vrednost jedinice, formira se jedinstvena zajednička površina trećeg reda P_{0-7}. Prema tome, iz funkcije K_A eliminišu se sve promenljive, pa je $K_A = 1$. Naglasimo da su u ovom slučaju za minimizaciju funkcije korišćene i kvazi-kombinacije K_5, K_6 i K_7.

(a)

C \ BA	00	01	11	10
0	1	X	X	1
1	0			

(b)

C \ BA	00	01	11	10
0	X	1	1	X
1	X	+	+	+

(c)

C \ BA	00	01	11	10
0	0	0	1	0
1	X		+	

Sl. 9.11. Karnoove tablice za ulazne funkcije flipflopa (a) za ulaz J_A (b) za ulaz K_A (c) za ulaz J_C

Kao dalji primer određivanja minimiziranih funkcija uzmimo ulaz J_C. Karnoova tablica za ovaj ulaz data je na sl. 9.11 c. Funkcija J_C može da se uprosti pomoću nekorišćene kombinacije K_7, formirajući tako zajedničku površinu prvog reda $P_{3,7}$. Prema tome ova funkcija ima vrednost $J_C = BA$.

Na sličan način, dakle, iznalaze se i ostale ulazne funkcije, tako da se konačno mogu da napišu u obliku:

$$J_A = \overline{C} \qquad J_B = A \qquad J_C = AB$$
$$K_A = 1 \qquad K_B = A \qquad K_C = 1. \tag{9.18}$$

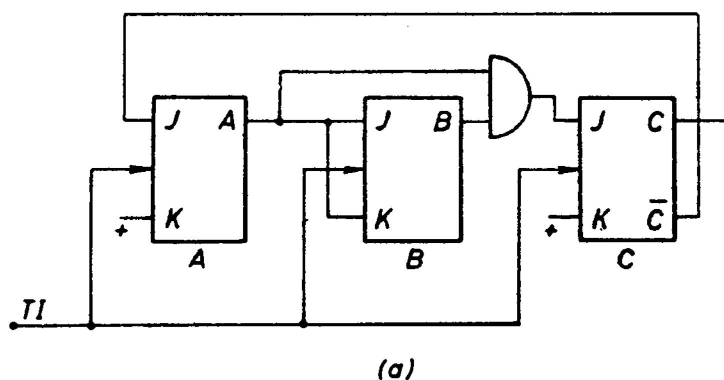
Šema brojača, izvedenog prema kombinacionoj tabeli 9.5, ucrtana je na sl. 9.12. Ulazi K stepena A i C su stalno na visokom potencijalu, te se setovanje ovih stepena vrši u uslovima trigerske logike. Stepen B radi u potpunosti kao T flipflop. Prelazna stanja, izazvana taktnim impulsima TI odvijaju se u svim stepenima istovremeno. Vremenski dijagrami brojača pokazani su na sl. 9.12 b. Iz njih se vidi da se ciklus brojanja završava u pet takt-intervala i da redosled stanja brojača odgovara redosledu binarnih kombinacija.

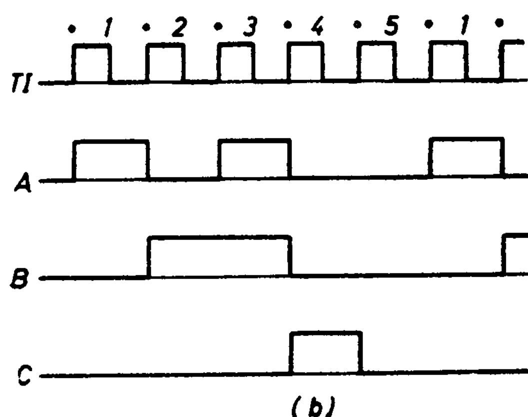
S_i	C B A	$J_C K_C$	T_B	$J_C K_C$
0	0 0 0	0 x	0	1 x
1	0 0 1	0 x	1	x 1
2	0 1 0	0 x	0	1 x
3	0 1 1	1 x	1	x 1
4	1 0 0	x 1	0	0 x
5	0 0 0			

Tabela 9.6. Kombinacione vrednosti modifikovanog brojača modula 5

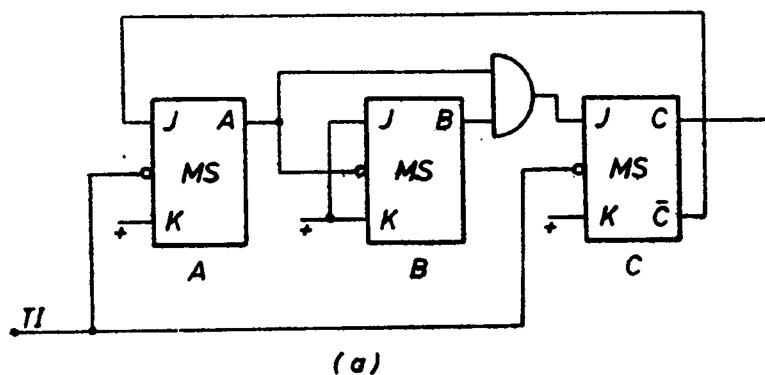
Stepen B u prethodnom brojaču ima logiku trigerskog flipflopa. Ako bi se unapred pošlo sa takvim zahtevom pri konstrukciji ranijeg brojača modula 5, onda bi ulazne vrednosti za stepen B bile izmenjene prema tabeli 9.6. U ovom slučaju J i K ulazi za stepene A i C imaju iste vrednosti kao u izrazima (9.18). Karnoova tablica za ulaz T flipflopa B, uz primenu nepostojećih stanja koja odgovaraju kombinacijama K_5 i K_7, pokazuje da je $T_B = A$. Prema tome, šema ovako modifikovanog brojača, izvedena pomoću MS flipflopova, izgleda kao na sl. 9.13 a. Uočimo da je ovaj brojač redno-paralelnog tipa, jer su samo stepeni A i C vezani paralelno na taktni generator, dok je stepen B spregnut redno na stepen A. Vremenski

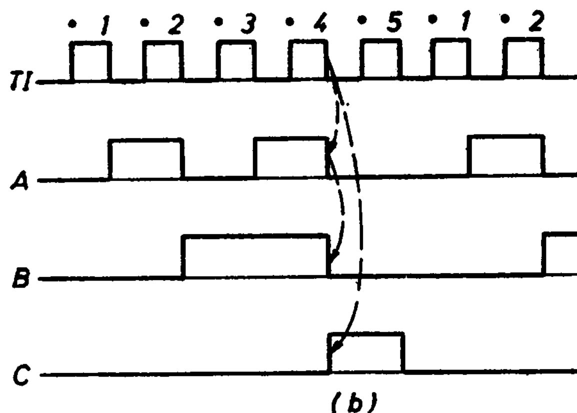
dijagrami brojača, sl. 9.13 b, su isti kao i u prethodnom slučaju, ali su u odnosu na taktne impulse pomereni za trajanje pozitivnog perioda takt-intervala.





Sl. 9.12. Brojač modula 5 izveden prema tabeli 9.5
(a) blok-šema
(b) vremenski dijagrami





Sl. 9.13. Redno-paralelni brojač modula 5
(a) blok-šema
(b) vremenski dijagrami

Videli smo da trostepeni brojač sa osnovom brojanja 5 ima tri neiskorišćenja, kvazi ili ilegalna stanja. Pri konstrukciji brojača potrebno je uvek da se ispitaju ta ilegalna stanja kako bi se proverila ispravnost rada brojača. Naime, pri uključivanju brojača postoji realna mogućnost da se umesto početnog uspostavi bilo koje drugo stanje, pa i neko od nekorišćenih. Zbog toga treba ispitati da li se brojač može dovesti u neko normalno stanje ako startuje od bilo kog ilegalnog.

Ilegalna stanja brojača na sl. 9.12a odgovaraju binarnim kombinacijama K_5, K_6 i K_7. Pretpostavimo da je brojač u stanju $K_5 = C\bar{B}A$. Prvi taktni impuls će da resetuje stepen A jer je $J_A = 0$, a $K_A = 1$. Isto tako biće resetovan i stepen C, jer je i ovde $J_C = 0$ a $K_C = 1$. Stepen B biće, međutim, setovan jer izlaz A omogućava trigerovanje ovog stepena pošto su $J_B = K_B = 1$. Prema tome, posle prvog takt—impulsa brojač uskače u legalno stanje $K_2 = \bar{C}B\bar{A} = S_2$, pa će dalje brojanje da se nastavi normalno.

U slučaju da brojač startuje iz drugog kvazi-stanja $K_6 = CB\bar{A}$, posle prvog okidnog impulsa nastaće samo resetovanje stepena C tako, da se opet uspostavlja u u brojaču kombinacija $K_2 = \bar{C}B\bar{A}$. Najzad, pogledajmo šta se dešava ako brojač polazi iz ilegalnog stanja $K_7 = CBA$. Prvi taktni impuls u ovom slučaju resetuje stepen A, jer su $J_A = 0$, a $K_A = 1$ i trigeruje stepene B i C u stanje nule, pošto su njihovi J i K ulazi pozitivni. Prema tome, brojač posle jednog impulsa upada u normalan rad preko stanja $S_0 = \bar{C}\bar{B}\bar{A}$. Iz napred izvedenog ispitivanja, konačno se zaključuje, da opisana konfiguracija brojača automatski obezbeđuje prelaženje iz bilo kog ilegalnog u jedno od legalnih stanja posle samo jednog okidnog impulsa.

9.3. DEKADNI BROJAČI

Od svih brojača, čija se osnova brojanja ne poklapa sa prirodnom, sigurno su najviše u primeni dekadni ili decimalni brojači. Vrednost modula brojanja ovih brojača je 10, što znači da njihov brojački ciklus obuhvata deset različitih binarnih stanja ili sekvencija. Ovaj broj stanja može da se obezbedi sa četvorostepenim binarnim brojačem, koji u stvari raspolaže sa 16 mogućih kombinacija. Prema tome, konstrukcija dekadnog brojača treba da osigura kompletan ciklus brojanja, koji obuhvata svega 10 od tih 16 kombinacija. U zavisnosti od toga koje će se kombinacije koristiti a koje ne, odnosno koja će se stanja uzeti za legalna a koja ostaju kao ilegalna, realizovano je više tipova dekadnih brojača. Svi ti brojači imaju po četiri binarne cifre, bita ili binita za svaku decimalnu cifru. Prema tome, decimalni brojevi mogu da se izražavaju i pomoću binarnih slogova od po četiri bita, odnosno pomoću binarnih tetrada. Takav način izražavanja poznat je kao BCD sistem, tj. sistem sa binarno kodovanim decimalima. Kako postoji mogućnost različitog izbora 10 od postojećih 16 kombinacija četvorostepenog brojača, to postoje i različiti BCD sistemi. Ta različitost se ogleda u vrednovanju pozicionih mesta binarnih cifara u tetradama, što naravno dovodi do različitih vrednosti BCD koda.

Dekadni brojač u bilo kom kodu konstruiše se na isti način kao i ranije opisani brojači sa proizvoljnim modulom brojanja. Prema tome, i u ovom slučaju mogu da budu primenjene dve osnovne koncepcije za realizaciju brojača sa modulom 10: redna sa povratnom spregom i paralelna sa kombinacionim elementima za spregu brojačkih stepena. Osnovne karakteristike oba tipa brojača su već razmotrene, te ćemo ovde pokazati samo neke primere ostvarenih dekadnih brojača različitih kodova.

9.3.1. Brojači sa prirodnim BCD kodom

Dekadni brojači sa prirodnim *BCD* kodem ili kodom *BCD* 8421 odlikuju se prvenstveno time što se redosled njihovih stanja potpuno podudara sa kombinacijama konvencionalnog binarnog brojača. To znači da ovakav brojač obuhvata prvih deset kombinacija pošavši od početnog stanja, koje je okarakterisano logičkim nulama u svim stepenima brojača. Drugim rečima, brojač *BCD* 8421 obuhvata binarne tetrade date kombinacijama K_0— K_9, dok su preostale tetrade K_{10} — K_{15} u ovom slučaju ilegalne, odnosno kvazi-tetrade.

Pri konstrukciji brojača *BCD* 8421 treba imati u vidu da razlika u poređenju sa binarnim brojačom nastaje tek posle osmog impulsa. To dolazi otuda što u ovom slučaju ciklus brojanja treba da se završi posle primljenih deset impulsa, naime, deseti impuls treba da uspostavi početno stanje u brojaču. Iako je tehnika proračuna brojača uopšte već izložena, daćemo i ovde, kao primer, proračun i sintezu prirodnog dekadnog brojača sa *T* flipflopovima.

S_i	P	D	C	B	A	T_D	T_C	T_B	T_A
0	1	0	0	0	0	0	0	0	1
1	1	0	0	0	1	0	0	1	1
2	1	0	0	1	0	0	0	0	1
3	1	0	0	1	1	0	1	1	1
4	1	0	1	0	0	0	0	0	1
5	1	0	1	0	1	0	0	1	1
6	1	0	1	1	0	0	0	0	1
7	1	0	1	1	1	1	1	1	1
8	1	1	0	0	0	0	0	0	1
9	1	1	0	0	1	1	0	0	1
10	1	0	0	0	0				

Tabela 9.7. Kombinacione vrednosti dekadnog brojača sa *T* flipflopovima

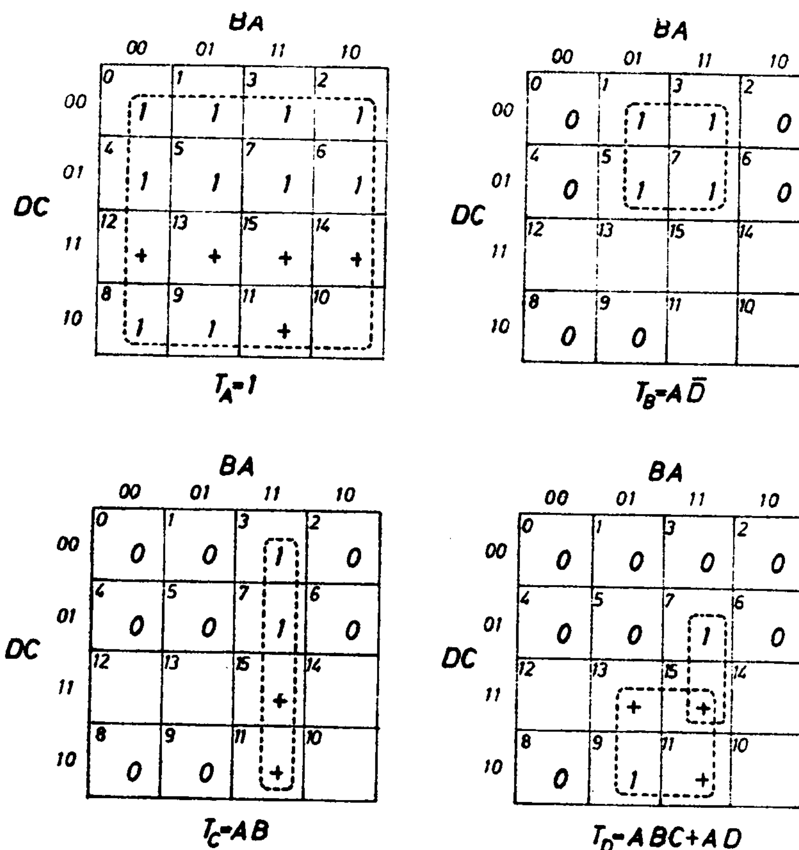
Izlazna stanja binarnih elemenata kao i potrebni signali na njihovim ulazima dati su u tabeli 9.7. Okidni impulsi *P* dovode se paralelno svakom stepenu brojača. Stoga se pomoću kombinacionih elemenata mora da osigura efektivno delovanje okidnih impulsa samo na određenim stepenima prema izloženim stanjima S_i.

Da bi se odredili elementi sprege brojačkih stepena potrebno je prethodno naći ulazne funkcije flipflopova u najjednostavnijem obliku. U tom cilju mogu se, kao što je već rečeno, da koriste razne metode, ali je primena Karnoovih tablica i u ovom slučaju sasvim efikasna. Na sl. 9.14 pokazane su odgovarajuće tablice za ulaze sva četiri stepena. Pri određivanju funkcije T_A sva polja P_{0-9} imaju vrednost jedinice. Ako se uz to uzmu u obzir i kvazi-stanja, onda se obrazuje površina četvrtog reda (2^4 polja), te tražena funkcija postaje konstanta $T_A = 1$. Funkcija T_B određuje se iz četiri susedna polja $P_{1,3,5,7}$, te je $T_B = A\overline{D}$. Pri određivanju T_C polja $P_{3,7}$ proširena su još ilegalnim stanjima $K_{11,15}$, tako da je formirana zajednička površina od četiri polja, iz kojih se nalazi da je $T_C = AB$. Najzad, za ulaz T_D korišćene su dve površine $P_{7,15}$ i $P_{9,11,13,15}$ u čiji sastav su ušla i tri kvazi-stanja. Na taj način dobijena je jednačina $T_D = ABC + AD$.

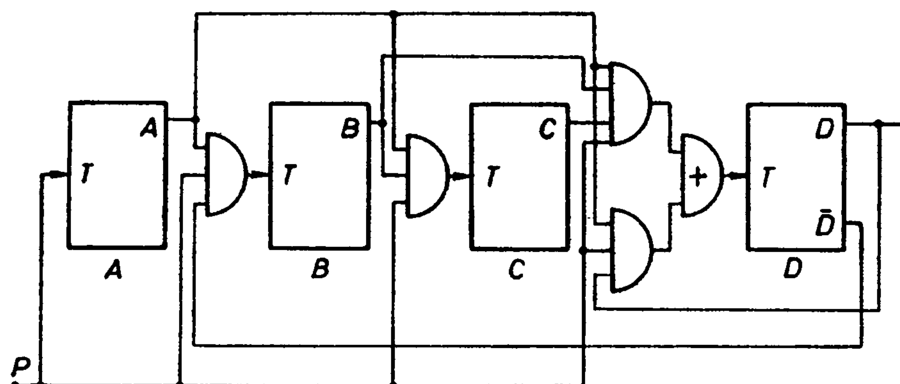
Pošto je predviđeno da brojač sadrži *T* flipflopove sa paralelnim pobuđivanjem, nađene ulazne funkcije sadrže još i okidne impulse, odnosno parametar *P*. Stoga konačni izrazi ulaznih jednačina flipflopova su:

$$T_A = P \qquad T_C = PAB$$
$$T_B = PA\overline{D} \qquad T_D = PABC + PAD. \qquad (9.19)$$

Šema proračunatog brojača data je na sl. 9.15. Zapazimo da je sprega poslednjeg stepena ostvarena pomoću tri logička elementa u dva nivoa, čime je ukupno kašnjenje ovog stepena nešto povećano.



Sl. 9.14. Karnoove tablice za ulaze T flipflopova brojača prikazanog u tabeli 9.7



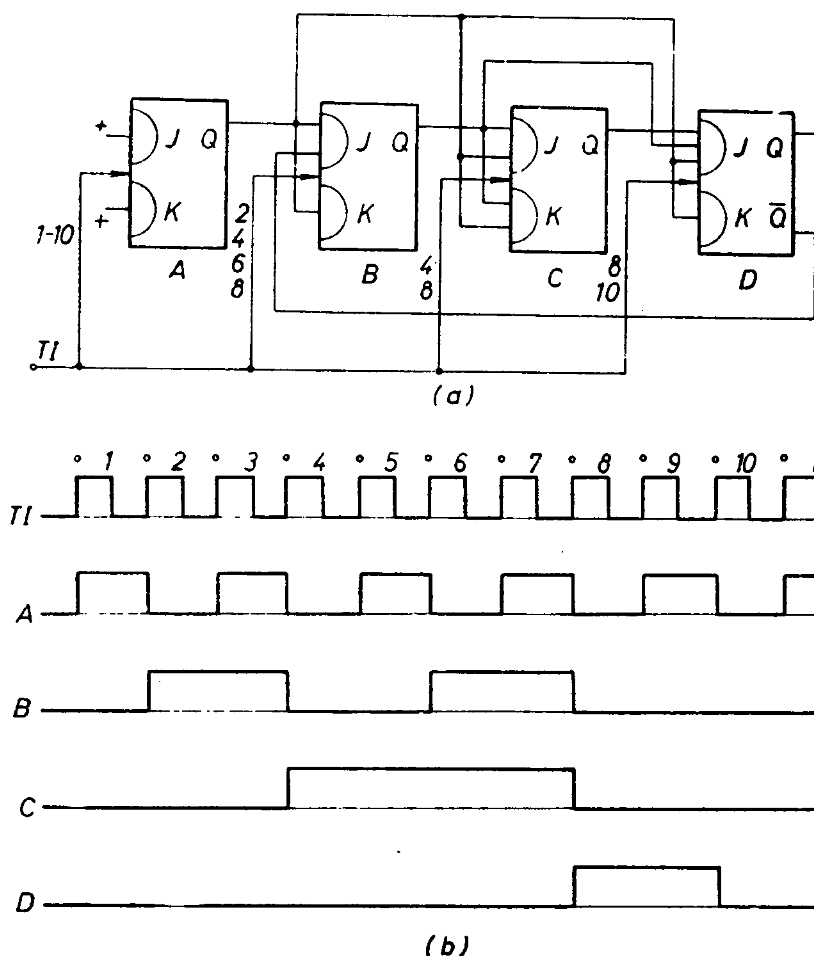
Sl. 9.15. Dekadni brojač izveden prema tabeli 9.7

Integrisana verzija dekadnog brojača u kodu 8421 prikazana je na sl. 9.16. Razumljivo je da su ovde umesto T upotrebljeni JK flipflopovi, vrlo često MS tipa. Radi jednostavnosti šeme, sprežni elementi su prikazani u sklopu memorijskih, čime se još ukazuje i na kompaktnost izrade integrisanih sklopova.

Rad brojača ilustrovan je vremenskim dijagramima na sl. 9.16 b. Do osmog takt-impulsa brojač radi kao binarni, što znači da se stepeni A, B i C povinuju logici

T flipflopova. Pri tome stepen *A* je osetljiv na svaki impuls, stepen *B* na svaki drugi, a stepen *C* na svaki četvrti. U toku ovih impulsa veza $\bar{Q}_D$ — J_B je bez uticaja na rad, jer je $\bar{Q}_D = 1$.

Pošto je sedmi impuls doveo prva tri stepena u setovano stanje, ispunjeni su uslovi i za aktiviranje stepena *D*. U vezi s tim osmi impuls setuje ovaj stepen, ali istovremeno resetuje sve ostale. Zbog toga će flipflopovi *B*, *C* i *D* da budu blokirani pri pojavi devetog impulsa, koji će, prema tome, moći da trigeruje samo prvi stepen u stanje jedinice. Deseti impuls treba da uspostavi početna stanja binarnih elemenata u brojaču. Pošto su flipflopovi *B* i *C* već resetovani to ovaj impuls treba da dovede stepene *A* i *D* u nulto stanje, a da pri tome ne dođe do setovanja *B* i *C* stepena. Setovanje stepena *B* sprečeno je vezom sa izlaza $\bar{Q}_D$, na kome je nulto stanje. Naglasimo da je veza $\bar{Q}_D$ — J_B jedino potrebna pri desetom impulsu, koji bi inače u protivnom trigerovao stepen *B* u stanje jedinice. Stepen *C* je blokiran izlazom iz *B*. Prema tome,

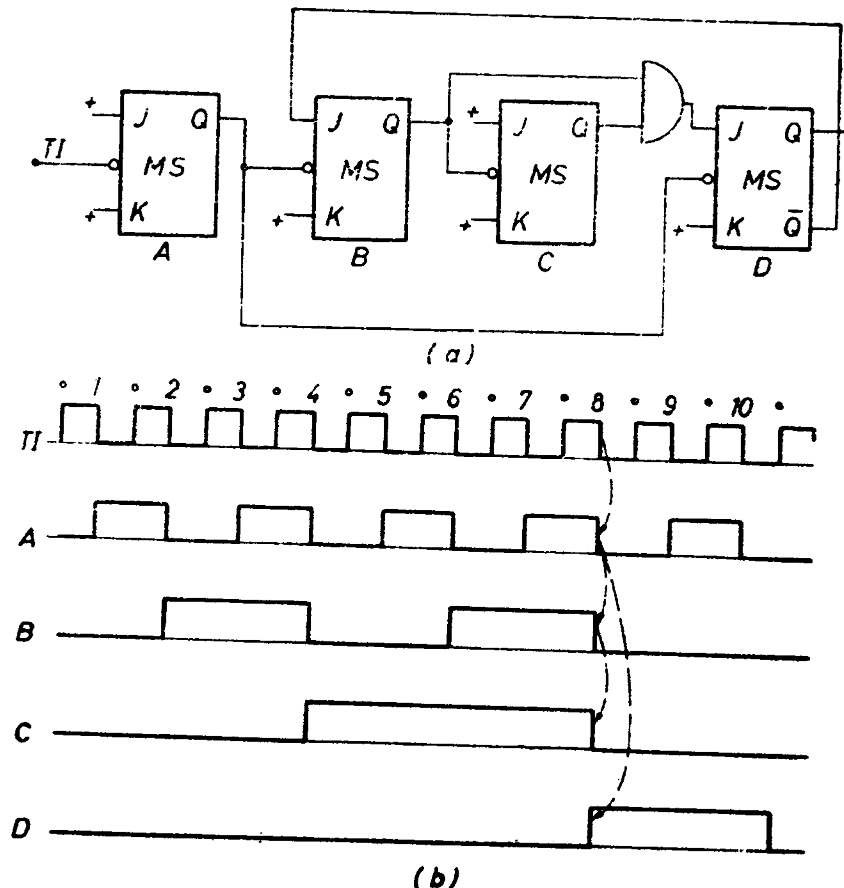


Sl. 9.16. Integrisani dekadni brojač sa kodom 8421
(a) blok-šema
(b) vremenski dijagrami

deseti impuls trigerovaće stepen *A* u stanje nule, a istovremeno resetovaće stepen *D*, pošto je stanje na njegovom *K* ulazu $K_D = Q_A = 1$. Na taj način deseti takt-impuls završava ciklus promena stanja prikazanog dekadnog brojača.

Ispitivanje ilegalnih stanja obavlja se na isti način kao što je to učinjeno i kod brojača modula 5. Dok je pomenuti brojač upadao u normalni rad posle samo jednog impulsa, u ovom slučaju za to će biti potrebno jedan ili dva impulsa zavisno od ile-

galnog stanja. Pretpostavimo, na primer da je brojač na sl. 9.16 pri uključivanju u rad zauzeo ilegalno stanje $K_{10} = D\bar{C}B\bar{A}$. Posle prvog okidnog impulsa on prelazi u ilegalno stanje $K_{11} = D\bar{C}BA$, ali već posle drugog impulsa naćiće se u legalnom stanju $K_4 = \bar{D}C\bar{B}\bar{A} = S_4$. Dodajmo još da ovaj brojač iz zabranjenih kombinacija K_{14} i K_{15} ulazi u normalan rad preko početnog stanja $S_0 = \bar{D}\bar{C}\bar{B}\bar{A}$. Uopšte gledano, opisani dekadni brojač poseduje osobinu da se automatski vraća u normalan rad u slučaju da je iz nekih razloga takav rad bio poremećen.



Sl. 9.17. Kombinovani dekadni brojač sa kodom 8421
(a) blok-šema
(b) vremenski dijagrami

Dekadni brojač može da bude ostvaren i sprezanjem dva brojača čiji proizvod modula daje vrednost 10. Tako, na primer, spregnuti sistem brojača modula 2 i modula 5 imaće dekadnu osnovu brojanja. Ako se pri tome na brojač modula 2 nadovezuje brojač modula 5, odnosno binarni brojač koji ima prirodni kod, onda će i dekadni brojač posedovati prirodni kod.

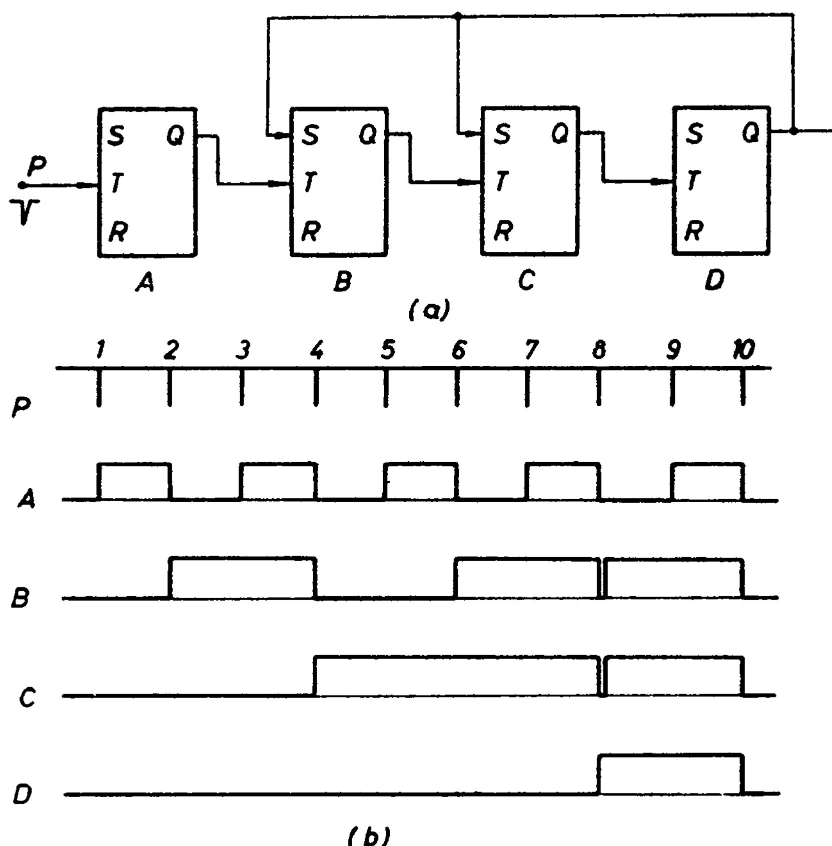
Šema kombinovanog dekadnog brojača sa kodom 8421 data je na sl. 9.17. U ovoj šemi nije teško prepoznati da stepeni *B*, *C* i *D* čine brojač modula 5, koji je prikazan na sl. 9.13. Obratimo pažnju da je pomenuti brojač bio rednoparalelnog tipa, dok ovaj dekadni spada ipak u redne brojače, ali sa prelaznim vremenom koje nije veće od 3 t_{dFF}. Što se tiče načina rada brojača, tu nema nikakvih momenata na koje bi trebalo posebno da se ukaže sem to, da se okidni impulsi za brojač modula 5 uzimaju sa izlaza prvog stepena koji ima trigersku logiku. U svakom slučaju priloženi vremenski dijagrami uz brojač ilustruju detaljno promene, koje nastaju u *MS* flipflopovima u pojedinim takt-intervalima.

Napomenimo, da tehnika kombinovanja brojača nije vezana samo za dekadne brojačke mreže. Kombinujući brojače nekih standardnih modula, moguće je ostvariti

mreže sa daleko većom osnovom brojanja. Ovakva primena brojača uveliko se koristi prilikom delenja broja impulsa. Uostalom, proširivanje kapaciteta dekadnog brojača, na primer, postiže se na taj način, što se redno vezuje odgovarajući broj brojačkih jedinica modula 10.

9.3.2. Brojači sa drugim kodovima

Pored dekadnih brojača sa kodom 8421 postoje i mnogi drugi, koji su interesantni bilo zbog svog specifičnog koda ili pak, zbog jednostavnosti izrade kao što su, na primer, redni brojači sa povratnom spregom. Iako se redna koncepcija može da primeni i za dekadni brojač 8421, njegova konkretna realizacija ne bi predstavljala klasičan primer dekadnog brojača sa povratnom spregom. Stoga ćemo ovde rasmotriti šemu jednog drugog dekadnog brojača, čiji se kod razlikuje od prirodnog binarnog koda.



Sl. 9.18. Dekadni brojač koda 2421
(a) blok-šema
(b) vremenski dijagrami

Prema ranije izloženom načinu formiranja brojačkih mreža sa povratnom spregom, dekadni brojač će morati da ima povratne sprege izvedene na stepenima sa pozicionim vrednostima 2^1 i 2^2. To znači da će povratne sprege u četvorostepenom brojaču biti primenjene na stepene *B* i *C*, kao što pokazuje blok šema na sl. 9.18a. Način rada ovakvog brojača ilustrovan je vremenskim dijagramima na istoj slici pod *b*.

Redna sprega brojačkih stepena obezbeđuje binarni rad brojača sve do delovanja osmog impulsa. Ovaj impuls izaziva promenu stanja u stepenu A, što se postupno prenosi i na ostale stepene, sve dok stepen *D* ne pređe u stanje jedinice.

Međutim, time prelazni režim brojača, izazvan osmim impulsom, nije okončan. Nastala promena napona na poslednjem stepenu prenosi se preko povratne sprege na ulaze S stepena B i C, tako da se konačno stanje brojača posle osmog impulsa poklapa sa binarnom kombinacijom $K_{14}=DCB\bar{A}$.

Uspostavljena stanja u brojaču u toku prvih sedam impulsa odgovaraju tetradama prirodnog binarnog koda. Stanje brojača posle osmog impulsa, međutim, predstavlja tetradu 1110 kojoj bi u kodu 8421 odgovarala brojna vrednost 14. Međutim, ova tetrada imaće vrednost 8, ako se na nju primeni kod 2421. Isti kod važi i za sve ostale kombinacione vrednosti, što znači da prikazani dekadni brojač radi u kodu 2421. Primetimo da brojač 2421 sadrži prvih osam kombinacija prirodnog binarnog koda, a pored ovih još K_{14} i K_{15}. Prema tome nedozvoljena stanja za ovaj

(a)

(b)

Sl. 9.19. Integrisana verzija brojača sa kodom 2421
(a) blok-šema
(b) vremenski dijagrami

brojač su K_{8-13}. Interesantno je da će brojač, u slučaju da startuje od stanja K_8, proći kroz sve ilegalne kombinacije, da bi posle šest impulsa konačno ušao u normalan rad preko kombinacije $K_{14}=DCB\bar{A}=S_8$.

Dekadni brojač na sl. 9.18 obično se navodi kao klasični primer brojačke mreže sa povratnom spregom. Ova mreža je u suštini kombinacija dva brojača:

prvi koga čini stepen A i drugi sa stepenima B, C i D. Potsetimo da ova tri stepena čine brojač modula 5, koji je identičan sa onim na sl. 9.10.

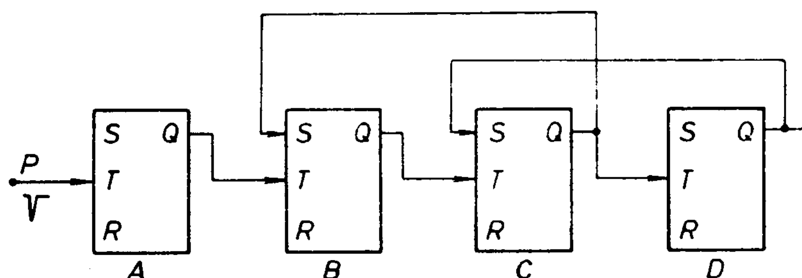
Razumljivo je da se za dekadni brojač sa kodom 2421 mogu da koriste i drugačije brojačke mreže. Na sl. 9.19a data je šema takvog brojača, koji raspolaže nešto većom brzinom rada iako je rednog tipa. Flipflopovi A i C poseduju trigersku logiku, jer su im ulazi J i K stalno na pozitivnom naponu. U stepenu D primenjena je ograničena T logika, naime on je ili blokiran ili radi kao T flipflop. Kontrolu njegove logike vrše preko I elementa dva prethodna stepena B i C. Zapaziti da je stepen D redno vezan na A umesto na C, kako je to inače uobičajeno. Što se tiče stepena B, on može da koristi trigersku ili set-logiku. Njegov način rada kontrolišu dva sledeća stepena C i D preko logičkog NI elementa.

Način rada brojača prikazan je vremenskim dijagramima na sl. 9.19b. Prva četiri takt-impulsa trigeruju stepene A i B. Zbog nastalog visokog napona na izlazu Q_C, logički element NI menja logiku flipflopa B. U vezi s tim, znači, šesti impuls setuje stepen B, tako da je sada flipflop D iz blokiranog preveden u trigerski režim rada. Pošto se ovim stepenom upravlja preko flipflopa A, to će na njega da deluju samo preostali parni impulsi — osmi i deseti.

Što se tiče brzine rada najkritičniji je binarni element u prvom stepenu. Najduže prelazno stanje brojača pojavljuje se u četvrtom i desetom takt-intervalu. To stanje obuhvata vremenski period od $3t_d$, za razliku od $5t_d$, koliko je inače iznosilo kod klasičnog rednog brojača na sl. 9.18.

Na kraju napomenimo da se pored koda 2421, koga generišu napred opisani brojači, koristi takođe i kod 2421, ali sa drugačijim binarnim kombinacijama. Taj kod je naveden ranije u tabeli 2.3 i za razliku od ovoga, on sadrži prvih pet i poslednjih pet tetrada iz prirodnog binarnog sistema.

Kod četvorostepene brojačke mreže, dekadna osnova brojanja ostvaruje se, kao što smo videli, primenom jednovremene povratne sprege na stepenima B i C, sl. 9.18. Brojač osnove 10 može, međutim, da bude izveden i na druge načine. Što se tiče brojača sa povratnom spregom, naglasimo da ona može da bude izvedena i sa drugih, a ne samo sa poslednjeg stepena. Primer takvog brojača pokazan je na sl. 9.20. Kao što se vidi, umesto jednovremene, primenjena je razdeljena povratna



Sl. 9.20. Dekadni brojač koda 4221

sprega i to sa stepena D na stepen C, kao i sa C na stepen B. Prema tome, poremećaj prirodnog binarnog koda treba očekivati već pri četvrtom okidnom impulsu, jer će tada nastala promena stanja u stepenu C povratno da deluje na flipflop B preko njegovog ulaza S. Pošto je time u stepenu B uspostavljeno stanje jedinice, to će sledeći parni impuls da izazove resetovanje flipflopova A, B i C, a setovanje

S_i	D	C	B	A	K_i
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	6
5	0	1	1	1	7
6	1	1	0	0	12
7	1	1	0	1	13
8	1	1	1	0	14
9	1	1	1	1	15
10	0	0	0	0	0

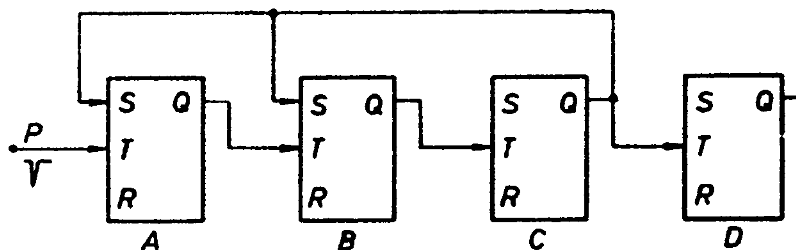
Tabela 9.8. Kombinacione vrednosti dekadnog brojača sa kodom 4221

flipflopa *D*. Nastala promena napona na stepenu *D* prenosi se sada preko povratne sprege na stepen *B*, uspostavljajući u njemu stanje jedinice. Konstruktivnim merama u kolu povratne sprege obezbeđuje se da nastala promena napona na izlazu stepena *C* ne izazove promenu stanja i u stepenu *B*.

Stanja brojača na sl. 9.20 date su u vidu kombinacionih vrednosti u tabeli 9.8. Vidimo da on, pored prve i poslednje četiri tetrade binarnog sistema, sadrži još i binarne kombinacije K_6 i K_7. Brojne vrednosti korišćenih tetrada mogu se izračunati pripisujući binarnim ciframa pozicione vrednosti 2^0, 2^1, 2^1 i 2^2 polazeći od bita najniže vrednosti. Prema tome, dekadni brojač sa razdeljenom povratnom spregom generiše izlazna stanja u kodu 4221.

9.3.3. Brojači bikvinarnog tipa

Bikvinarni brojači su u stvari već pomenute složene dekadne mreže sastavljene od brojača sa modulima 2 i 5. Karakteristična osobina ovih brojača je ta da se kombinaciona stanja u brojaču modula 5 ponavljaju dva puta u toku brojačkog ciklusa. Da bi se pomenute kombinacije složenog brojača mogle ipak jednoznačno da detektuju u ciklusu od deset takt-intervala, jednoj grupi od 5 binarnih triada dodaje se binarna vrednost „0“ a drugoj vrednost „1“. Na taj način kvinarni brojači sa binarnim triadama postaju bikvinarni, odnosno dekadni sa tetradama.



Sl. 9.21. Bikvinarni brojač koda 5121

Da bi se zadržao kvinarni poredak triada u dekadnom brojaču, njegova prva tri stepena moraju sačinjavati brojač modula 5. Prema tome, za razliku od ranije pomenutih složenih brojača sa dekadnom osnovom, dodati brojački stepen dolazi iza kvinarnog brojača. Na taj način on dobija najveću pozicionu vrednost, što omogućava formiranje binarnih tetrada na napred izloženi način.

Na sl. 9.21 data je šema bikvinarnog brojača sa povratnom spregom. Prva tri stepena čine kvinarni brojač sa sl. 9.10a. Prema tome, način njegovog rada, koji je inače ilustrovan i vremenskim dijagramima na sl. 9.10b, je poznat. Četvrti stepen sadrži *T* flipflop, koji ostaje u resetovanom stanju sve do završetka prvog kvinar-

nog ciklusa tj. do petog impulsa. Pri ovom impulsu, stepen D prelazi u stanje jedinice i ostaje u njemu do završetka drugog kvinarnog ciklusa. Na taj način omogućena je diskriminacija pojedinih kvinarnih stanja u ovakvom dekadnom brojaču.

Kombinacione vrednosti prikazanog bikvinarnog brojača date su u tabeli 9.9. Kod bikvinarnog brojača određuje se na taj način što se ispred koda za kvinarni brojač dodaje još poziciona vrednost 5. Pošto kvinarni brojač na sl. 9.10 ima kod 121, to bikvinarni brojač na sl. 9.21 radi u kodu 5121.

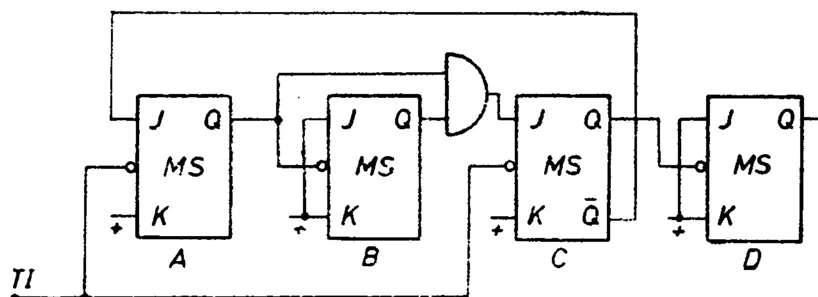
S_i	D C B A	K_i
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	2
3	0 0 1 1	3
4	0 1 1 1	7
5	1 0 0 0	8
6	1 0 0 1	9
7	1 0 1 0	10
8	1 0 1 1	11
9	1 1 1 1	15
10	0 0 0 0	0

Tabela 9.9. Kombinacione vrednosti bikvinarnog brojača 5121

S_i	D C B A	K_i
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	2
3	0 0 1 1	3
4	0 1 0 0	4
5	1 0 0 0	8
6	1 0 0 1	9
7	1 0 1 0	10
8	1 0 1 1	11
9	1 1 0 0	12
10	0 0 0 0	0

Tabela 9.10. Kombinacione vrednosti bikvinarnog brojača 5421

U bikvinarnom brojaču na sl. 9.22 iskorišćen je brojač modula 5 sa sl. 9.13. S obzirom da ovaj — kvinarni brojač ima prirodni kod 421, to će kod formiranog bikvinarnog brojača da bude 5421. Saglasno tome, sekvencije stanja brojača mogu lako da se ispišu, kao što je to urađeno u tabeli 9.10. Primetimo da ovaj dekadni brojač koristi cikluse od po pet tetrada čiji je redosled identičan sa binarnim. Za



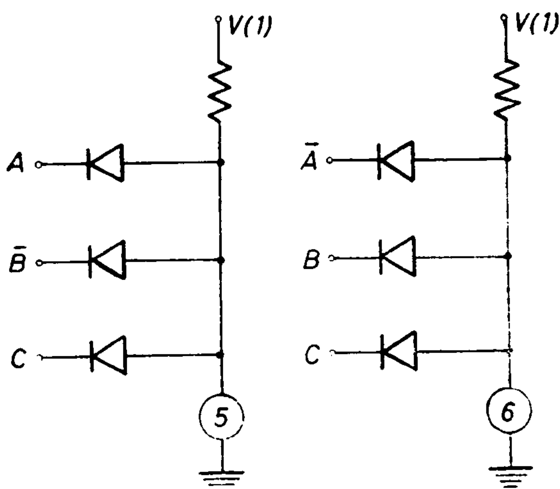
Sl. 9.22. Bikvinarni brojač koda 5421

razliku od dekadnog brojača 8421, gde je postojao jedan preskok od šest binarnih stanja, ovde postoje dva preskoka od po tri stanja. Pošto pomenuti preskoci nastaju sa stanja S_4 na S_8, odnosno sa S_{12} na S_0, to ilegalna stanja ovog brojača odgovaraju binarnim kombinacijama $K_{5,6,7}$ i $K_{13,14,15}$.

9.3.4. Dekodovanje rezultata brojanja

U uvodu je napomenuto da brojač, pored brojačke mreže, često sadrži i indikatorski blok. Uloga ovog bloka je da omogući dekodovanje rezultata brojanja, koji se pri tome najčešće vizuelno reprezentuje u obliku cifara dekadnog brojnog sistema. To znači, da indikatorski blok sadrži dve jedinice: dekoder i indikator.

Dekoder je, kao što znamo kombinaciona prekidačka mreža pomoću koje se u opštem slučaju vrši prevođenje informacija iz jednog u drugi brojni sistem. Dekoderske mreže u brojačima, prema tome, vrše translaciju brojeva iz binarnog u dekadni brojni sistem.



Sl. 9.23. Indikacija stanja brojača S_5 i S_6

Svako stanje binarnog brojača odgovara nekoj brojnoj vrednosti u dekadnom sistemu. Bilo koje stanje, na primer trostepenog brojača na sl. 9.1, može da bude dekodovano pomoću logičkog *I* kola sa tri ulaza. Ulazi *I* kola mora da budu vezani na one izlaze brojačkih stepena koji predstavljaju logički proizvod za selektovanu binarnu kombinaciju. Na sl. 9.23 pokazano je eksplicitno dekodovanje binarnih kombinacija $K_5 = C\bar{B}A$ i $K_6 = CB\bar{A}$ pomoću odgovarajućih logičkih elemenata u diodnoj tehnici. Kada se u brojaču uspostave stanja koja odgovaraju kombinaciji K_5, a to znači posle primljenih pet impulsa, sl. 9.2, biće eksitovan indikator sa simbolom 5, jer se u datim uslovima jedino i samo na njemu formira nivo napona logičke jedinice. U svim drugim slučajevima neki od ulaza biće na niskom naponu, što će onemogućiti eksitaciju indikatora. Isto važi i za indikator sa simbolom 6.

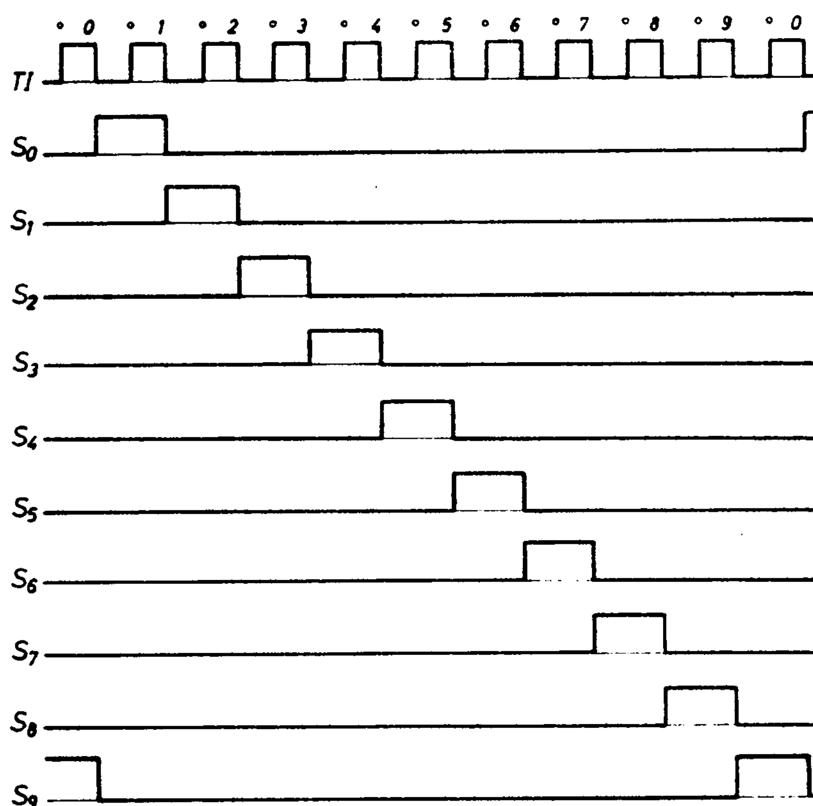
Indikacija rezultata brojanja primenjuje se uglavnom kod dekadnih brojača. U ovom slučaju koriste se dekoderske matrice sa deset izlaza. Kako je za ovaj broj izlaza potrebno najmanje četiri ulazne promenljive, to se ovde radi o nepotpunoj prekidačkoj matrici u kojoj se od mogućih 16 izlaza koristi svega 10.

Sinteza brojačke dekoderske mreže zavisiće i od primenjenog koda u brojaču. Dekoderska mreža za dekadni brojač sa prirodnim kodom *BCD* 8421 pokazana je ranije na sl. 6.22. Svako stanje binarnih elemenata u brojaču predstavlja jednu dekadnu cifru. Prema tome, četiri para ulaza datog dekodera treba vezati na odgovarajuće prave i komplementne izlaze binarnih elemenata u brojaču, na primer na sl. 9.18. U zavisnosti od broja primljenih impulsa, nastaće po utvrđenom kodu izmena stanja brojača, a s tim i pobuđivanje odgovarajućih izlaza dekodera.

Dekoderska matrica dekadnog brojača u principu koristi *I* kola sa po četiri ulaza. Međutim, skrenimo pažnju i ovom prilikom, da se broj ulaza logičkih *I* kola za pojedine izlaze dekodera može da smanji na tri pa čak i na dva. Ovakva minimizacija izlaznih funkcija dekodera *BCD* 8421 pokazana je u odeljku 6.4.2. Zahvaljujući tome broj prekidačkih elemenata u dekoderskoj prekidačkoj matrici dekadnog brojača svedena je sa 40 na svega 30.

Vremenski dijagrami dekodera u zavisnosti od taktnih impulsa koji deluju na brojač prikazani su na sl. 9.24. Dijagrami se odnose na dekadni brojač sa *MS*

flipflopovima, kao što je, na primer, onaj na sl. 9.17. Napomenimo da ovi dijagrami važe za dekadni brojač sa bilo kojim kodom. Pri tome, treba imati u vidu da simboli S_i ne označavaju odgovarajuće kombinacije binarnog sistema, već stanja brojača čije su vrednosti određene primenjenim *BCD* kodom. Na primer, S_8 u kodu *BCD* 8421 odnosi se na stanje brojača $D\overline{C}\overline{B}\overline{A}$, dok u kodu *BCD* 2421 to predstavlja stanje brojača dato sa $DCB\overline{A}$.



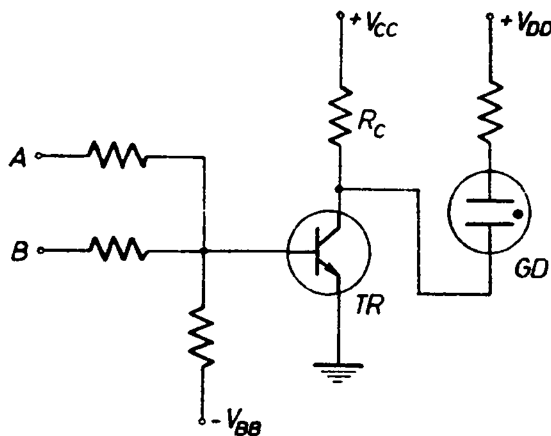
Sl. 9.24. Vremenski dijagrami brojačkog dekodera

9.3.5. Indikatori rezultata brojanja

Vizuelna indikacija rezultata brojanja može da se ostvari posredstvom indikatora različitih tipova: svetlosnih, štamparskih, sa kretnim kalemom itd. U većini slučajeva koriste se, ipak, svetlosni indikatori, jer se konstruktivno mogu lako da izvedu, a pored toga pogodni su za brzo očitavanje sa različitih rastojanja i pod različitim uglom vidljivosti.

Kao svetlosni indikator može da posluži bilo kakav konvertor električne energije u svetlosnu. Prema tome, za ovu svrhu može da se upotrebi u najopštem slučaju električna sijalica. Ipak umesto običnih sijalica, radije se, kao jednostavan indikator, koristi gasna dioda. Ovakva cev sa zaštitnim predotporom može direktno da se veže na krajeve opteretnog otpora prekidačkih elemenata. U slučaju kada je prekidač zakočen biće i gasna dioda ugašena. Međutim, kada je prekidač provodan, nastala razlika potencijala na opteretnom otporu pali gasnu diodu. Svetlo pražnjenje u diodi, prema tome, indicira provodno stanje prekidača.

Na sl. 9.25 pokazana je primena gasne diode — tinjalice, kao indikatora stanja *NI* kola. S obzirom da napon palenja gasne diode iznosi oko 65 V, ona se u većini slučajeva ne može direktno da veže na krajeve kolektorskog otpora R_C tranzistora *TR*, već na poseban naponski izvor $V_{DD} > V_{CC}$. Naime, pri izboru napona V_{DD} treba da budu zadovoljeni uslovi:



Sl. 9.25. Gasna dioda kao indikator stanja prekidača

$$V_{DD}-(V_{CC}+R_C\,I_{CBO})<V_G$$

$$V_{DD}-V_{CES} > V_P, \qquad (9.20)$$

gde su V_p i V_G naponi paljenja odnosno gašenja gasne diode *GD*. Prema tome, ako su svi ulazi *NI* kola na visokom naponu tranzistor *TR* vodi i indikatorska cev svetli.

Očigledno je da se isti princip indikacije može da primeni i na memorijskim stepenima u brojaču. Ako se na primer, u brojaču na sl. 9.1 postave gasne diode na izlaze $\bar{Q}$, onda će pri resetovanom stanju flipflopova, diode da budu ugašene, a pri setovanom upaljene. Na bazi ovih svetlosnih indikatora može se odrediti i rezultat brojanja kao zbir pozicionih vrednosti flipflopova. Na primer, ako u trostepenom binarnom brojaču svetle sijalice na stepenima *A* i *C*, to znači da je brojač primio pet impulsa, jer je poziciona vrednost stepena *A* i *C* 2^0, odnosno 2^2. Ovako jednostavan metod indikacije može da se primeni i na dekadne brojače, pri čemu treba voditi računa samo o odgovarajućem kodu brojača. Na primer, ako u dekadnom brojaču na sl. 9.18 svetle indikatori na stepenima *A*, *C* i *D*, rezultat brojanja je opet 5, što se dobija zbrajanjem pozicionih vrednosti setovanih stepena u datom brojaču sa kodom 2421.

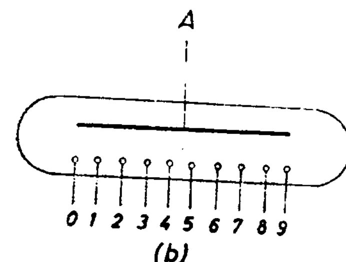
Iako je pokazani način indikacije jednostavan, on očigledno nije pogodan za primenu, jer se do rezultata brojanja dolazi posrednim obračunavanjem indiciranih vrednosti. Zbog toga se kod dekadnih brojača, umesto četiri, radije postavlja deset indikatorskih elemenata, pri čemu svaki element pokazuje samo jednu određenu cifru dekadnog brojnog sistema. Način ovakve indikacije pokazan je ranije na sl. 9.23.

Nepogodnost gornjeg načina indikacije ispoljava se naročito kod brojača sa većim brojem dekada. Za svaku dekadu, kao što je rečeno, koristi se deset sijalica. Ove sijalice se obično poređaju tako, da svakoj dekadi, tj. svakoj dekadnoj cifri, pripada po jedna kolona od po deset sijalica. Rezultat brojanja indicira se upaljenim sijalicama na kojima može da bude čak i ispisana odgovarajuća cifra. To znači da je ovde ostvareno cifarsko pokazivanje rezultata, pri čemu u svakoj koloni može da bude eksitovan samo po jedan cifarski element. Nedostatak ovakvog indikatora je u tome, što se osvetljeni elementi, odnosno cifre dekadnog broja, ne nalaze na jednoj horizontalnoj liniji, već su locirane na raznim mestima, zavisno od položaja indicirane cifre u pojedinim indikatorskim kolonama. Ovakva indikacija naziva se poziciona.

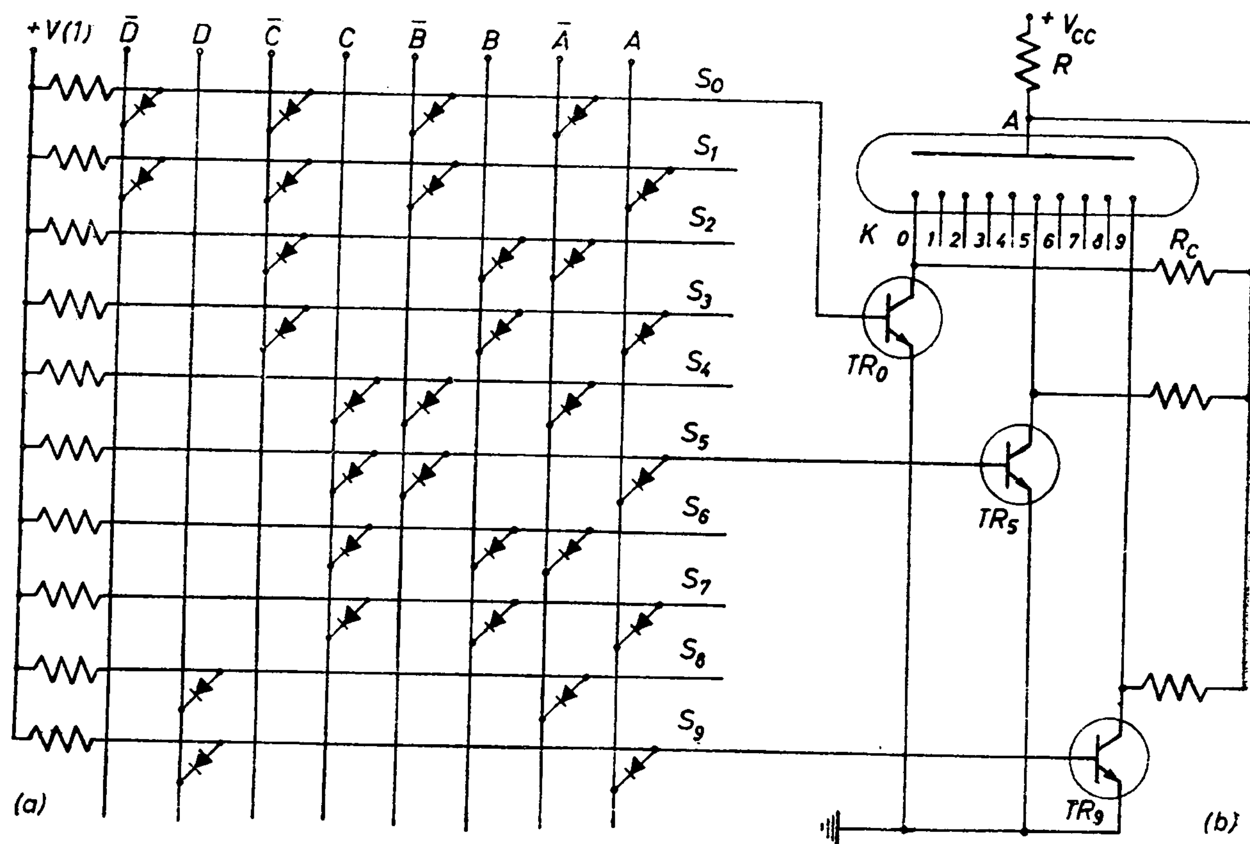
U nastojanju da se omogući lako očitavanje rezultata u cifarskom obliku razvijeno je više pogodnijih indikatorskih sistema, zasnovanih na primeni razli-

čitih elemenata svetlosne indikacije kao što su: gasne cevi, svetlosni segmenti, cifarske maske, svetlosne diode, fluorescentni zastori itd. Nesumnjivo je, da su za sada najrasprostranjeniji indikatori sa gasnim cevima koji su poznati kao digitroni, a još više kao niksi-cevi (nixie), sl. 9.26. Ove cevi imaju cilindričnu mrežastu anodu unutar koje je smešteno deset katoda. Katode su izvedene u obliku cifara dekadnog sistema, tako da svaka katoda ima po jedan svoj spoljašnji priključak. Uspostavljajući razliku potencijala od oko 150—250 V između anode i bilo koje katode, nastaje svetlo pražnjenje između tih elektroda, što se manifestuje svetlosnim oreolom koji okružuje eksitovanu katodu. Zahvaljujući tome, postaje praktično vidljiva samo jedna od deset katoda, koje su inače postavljene jedna iza druge na dosta malim rastojanjima.





Sl. 9.26. Indikatorska Niksi-cev
(a) izgled cevi
(b) grafički simbol za cev



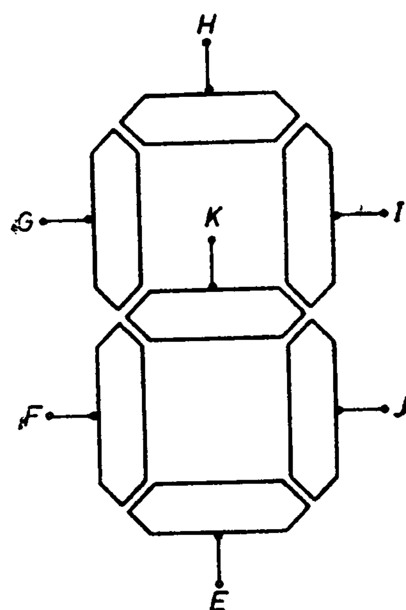
Sl. 9.27. Indikatorski blok
(a) dekoder $BCD8421$ (b) Niksi-indikator

Delimična šema veza indikatorskog bloka dekadnog brojača sa prirodnim kodom data je na sl. 9.27. Dekoder (a) potpuno je isti kao i onaj dat ranije na sl. 6.22. Izlazi dekodera dovode se na baze tranzistora TR_{0-9}, koji upravljaju niksi-indikatorom (b). U resetovanom stanju brojača izlaz dekodera $S_0 = \bar{D}\bar{C}\bar{B}\bar{A}$ je na visokom naponu, te tranzistor TR_0 vodi. Nastala potencijalna razlika između

anode A i katode K_0 izaziva svetlo pražnjenje u niksi-cevi, usled čega katoda K_0 postaje vidljiva. Pošto su svi ostali izlazi dekodera na logičkoj nuli, odgovarajući tranzistorski stepeni su blokirani, te stoga ne dolazi do paljenja preostalih katoda indikatorske cevi. U slučaju da stanje brojača odgovara broju 5, biće provodan samo tranzistor TR_5, tako da će sada biti vidljiva katoda K_5, itd.

Već je rečeno da napon napajanja indikatorske cevi iznosi oko 150—250 V. Otpor R reguliše struju katode, a time i intenzitet svetljenja cifara. Njegova vrednost se kreće od 10—100 $K\Omega$. Otpori R_C su dosta veliki — reda 1—2$M\Omega$. Otuda je struja tranzistorskih stepena uglavnom određena strujom niksi-cevi, čija se vrednost obično podešava na oko 2 mA. Primetimo, da pobudni tranzistori moraju imati velike vrednosti probojnog napona između kolektora i emitora pri praktično kratkospojenom ulazu (BV_{CES}).

U većini digitalnih instrumenata indikatori sa niksi-cevima predstavljaju zadovoljavajuće rešenje. U više dekadnom brojaču, niksi-cevi se postavljaju jedna pored druge tako da se pokazani broj pojavljuje ispisan po istoj horizontali i praktično u istoj ravni. Zbog toga očitavanje, kao i fotografisanje rezultata, ne predstavlja nikakve posebne teškoće. Veličina cifara može da bude različita i kreće se obično od oko 10—30 mm. U najnovije vreme izrađuju se i u multipliciranoj formi, čime se u velikoj meri smanjuje ukupan broj spoljašnjih priključaka. Jedna takva multiplicirana indikatorska cev nazvana je pandikon (pandicon). Ona sadrži 14 niksi-elemenata, čiji se cifarski simboli pojavljuju na ravni površine 140 × 10 mm. Minimalni napon napajanja je 170 V, dok je ukupna anodna struja manja od 10mA. Zahvaljujući multipliciranoj koncepciji proizvodnje, broj spoljašnjih priključaka pandikona smanjen je za preko 80% u poređenju sa indikatorom koji bi sadržavao odgovarajući broj niksi-cevi.



Sl. 9.28. Segmentni indikator

Pored niksi-cevi često se za cifarsku indikaciju primenjuje i segmentni indikator. Na sl. 9.28 pokazan je takav indikator sa sedam segmenata. Pogodnim uključivanjem određenog broja segmenata moguće je formirati bilo koji od deset cifarskih znakova. Prema oznakama na slici, dekadne cifre mogu da se predstave na sledeći način:

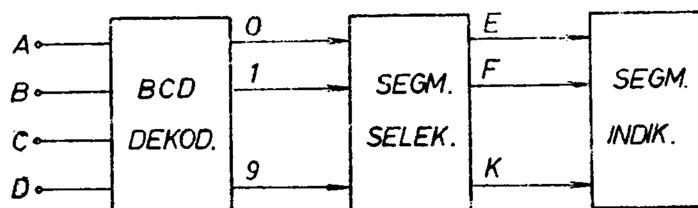
$$P_0=EFGHIJ \qquad P_5=EGHJK$$
$$P_1=IJ \qquad P_6=EFGHJK$$
$$P_2=EFHIK \qquad P_7=HIJ$$
$$P_3=EHIJK \qquad P_8=EFGHIJK$$
$$P_4=GIJK \qquad P_9=EGHIJK \tag{9.21}$$

Očigledno je da se ovakva komutacija segmenata može da ostvari primenom odgovarajuće prekidačke matrice, ali pre nego što pređemo na rasmatranje potrebne logike kola, rećićemo nešto i o tehnici izvođenja segmenata.

Segmenti mogu da budu bilo kakvi svetlosni elementi kao što su sijalice, elektroluminescentne pločice, svetlosne diode itd. U indikatorskoj cevi nazvanoj fluorotron, na primer, anode izvedene u vidu segmenata prema sl. 9.28, premazane su fluorescentnom smesom, te stoga svetle kad na njih padaju elektroni emitovani iz zagrejane katode. U nekim slučajevima segmenti se izrađuju u vidu kondenzatorskih ploča razdvojenih dielektrikumom sa prime-

sama fosfora. Pod uticajem promenljivog elektrostatičkog polja nastaju svetlosne radijacije u dielektrikumu, poznate kao luminescentne pojave. U novije vreme se između elektroda postavljaju svetleći filmovi (Light-emitting film, odnosno skraćeno *LEF*), koji rade na istom principu. Najzad, segmenti mogu da budu ostvareni i pomoću svetlosnih dioda (Light-emitting diode — *LED*). One se izrađuju u poluprovodničkoj monolitnoj tehnici koristeći materijal galijum-arsenid-fosfid (*Ga AsP*). Pri eksitaciji ovih dioda oslobađaju se fotoni u vidljivom spektru, te stoga one mogu da posluže kao dobar svetlosni indikator. Zavisno od sastava legure, boja svetlosti može da varira od infracrvene (talasna dužina oko 900 nm) do zelene (oko 550 nm). Obično se koristi crvena boja (oko 650 nm), jer se tada postiže najveće iskorišćenje elektroluminescencije upotrebljenog materijala.

Svetlosne diode se uveliko koriste kao punktualne svetlosne ćelije pri kompoziciji alfanumeričkih simbola, o čemu je bilo govora o odeljku 6.4.6. Ovde, međutim, više takvih svetlosnih ćelija treba da čine jedan segment, čime se očito gubi u pogledu detalja simbola, ali se uprošćava tehnika izvođenja. Kao naročite prednosti indikatora sa svetlosnim diodama uopšte treba navesti: mali napon napajanja (oko 2V), velika brzina prekidanja (oko 1 ns) i pogodnost izrade u integrisanoj formi. Zbog toga su *LED*-indikatori od naročitog interesa u vizuelnim sistemima uopšte, gde se obično koriste kao moduli sa matričnim rasporedom od 5×7 svetlosnih ćelija [10].



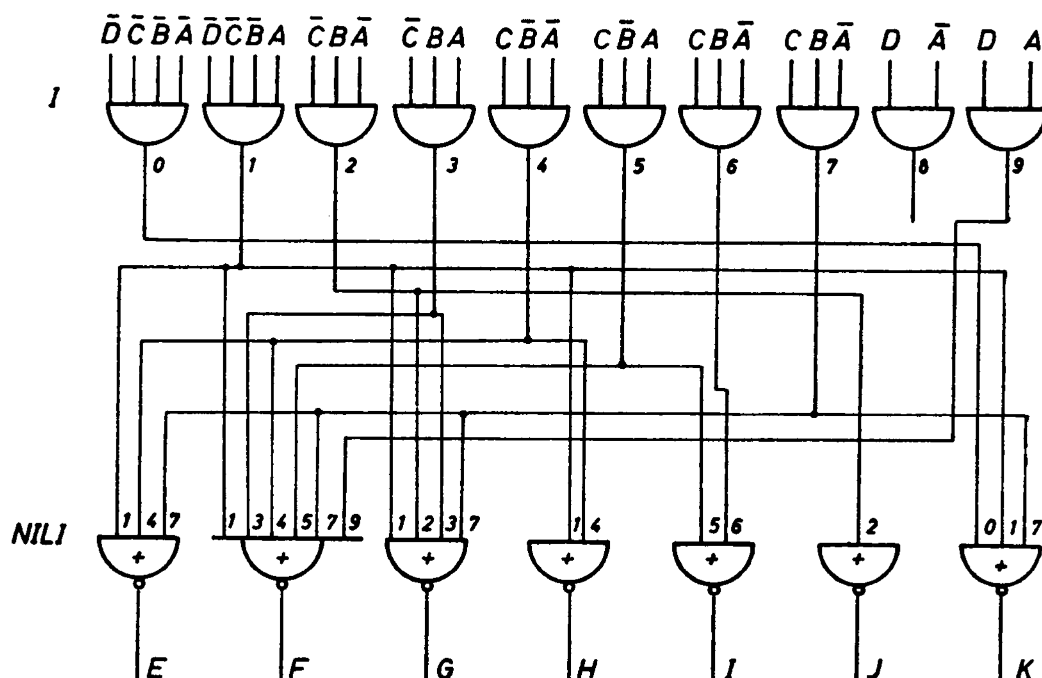
Sl. 9.29. Indikatorski sistem sa segmentima

Da bi se segmentni sistem koristio kao cifarski indikator kod dekadnih brojača, mora se izvršiti prvo dekodovanje *BCD* slogova u decimalne cifre, pa onda izražavanje tih cifara odgovarajućim segmentnim simbolima prema jednačinama (9.21). Prema tome, indikatorski sistem sa segmentima sadrži tri bloka: dekoder *BCD* cifara, segmenti selektor i segmentni indikator, sl. 9.29. Pretpostavljajući da dekadni brojač radi u kodu 8421, dekodovanje stanja brojača u decimalne vrednosti i izražavanje ovih vrednosti pomoću cifarskih simbola prikazano je odgovarajućim vrednostima u tabeli 9.11. Sinteza dekodera, kao što znamo, može da se izvede

Brojač 8421	Decim. vredn.	Segmenti
D C B A		*E F G H I J K*
0 0 0 0	0	1 1 1 1 1 1 0
0 0 0 1	1	0 0 0 0 1 1 0
0 0 1 0	2	1 1 0 1 1 0 1
0 0 1 1	3	1 0 0 1 1 1 1
0 1 0 0	4	0 0 1 0 1 1 1
0 1 0 1	5	1 0 1 1 0 1 1
0 1 1 0	6	1 1 1 1 0 1 1
0 1 1 1	7	0 0 0 1 1 1 0
1 0 0 0	8	1 1 1 1 1 1 1
1 0 0 1	9	1 0 1 1 1 1 1

Tabela 9.11. Kombinacione vrednosti indikatorskog sistema sa segmentima

pomoću logičkih *I* kola za dva, tri i četiri ulaza, vodeći računa o minimizaciji binarnih tetrada. Desni deo tabele 9.11 odnosi se na selekciju indikatorskih segmenata pri formiranju pojedinih simbola. Pošto se svaki segment pojavljuje u više simbola, realizacija funkcija segmenata može da se izvede pomoću logičkih *ILI* kola. Međutim, treba uočiti da kolone za segmente imaju znatno manje nula nego jedinica, te je stoga pogodnije raditi sa komplementnim vrednostima. To upravo znači da se menja logika indikatora: umesto da se cifarski simboli formiraju uključivanjem potrebnih segmenata, jednostavnije je da se to isto postigne isključivanjem nepotrebnih segmenata. Zbog toga umesto *ILI* treba uzeti logičke *NILI* elemente za realizaciju funkcije segmenata.



Sl. 9.30. Translator *BCD*8421 u 7 segmenata

Na sl. 9.30 predstavljena je šema dekodersko-selektorskog bloka realizovanog pomoću logičkih *I* i *NILI* elemenata, saglasno vrednostima u tabeli 9.11. Ulazi *I* kola priključeni su na odgovarajuće prave ili komplementne izlaze binarnih stepena *A*, *B*, *C* i *D* u dekadnom brojaču. Izlazi *I* kola dovode se na ulaze *NILI* kola, preko kojih se vrši isključivanje segmenata u indikatoru. Očigledno je da u koncepciji isključivanja segmenata logički element I_8 nije potreban, pošto u simbolu cifre 8 nema nepotrebnih segmenata.

Pored opisanih, postoji i više drugih sistema indikatora za cifarske simbole. Kod nekih indikatora cifarski simboli su ugravirani u prozračne ploče (na primer od pleksiglasa) i postaju vidljivi pri propuštanju svetlosti kroz ploču u pogodnom pravcu. U drugim indikatorima cifarski simboli se dobijaju propuštanjem svetlosti na određeni zastor kroz odgovarajuće maske simbola. Kako se u ovim indikatorima koriste optička sočiva za usmeravanje svetlosnog mlaza u određenom pravcu, to se takvi indikatori često nazivaju optički. Najzad pomenimo i indikatore koji ispisuju simbole pomoću elektronskog mlaza katodne cevi, a u najnovije vreme za istu svrhu razvijena je i specijalna cev — digisplay sa jednim ili sa više elektronskih mlazeva [12].

9.4. KRUŽNI BROJAČI

Brojački stepeni u ranije opisanim mrežama bili su spregnuti na određeni način samo idući od ulaza prema izlazu brojača. To su u neku ruku bile brojačke mreže sa otvorenim — slobodnim izlazom. Za razliku od ovih, kružni ili prstenasti brojači imaju zatvorenu brojačku mrežu, što znači da kod njih redovno postoji sprega između izlaznog i ulaznog brojačkog stepena. Sam način rada ovih brojača podseća na poznate principe primenjene kod pomeračkih registara, pa se ponekad ovi brojači ili pak neke njihove modifikacije nazivaju i pomerački.

Pored načina rada, kružni brojači razlikuju se od konvencionalnih i po broju potrebnih memorijskih elemenata za konstrukciju brojača određene osnove brojanja. Dok je kod binarnih brojača osnova brojanja jednaka vrednosti 2^n, kod kružnih brojača ona je $2n$ ili pak samo n. To znači da dekadni brojač ovog tipa mora da sadrži pet odnosno deset flipflopova umesto četiri koliko je bilo potrebno kod konvencionalnih brojačkih mreža. Povećani broj stepena svakako predstavlja nedostatak kružnih brojača. Međutim, oni imaju neke prednosti u pogledu specifičnosti njihovog koda brojanja, o čemu je nešto rečeno i ranije u odeljku 2. 3. 2.

9.4.1. Brojači modula n

Brojači modula n iziskuju, dakle, n brojačkih stepena, koji čine zatvorenu brojačku mrežu. Iako je i u ovoj koncepciji brojača od velikog interesa dekadna osnova brojanja, rasmotrićemo princip rada ovakve mreže na kvinarnom umesto na dekadnom brojaču, koji bi inače bio samo dvostruko složeniji.

Prema kružnom kodu, koji je naveden ranije u tabeli 2.4, mogu da se ispišu kombinacione vrednosti kvinarnog kružnog brojača. U tabeli 9.12 izneta su stanja

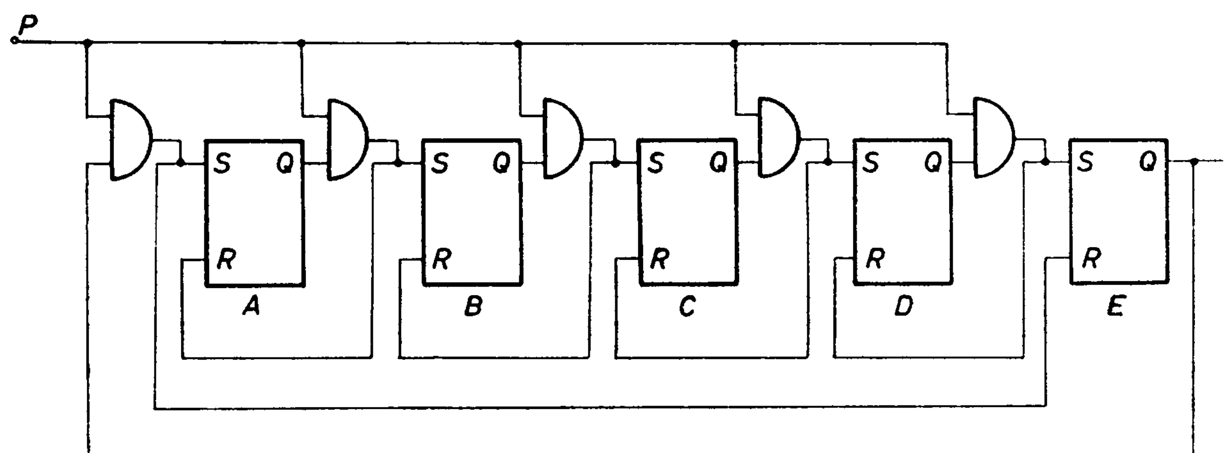
S_i	P	$E\ D\ C\ B\ A$	E		D		C		B		A	
			R	S	R	S	R	S	R	S	R	S
0	1	0 0 0 0 1	0	0	0	0	0	0	0	1	1	0
1	1	0 0 0 1 0	0	0	0	0	0	1	1	0	0	0
2	1	0 0 1 0 0	0	0	0	1	1	0	0	0	0	0
3	1	0 1 0 0 0	0	1	1	0	0	0	0	0	0	0
4	1	1 0 0 0 0	1	0	0	0	0	0	0	0	0	1
5	1	0 0 0 0 1										

Tabela 9.12. Kombinacione vrednosti kružnog brojača

takvog brojača, kao i vrednosti ulaza RS flipflopova sa kojima stanja brojača treba da budu realizovana. Na osnovu ove tabele jednostavnim ispisivanjem dobijaju se ulazne jednačine RS flipflopova:

$$\begin{aligned} S_A &= PE = R_E \\ S_B &= PA = R_A \\ C_C &= PB = R_B \\ S_D &= PC = R_C \\ S_E &= PD = R_D. \end{aligned} \qquad (9.22)$$

Na osnovu gornjih jednačina ucrtana je šema kružnog brojača na sl. 9.31. Naglasimo da je u početnom stanju brojača prvi stepen setovan, dok su svi ostali resetovani. Okidni impulsi P dovode se paralelno na sve brojačke stepene, ali efektivno delovanje prvog impulsa omogućeno je preko I kola samo na S ulazu flipflopa B, pošto je jedino $Q_A = 1$. Prema tome, impuls P_1 setuje flipflop B, ali istovremeno resetuje flipflop A. Pošto ova druga operacija treba da se obavi nešto malo posle prve, povratni vod $Q_A - R_A$ obično sadrži još i neke elemente za kašnjenje. Pri dolasku sledećeg impulsa samo je izlaz $Q_B = 1$, te će se setovati flipflop C, a odmah zatim resetovati B. Nastavljajući tako brojanje, vidi se da će konačno impuls P_5 da setuje ponovo stepen A, resetujući uz to flipflop E. Na taj način biće završen ciklus brojanja, jer je posle petog impulsa ponovo uspostavljeno početno stanje brojača. Drugim rečima, to znači da kružni brojač sa pet binarnih elemenata ima moduo brojanja 5, tj. $M = n$.

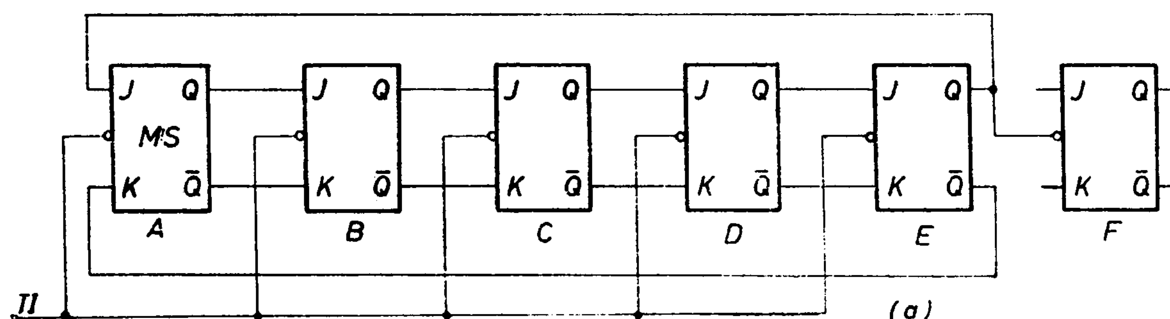


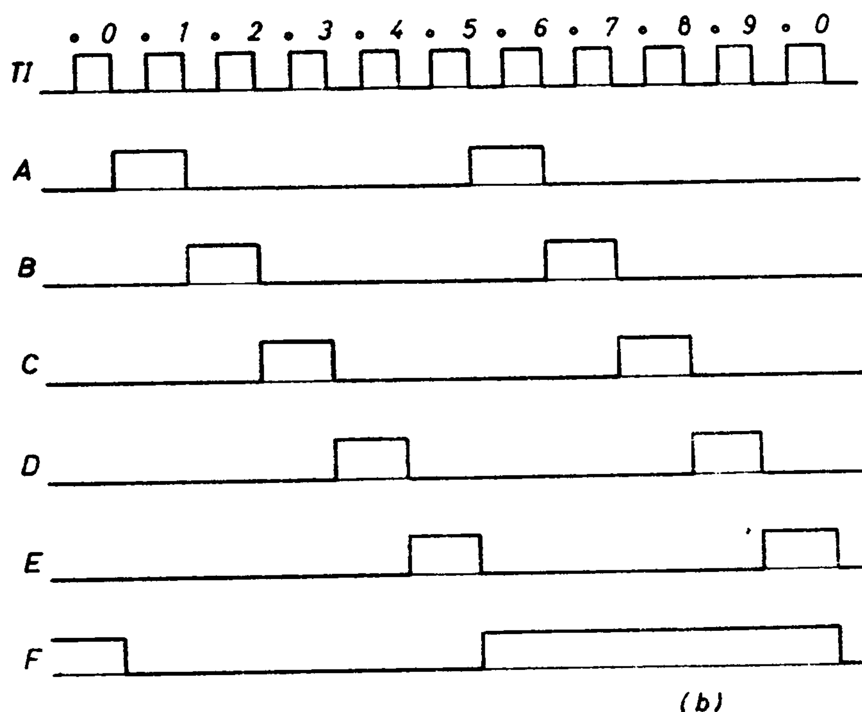
Sl. 9.31. Kružni brojač modula n

Za realizaciju dekadnog kružnog brojača potrebna je brojačka mreža sa deset binarnih elemenata. Princip rada je potpuno isti kao i za prethodni kvinarni brojač, a kompletna stanja takvog brojača mogu se videti u tabeli 2.4. Ovaj brojač ima težinski kod 9876543210. Dobra strana brojača je ta, što se sva njegova stanja mogu lako da kontrolišu s obzirom da sadrže samo po jedan setovan flipflop. Razumljivo je da veliki broj binarnih elemenata predstavlja nedostatak ovakvog dekadnog brojača, koji ograničava njegovu primenu samo na specifične potrebe.

Dekadni brojač može da se ostvari sa manjim brojem stepeni ako se iskoristi bikvinarna koncepcija brojačke mreže. Takav brojač pokazan je na sl. 9.32. Prvih pet stepeni čine kružni kvinarni brojač, izveden sa JK flipflopovima MS tipa. Ovi elementi omogućavaju jednostavnu spregu između stepena i pouzdan rad pri korišćenju paralelne koncepcije brojača uopšte. Kao što pokazuju vremenski dijagrami na sl. 9.32 b, početno stanje brojača definisano je vrednostima $Q_A = 1$, i $Q_{B-F} = 0$. Prema tome, prvi takt-impuls setuje stepen B, jer je $Q_A = 1$, a resetuje A pošto je $K_A = 1$.

Dalji postupak brojanja je isti kao i u prethodnom brojaču, što znači da će prvi ciklus brojanja da se završi u petom takt-intervalu, a drugi u desetom. Da bi se mogla da identifikuju pojedinačna stanja u toku deset takt-impulsa, dodat je i binarni stepen F, koji ima trigersku logiku. Prema tome, pri završetku prvog ciklusa kružnog brojača ovaj stepen se setuje, a pri završetku drugog on se





Sl. 9.32. Bikvinarni kružni brojač
(a) blok-šema (b) vremenski dijagrami

resetuje. Na taj način realizuje se bikvinarni brojač sa stanjima datim u tabeli 9..13 Kao i kod svih bikvinarnih brojača i ovde poziciona vrednost cifara u najvišoj klasi je 5. Pošto je kod kružnog kvinarnog brojača 43210, to znači da će kod opisanog dekadnog brojača da bude 543210.

Iako prikazani bikvinarni brojač sadrži binarne heksade, svaka od ovih heksada može da se dekoduje pomoću logičkih *I* kola sa po dva ulaza. Posmatrajući tabelu 9.13 jasno se vidi da se stanja brojača mogu da dekoduju uzimajući u obzir samo stanje stepena *F* i stanje logičke jedinice odgovarajućeg binarnog elementa u kvinarnom

S_i	F	E	D	C	B	A
0	0	0	0	0	0	1
1	0	0	0	0	1	0
2	0	0	0	1	0	0
3	0	0	1	0	0	0
4	0	1	0	0	0	0
5	1	0	0	0	0	1
6	1	0	0	0	1	0
7	1	0	0	1	0	0
8	1	0	1	0	0	0
9	1	1	0	0	0	0
10	0	0	0	0	0	1

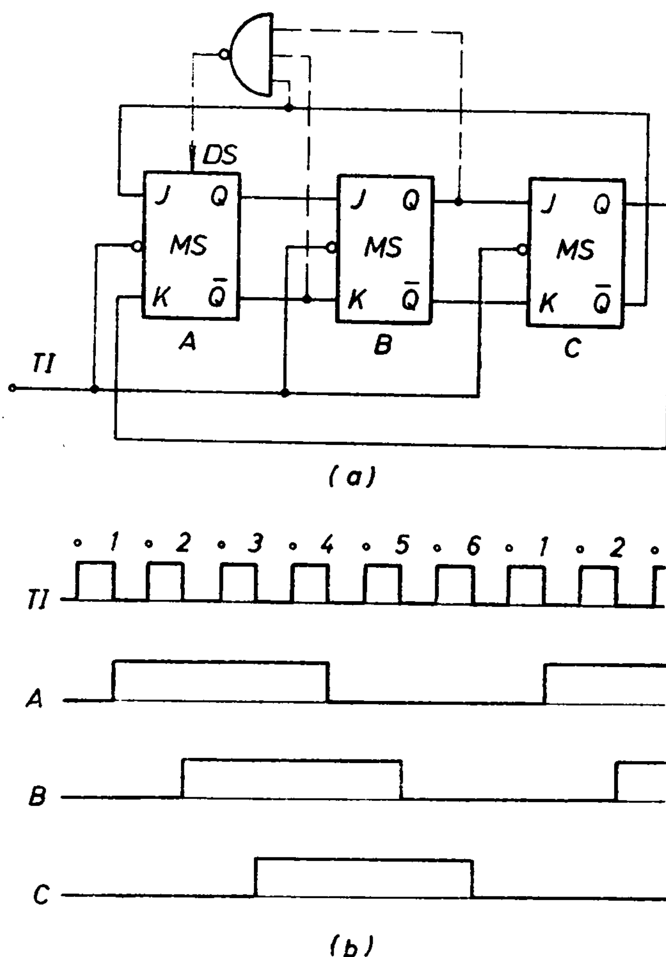
Tabela 9.13. Kombinacione vrednosti bikvinarnog kružnog brojača

brojaču. Saglasno tome, dakle, dekoderska *I* kola treba da registruju sledeće kombinacije:

$$P_0 = A\bar{F} \qquad P_5 = AF$$
$$P_1 = B\bar{F} \qquad P_6 = BF$$
$$P_2 = C\bar{F} \qquad P_7 = CF \qquad (9.23)$$
$$P_3 = D\bar{F} \qquad P_8 = DF$$
$$P_4 = E\bar{F} \qquad P_9 = EF.$$

Gornji izrazi upravo pokazuju da dekoderska matrica ovakvog dekadnog brojača sadrži svega 20 prekidačkih elemenata. Posmatrano u celini, dakle, kružni brojač iziskuje veći broj binarnih stepeni u brojačkoj mreži nego konvencionalni, ali manji broj prekidačkih elemenata u dekoderskoj mreži.

Na kraju istaknimo da je pravilan rad kružnog brojača obezbeđen pod uslovom da se pri uključivanju brojača samo jedan stepen nađe u setovanom stanju. Svaki drugi poredak početnog stanja rezultuje u nepravilan rad brojača. Istina, kada se kružni brojač koristi kao generator povorke kontrolnih impulsa, početna stanja brojača mogu da budu i drukčija. Tako, na primer, ako je početno stanje kružnog brojača sa parnim brojem flipflopova podešeno tako, da je svaki drugi stepen setovan, brojač će generisati četvrtaste napone sa frekvencijom upola manjom od učestanosti takt-generatora.



Sl. 9.33. Kružni brojač modula 2*n*
(a) blok-šema (b) vremenski dijagrami

9.4.2. Brojači modula 2n

Posmatrano sa konstruktivne tačke gledišta kružni brojač modula 2 *n* je samo modifikacija brojača sa modulom *n*. Drugim rečima, radi se opet o brojaču sa zatvorenom petljom, kod koga su svi stepeni paralelno vezani na taktni generator. Izvedena modifikacija brojača sastoji se samo u tome što je izvršeno ukrštanje povratnih veza sa poslednjeg na prvi brojački stepen. Zbog toga se ponekad ovaj brojač i naziva kružni brojač sa ukšrtenom povratnom spregom. Pored toga, neki ga nazivaju i pomerački (shift) brojač, iz razloga što se formirani oblik napona u brojaču pomera od jednog do drugog stepena. Najzad, da bi se otklonila svaka zabuna o kom se brojaču radi, ovaj tip kružnog brojača često nosi naziv Džonsonov (Johnson) brojač.

Na sl. 9.33 ucrtana je blok-šema trostepenog kružnog brojača Džonsonovog tipa. Kao što je već rečeno, za razliku od konvencional-

nog kružnog brojača, ovde je izvršeno ukrštanje veza za spregu između poslednjeg i prvog stepena. Naime, izlaz Q_C vezan je na ulaz K_A, dok je izlaz $\bar{Q}_C$ doveden na ulaz J_A. Ova, na oko neznatna modifikacija ranijeg kružnog brojača izmenila je ne samo način njegovog rada već i mnoge njegove karakteristike. Pre svega, početno stanje brojača definisano je logičkim nulama na izlazu svakog stepena. To znači da je samo prvi stepen pripremljen za setovanje jer je $J_A = 1$, dok su svi ostali stepeni upućeni na resetovanje pošto su im K ulazi na visokom naponu. Prema tome, prvi taktni impuls efektivno će da deluje samo na stepenu A uspostavljajući u njemu stanje $Q_A = 1$.

Sledeći okidni impuls setuje samo stepen B, jer se on nalazi u resetovanom stanju, a ima pozitivan J ulaz. Stepen A je i dalje orijentisan na setovanje, te stoga zadržava prethodno stanje. Isto tako stepen C ostaje u ranijem stanju, ali je sada, nastalom izmenom napona na njegovim J i K priključcima, pripremljen za setovanje. Imajući to u vidu, dakle, posle trećeg impulsa stanje brojača biće okarakterisano logičkim jedinicama na izlazima svih memorijskih elemenata. Osim toga na ulazima J i K prvog stepena došlo je do izmene napona tako da je on sada pripremljen sa resetovanje.

Prateći vremenske dijagrame na sl. 9.33 b vidimo da se i operacija resetovanja flipflopova prenosi postupno od jednog do drugog stepena kao što je bio slučaj i sa setovanjem. Na taj način ciklus brojanja se završava posle šestog takt-impulsa, iz čega proizilazi da je osnova brojanja ovakvog brojača jednaka vrednosti 2 n, gde je n broj stepeni u brojačkoj mreži. Neosporno je da ovaj podatak ukazuje na prednost Džonsonovog brojača u poređenju sa običnim, kružnim kod koga je za isti kapacitet brojanja potreban dvostruko veći broj binarnih elemenata. Najzad ukažimo i na to, da se kod običnog kružnog brojača naponski impuls na bilo kom stepenu formira u toku jednog takt-intervala, dok je kod Džonsonovog brojača to vreme n puta duže. Pored toga, generisani naponi na svim flipflopovima su simetrični, odnosno kvadratni, te je njihova učestanost 2 n puta manja od učestanosti taktnog generatora.

S_i	C	B	A	K_i
0	0	0	0	0
1	0	0	1	1
2	0	1	1	3
3	1	1	1	7
4	1	1	0	6
5	1	0	0	4
6	0	0	0	0

Tabela 9.14. Kombinacione vrednosti kružnog brojača modula 2n

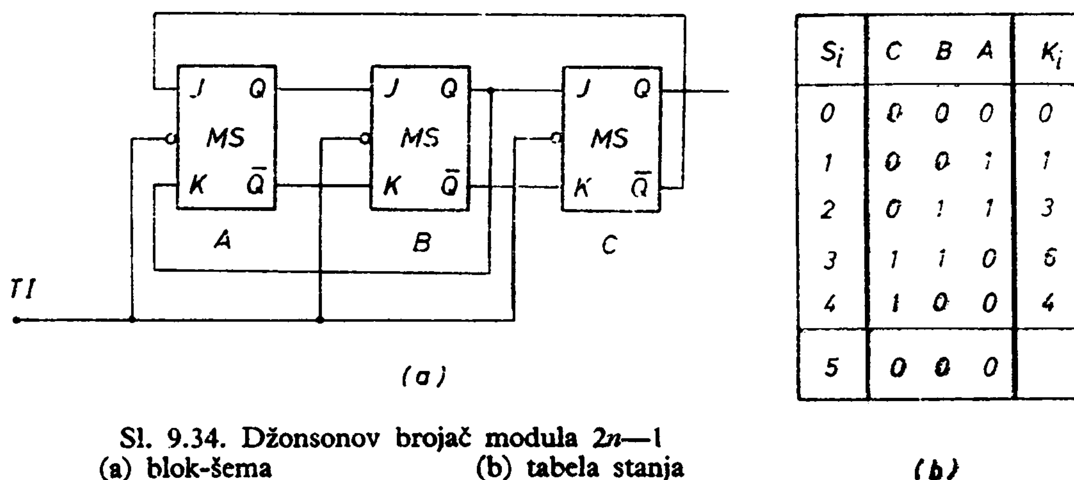
Na osnovu ispisanih stanja, trostepenog Džonsonovog brojača u tabeli 9.14, lako se uviđa da su binarne triade $K_2 = \bar{C}B\bar{A}$ i $K_5 = C\bar{B}A$ ilegalna za ovaj brojač. Zbog toga je potrebno još ispitati i ponašanje brojača u slučaju da se pri uključivanju u njemu uspostavi jedno od tih stanja. Pretpostavimo da je brojač u stanju $K_2 = \bar{C}B\bar{A}$. Prvi taktni impuls koji se pojavi na ulazu brojača, setovaće stepene A i C, a resetovaće stepen B, tako da se u brojaču uspostavlja drugo nedozvoljeno stanje $K_5 = C\bar{B}A$. Sledeći okidni impuls, međutim resetovaće prvi i treći stepen, a setovaće drugi, što znači da se ponovo uspostavlja prvo ilegalno stanje. Iz ovoga očito proizilazi zaključak, da će brojač u ovakvom slučaju permanentno da osciluje između dva navedena kvazi--stanja, što onemogućava njegov normalni rad. Zbog toga je nužno preduzeti neke mere, koje će sprečiti zadržavanje brojača u nedozvoljenim stanjima.

Prinudno ubacivanje brojača u neko legalno stanje izvodi se na više načina. Automatsko obezbeđenje normalnog rada brojača može da se postigne primenom logičkog I kola. Ako su ulazi ovog kola priključeni na izlaze binarnih elemenata $\bar{Q}_A$, Q_B i $\bar{Q}_C$, kad god se u brojaču uspostavi kombinacija $K_2 = \bar{C}B\bar{A}$ na ulazu I

kola nastaje visoki napon. Ukoliko se ovaj napon iskoristi za direktno setovanje flipflopa A, brojač će se odmah prebaciti u stanje $S_2 = K_3 = \overline{C}BA$, koje je legalno. Primetimo da bi pokazana kontrolna logika bila isto tako efikasna i bez vezivanja izlaza $\overline{Q}_C$ na I kolo.

Da bi se omogućila primena opisnog kontrolnog kola, flipflopovi treba da imaju i poseban ulaz za direktno setovanje. Često je takav ulaz predviđen za negativne impulse, te se umesto navedenog I upotrebljava logički NI element, koji je pokazan i na sl. 9.33 a.

Prema dosadašnjem izlaganju izgledalo bi da Džonsonov brojač može da ima samo parnu vrednost za osnovu brojanja. Međutim, ako se povratna sprega u brojaču na sl. 9.33 uzme sa izlaza Q_B umesto sa Q_C, dobija se brojač sa modulom 5, odnosno kvinarni brojač. Uopšte uzevši, kada se povratna sprega, umesto sa Q_n uzme sa izlaza Q_{n-1} formira se brojač sa neparnom osnovom brojanja, čija vrednost iznosi $2n - 1$.



S_i	C	B	A	K_i
0	0	0	0	0
1	0	0	1	1
2	0	1	1	3
3	1	1	0	6
4	1	0	0	4
5	0	0	0	

Sl. 9.34. Džonsonov brojač modula $2n—1$
(a) blok-šema (b) tabela stanja

(b)

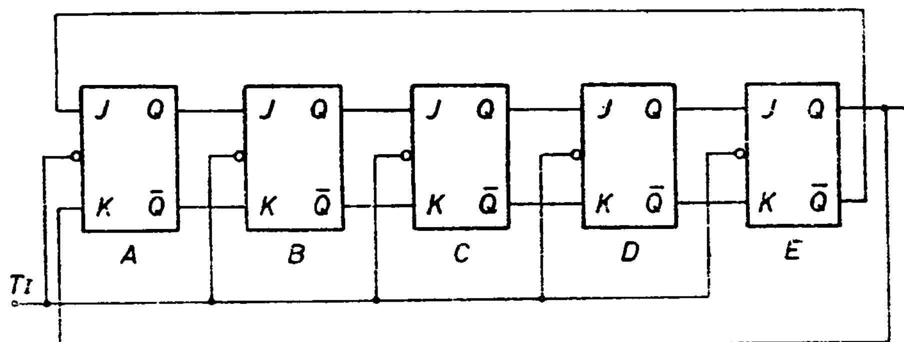
Na sl. 9.34 a pokazan je Džonsonov kvinarni brojač. Vremenski dijagrami ovog brojača razlikovali bi se od onih na sl. 33 b samo po tome što bi istovremeno sa setovanjem flipflopa C nastalo i resetovanje stepena A. To znači da visoki naponski nivo na brojačkim stepenima traje sada $(n — 1)$ takt-interval, te više generisani napon na flipflopovima nema kvadratni oblik.

Kombinaciona tabela brojača prikazana je na sl. 9.34 b. Iz nje se vidi da su u ovom slučaju neiskorišćene binarne kombinacije $K_{2,5}$ i $_7$. Ispitujući ovaj brojač u pogledu navedenih ilegalnih stanja, dolazi se do zaključka da on, za razliku od prethodnog, ne poseduje osobinu permanentno ilegalnog rada. Drugim rečima to znači da se Džonsonov kvinarni brojač automatski ubacuje u normalan rad posle izvesnog broja okidnih impulsa.

Među specijalnim BCD kodovima u tabeli 2.4 naveden je i petocifreni pomerački kod. To je kod koji se dobija pomoću Džonsonovog dekadnog brojača, sl. 9.35. Ovaj brojač sadrži pet binarnih jedinica sa ukrštenom povratnom spregom. Način rada brojača ni po čemu se ne razlikuje od onoga koji je izložen kod brojača na sl. 9.33. S obzirom da se i ovde radi o parnoj vrednosti osnove brojanja naponi na brojačkim stepenima su kvadratnog oblika, sa periodom ponavljanja u trajanju od deset takt--intervala.

U tabeli 9.15 date su kombinacione vrednosti stanja brojača sa pomeračkim kodom. S obzirom da se radi o petostepenom brojaču, u njemu je iskorišćeno, znači, svega deset binarnih pentada, dok preostale 22 kombinacije predstavljaju ilegalna

stanja brojača. Ispitujući ponašanje brojača s obzirom na ova ilegalna stanja dolazi se do interesantnih zaključaka. Tako, na primer, ako brojač startuje iz nedopuštene binarne kombinacije $K_{10} = \bar{E}D\bar{C}B\bar{A}$, on će se pri prvom okidnom impulsu opet prebaciti u nedozvoljeno stanje $K_{21} = E\bar{D}C\bar{B}A$. Sledeći impuls, međutim, ponovo uspostavlja stanje K_{10}. Prema tome, u ovom slučaju nastaje permanentno oscilovanje brojača između dva navedena ilegalna stanja.



Sl. 9.35. Dekadni brojač sa pomeračkim kodom

U slučaju da se brojač nađe u nekom od preostalih 20 ilegalnih stanja, on će i tada biti dekadni delitelj zauzimajući stalno samo ilegalna stanja. Na taj način nastaju dve grupe ilegalnih stanja, koja odgovaraju kombinacijama:

2—5—11—23—14—29—26—20—8—17—2 ili

4—9—19—6—13—27—22—12—25—18—4.

Iako brojač i u ovim slučajevima radi kao dekadni, njegova stanja ne mogu biti dekodovana, jer je dekoder izveden prema kombinacionim vrednostima u tabeli 9.15. Imajući u vidu da ovakav brojač ostaje permanentno u nedozvoljenim stanjima, ako se slučajno nađe u nekom od njih, neophodno je i ovde predvideti automatsko uspostavljanje normalnog rada na način koji je pokazan kod trostepenog brojača na sl. 9.33 a.

S_i	E	D	C	B	A	K_i
0	0	0	0	0	0	0
1	0	0	0	0	1	1
2	0	0	0	1	1	3
3	0	0	1	1	1	7
4	0	1	1	1	1	15
5	1	1	1	1	1	31
6	1	1	1	1	0	30
7	1	1	1	0	0	28
8	1	1	0	0	0	24
9	1	0	0	0	0	16
10	0	0	0	0	0	0

Tabela 9.15. Kombinacione vrednosti dekadnog brojača sa pomeračkim kodom

Pomerački kod, kao što je ranije rečeno, nema težinski karakter. Prema tome binarnim stepenima u Džonsonovoj brojačkoj mreži ne mogu se pripisati bilo kakve pozicione vrednosti. Što se tiče dekodovanja rezultata brojanja, ono se obavlja na uobičajen način pomoću logičkih *I* elemenata. Istaknimo da je i u ovom slučaju moguće dekodovati bilo koje stanje brojača koristeći samo dve binarne vrednosti od postojećih pet. Prema vrednostima u tabeli 9.15 može se videti da je za sintezu dekodera dovoljno koristiti sledeće logičke proizvode

$$\begin{aligned} P_0 &= \bar{A}\bar{E} & P_5 &= AE \\ P_1 &= A\bar{B} & P_6 &= \bar{A}B \\ P_2 &= B\bar{C} & P_7 &= \bar{B}C \\ P_3 &= C\bar{D} & P_8 &= \bar{C}D \\ P_4 &= D\bar{E} & P_9 &= \bar{D}E. \end{aligned} \tag{9.24}$$

Prema, tome, dekoder Džonsonovog dekadnog brojača sadrži svega 20 prekidačkih elemenata, kao što je bio slučaj i kod konvencionalnog kružnog brojača.

9.5. NEKE PRIMENE OPERACIJE BROJANJA

Već je istaknuto da se elektronski brojači upotrebljavaju za direktno brojanje fizičkih jedinki, ali isto tako i za raznovrsne druge svrhe pri digitalnoj obradi podataka. Vrlo je teško izvršiti neko svrstavanje mogućih primena brojača u određene grupe, kako bi se lakše stekao uvid u mogućnosti koje brojač pruža. Pa ipak, kao važnije primene brojača mogli bismo da navedemo: generisanje stepenastog napona, selektovano brojanje po vrednosti, selektovano brojanje po vremenu i delenje broja impulsa. Generisanje stepenastog napona susreće se u nekim sistemima za analogno-digitalnu konverziju, o kojoj će se govoriti u sledećoj glavi. Potreba selektovanog brojanja po vrednosti javlja se u konvencionalnom brojanju, ali isto tako i pri izvođenju nekih aritmetičkih operacija. Selektovano brojanje po vremenu koristi se u digitalnoj instrumentaciji. Najzad, delenje broja impulsa i nije ništa drugo do već pokazani princip brojanja bilo u binarnom ili nekom drugom brojnom sistemu. Poslednje tri mogućnosti primene brojača biće bliže objašnjene nekim konkretnim primerima.

9.5.1. Selektovano brojanje po vrednosti

Selektovano brojanje po vrednosti sastoji se u tome, da brojač obavlja postupak brojanja samo u jednom određenom opsegu vrednosti, koji je manji od kapaciteta brojača. Prema tome, brojači za ovu svrhu treba da poseduju i mogućnost proizvoljnog ograničavanja procesa brojanja. Obično je opseg brojanja vezan za početnu ili krajnju vrednost brojača. Prema tome, da bi se ostvarilo selektovano brojanje, u prvom slučaju biće potrebno da se u brojaču postavi stop — vrednost, a u drugom — start-vrednost. Stop-vrednost može da se identifikuje pomoću ranije opisanog komparatora bita, sl. 6.28. Još jednostavnije fiksiranje završne vrednosti brojanja pokazano je na sl. 9.36. Start-komandom preko kontrolnog flipflopa *FF* omogućava se prolaz impulsa za brojanje P_B kroz *I* kolo. Zatvarajući odgovarajuće kontakte na ručnom prekidaču *RP* postavlja se vrednost stop-impulsa, koji će resetovati kontrolno kolo i time zaustaviti dalje brojanje. Naprimer, ako se zatvore kontakti 2^0 i 2^1 selektovani opseg vrednosti brojača obuhvata samo tri brojačka impulsa.

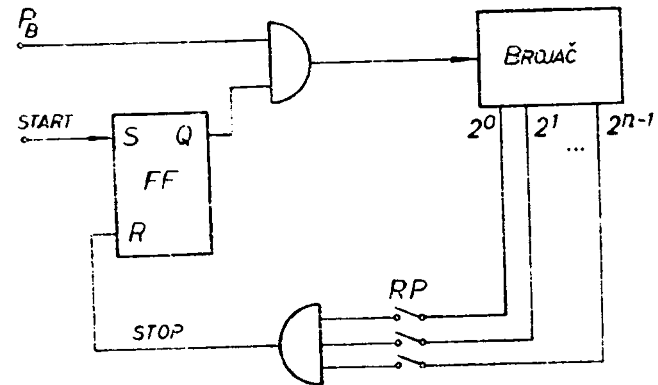
Brojači su redovno podešeni tako, da se pri neograničenom brojanju automatski vraćaju sa krajnje na početnu vrednost. Prema tome, kada se selektovani opseg brojanja vezuje za krajnju vrednost kapaciteta brojača *K*, potrebno je unapred postaviti startnu vrednost, odnosno preset *P*. Ova vrednost se fiksira direktnim postavljanjem brojačkih stepena u odgovarajuća stanja. Pri tome treba imati u vidu da za selektovani opseg vrednosti od *N* impulsa brojač treba da se postavi na startnu vrednost

$$P = K - N. \tag{9.25}$$

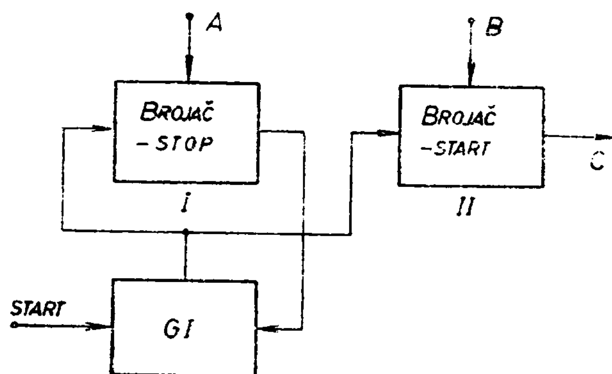
Naglasimo, da brojač sa promenljivom startnom vrednošću ne iziskuje praktično nikakvu dodatnu upravljačku logiku.

Pomoću brojača sa selektovanim vrednostima mogu da se obavljaju aritmetičke operacije sabiranja i oduzimanja. Za operaciju sabiranja potrebna su dva brojača jedan sa proizvoljnim stop, a drugi sa proizvoljnim start-vrednošću, sl. 9.37. Ako se radi o zbiru brojeva $A + B = C$, u prvom brojaču se stop-vrednost podesi na broj *A*, a u drugom se start-vrednost presetuje na broj *B*. Start-komandom uključuje se generator impulsa *GI* i oba brojača počinju da broje: prvi od nule, a drugi od broja *B*. Kad prvi brojač dostigne vrednost *A*, nastaje signal koji isključuje generator impulsa. Prema tome, drugi brojač na izlazu *C* pokazuje zbir brojeva *A* i *B*.

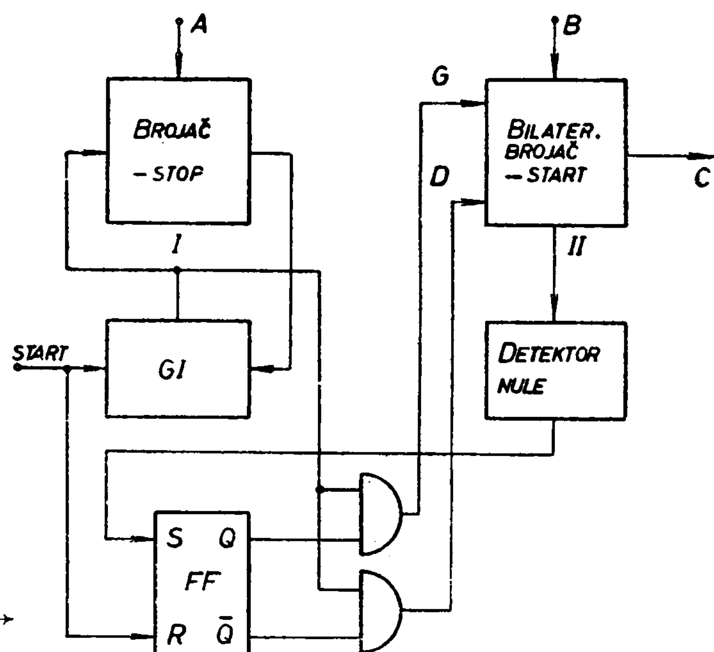
Operacija oduzimanja $C = A - B$ je nešto složenija, što pokazuje i blok-šema na sl. 9.38. U prvom brojaču podešen je stop-izlaz na broj A, a u drugom — bilateralnom brojaču postavljen je start-ulaz na broj B. Start-komandom uključuje se generator impulsa i resetuje kontrolni flipflop FF. Prvi brojač počinje da broji od



Sl. 9.36. Postavljanje stop-vrednosti brojača →



← Sl. 9.37. Sabiranje pomoću brojača

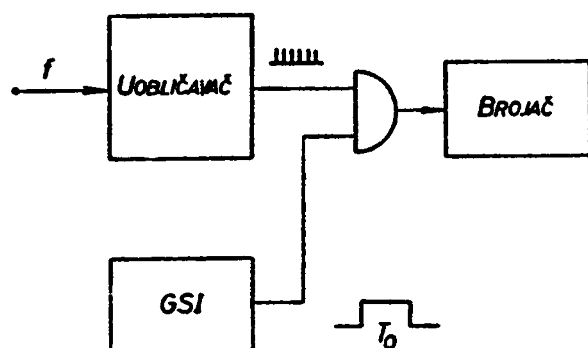


Sl. 9.38. Oduzimanje pomoću brojača →

nule i ide prema vrednosti broja A. Drugi brojač broji unazad od vrednosti B. Kada dostigne nulu, kontrolni flipflop se setuje, tako da brojač sada nastavlja brojanje unapred. U momentu kada prvi brojač dostigne vrednost A isključuje se generator impulsa, a na izlazu C bilateralnog brojača pokazuju se razlika brojeva A i B.

9.5.2. Selektovano brojanje po vremenu

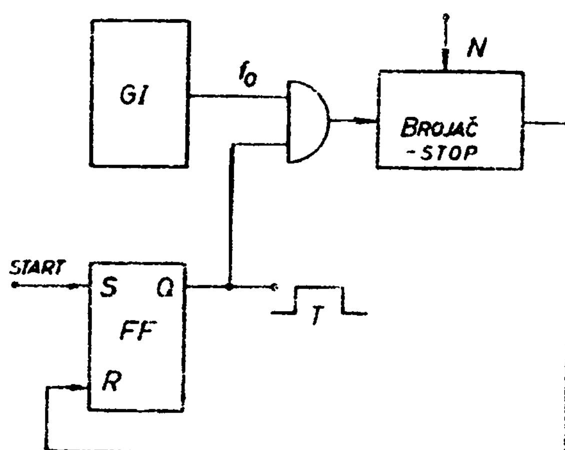
Selektovano brojanje po vremenu obavlja se samo u jednom određenom, selektovanom vremenskom intervalu. Ako se ovako brojanje primenjuje u mernoj instrumentaciji onda vremenski interval kao i učestanost brojačkih impulsa moraju biti strogo definisani.



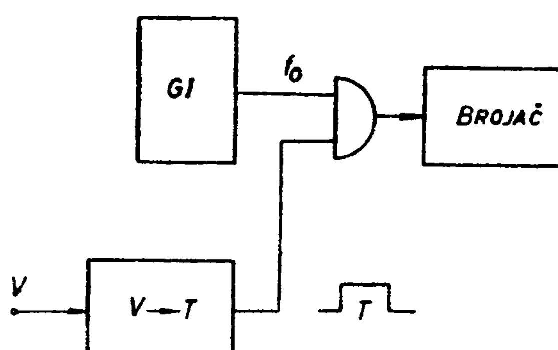
Sl. 9.39. Merenje učestanosti f pomoću brojača

Primenu selektovanog brojanja po vremenu pokazaćemo na principu rada digitalnih instrumenata za merenje učestanosti i napona. Na sl. 9.39 prikazan je u najosnovnijim crtama rad digitalnog frekvencmetra. Analogni napon učestanosti f dovodi se na ulaz uobličavača, koji sadrži, na primer, Šmitovo kolo. Izlazni impulsi dolaze na brojač samo u toku selektovanog vremena T_0, čije je trajanje određeno parametrima generatora selektorskih impulsa *GSI*. Ako je to vreme jednako standardnom vremenskom etalonu, onda će brojač da pokazuje vrednost učestanosti merenog signala. Očigledno je da će u ovom slučaju selektorski impuls neposredno da utiče na tačnost merenja učestanosti.

Dovoljno tačan selektorski impuls može da se dobije pomoću uobičajenog kvarcnog oscilatora, čiji se signal transformiše u impulse potrebnog trajanja. Generisanje vremenskog intervala određenog trajanja, uostalom, može takođe da se ostvari pomoću brojača sa selektovanom stop-vrednošću N, sl. 9.40. Generator impulsa *GI*, konstantne i stabilne učestanosti f_0, pobuđuje brojač do vrednosti N. Na kontrolnom flipflopu *FF*, prema tome, formira se visoki nivo napona, čije trajanje iznosi $T=N/f_0$.



Sl. 9.40. Generisanje vremenskog intervala T



Sl. 9.41. Merenje napona V pomoću brojača

Digitalno merenje napona bazira takođe na brojanju impulsa konstantne učestanosti f_0 u toku trajanja selektorskog impulsa, čija širina je funkcija merenog napona. Ovaj princip rada pokazan je na sl. 9.41. Mereni napon V konvertuje se u odgovarajući selektorski impuls trajanja

$$T = SV, \qquad (9.26)$$

gde je sa S označen nagib karakteristike naponsko vremenskog konvertora. S druge strane, trajanje impulsa T meri se vremenskim etalonom $T_0 = 1/f_0$ pa se iz relacije

$$T = SV = NT_0 \tag{9.27}$$

nalazi da je

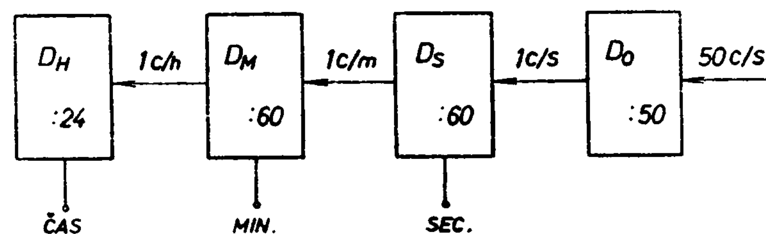
$$V = \frac{N}{Sf_0} = kN. \tag{9.28}$$

Dobijeni izraz pokazuje da je mereni napon proporcionalan broju impulsa N, koje brojač primi u toku vremenskog perioda T. Napomenimo, da naponsko-vremenski konvertori nalaze veliku primenu u analogno-digitalnoj konverziji, pa će o njima biti više reči u sledećoj glavi ove knjige.

9.5.3. Delenje broja impulsa

Već je istaknuto da su brojači u suštini delitelji učestanosti, odnosno delitelji broja impulsa. Odnos delenja impulsa izražava se osnovom ili modulom brojača. U primenama gde se brojačke mreže ne koriste za stvarno brojanje, radije se one nazivaju deliteljima nego brojačima. U većini slučajeva za tu svrhu se koriste konvencionalne mreže za binarne brojače, ali isto tako upotrebljavaju se i druge, ukoliko se pokaže da je takvo rešenje iz bilo kojih razloga povoljnije.

Digitalni časovnik može da posluži kao lep primer upotrebe brojačkih mreža za delenje broja impulsa. Kao generator impulsa za komercijalne svrhe koriste se električna mreža naizmenične struje učestanosti 50 Hz. Da bi ovakav generator poslužio za indikaciju vremena izraženog u časovima, minutima i sekundama, potrebno je ostvariti višestruko delenje osnovne učestanosti prema blok-šemi na sl. 9.42. Naime, delitelj D_0 sa osnovom delenja 50, obezbeđuje formiranje vremenskih intervala u trajanju od jedne sekunde. Na kraju svakog takvog perioda generiše se impuls koji se koristi za indukciju sekunada. Delitelji D_S, D_M i D_H vrše odgovarajuća delenja



Sl. 9.42. Delitelji učestanosti u digitalnom časovniku

prethodnog broja impulsa da bi se ostvarile veće jedinice za merenje vremena. Prema tome, na izlazu mreže D_S nastaje impuls sa periodom ponavljanja od jednog minuta, a na izlazu mreže D_M za periodom ponavljanja od jednog časa. Najzad, delitelj D_H obezbeđuje indikaciju časova sa periodom ponavljanja od jednog dana.

Primenjujući obične binarne mreže, delitelji D_0 D_S i D_M mogu da se realizuju sa po 6 flipflopova uz primenu odgovarajućih mera za dobijanje navedenih vrednosti delenja. Za delitelj D_H, međutim, bilo bi dovoljno 5 flipflopova, tako da je u celoj mreži angažovano ukupno 23 flipflopa. Pored toga, u dekoderskim matricama za

indikaciju navedenih vremenskih jedinica bilo bi potrebno da se ugradi 840 prekidačkih elemenata, recimo dioda.

Deliteljske mreže za vremenske jedinice mogu da se izvedu i u dekadnom sistemu. Na primer, delitelj D_S može da sadrži brojačku mrežu modula 10 za jedinice i modula 6 za desetice. U tom slučaju bilo bi angažovano 7 flipflopova i 58 dioda u navedenom delitelju, umesto 6 flipflopova i 360 dioda u prethodnom slučaju. Još ekonomičnije rešenje može da se postigne ako se u navedenom delitelju upotrebi Džonsonova brojačka mreža modula 10 i 6. U ovom slučaju za realizaciju ovog delitelja i odgovarajuće dekoderske matrice potrebno je 8 flipflopova i 32 diode.

Prema napred iznetom vidi se, da je zbog dekoderskih matrica najbolje koristiti Džonsonovu brojačku mrežu u deliteljima D_M i D_S, dok je za delitelj D_0 povoljnija obična binarna mreža. Što se tiče delitelja D_H, teško je reći da li je povoljnija binarna ili Džonsonova brojačka mreža. U prvom slučaju potrebno je 5 flipflopova i 120 dioda, a u drugom 12 flipflopova i 48 dioda. Istina, dodajući na Džonsonovu mrežu modula 12 još jedan poseban binarni stepen, delitelj D_H može da se ostvari angažujući samo 7 flipflopova i 48 dioda. Na taj način kompletna deliteljska i indikatorska mreža časovnika bila bi ostvarena sa 30 *FF* i 112 dioda.

LITERATURA

1. *Malvino, A.P., Leach, D.P.*: Digital Principles and Applications, McGraw-Hill, New York, 1969, gl. 7, 8 i 9
2. *Chu, Y.*: Digital Computer Design Fundamentals, Mc Graw-Hill, New, York, 1962, pgl. 10.4
3. *Turner, J.F.*: Digital Computer Analysis, Merrill, Columbus, Ohio, 1968, gl. 15
4. *Gillie, A.C.*: Pulse and Logic Circuits, McGraw-Hill, New York, 1968, gl.19 i 20
5. *Kinter, P.M.*: Electronic Digital Techniques, McGraw-Hill, New York, 1968, gl.8
6. *Sifferlen, T.*[illegible]*.,* [illegible]*, V.*: Digital Electronics with Engineering Applications, Prentice-Hall, Englewood Cliffs, New Jersey, 1970, gl.6
7. *Rumpf, K.H., Pulvers, M.*: Transistor-Elektronik, VEB Verlag Technik, Berlin, 1970, pgl.5.3
8. *Millman, J., Taub, H.*: Pulse, Digital and Switching Waveforms, McGraw-Hill, New York, 1965, gl.18
9. *Günter, H.*: Synchrone Zählschaltungen in TTL-Technik, Elektronik, Jg. 19, H.8, Sept. 1970, str. 281—284
10. *Rosenzweig, W., Jonson, B., Schuhmaker, N.*: A GaP Electroluminescent Diode Matrix Display System, IEEE Trans. On Electron Devices, vol. ED-18, No. 9, Sept. 1971
    Solid State Alpfanumeric Indicator, Hewlett Packard technical data, 15 Feb. 1970
    Solid State Alpfanumeric Display, Hewlett Packard application note 931, Nov. 1970, str. 633—637
11. *Mühlstadt, G.*: Code-Umsetzer für Sieben-Segment-Zifferndarstellung, Elektronik, Jg. 19, H. 10, Okt. 1970, str. 339—342 Ziffernanzeige nach dem Elektrolumineszenz-Prinzip, Elektronik, Jg. 20, H.2, Feb. 1971, str. 66—68
12. *Goede, W.F., Jeffries, L.A., Gunther, J.E.*: A Flat Alpfanumeric Display Tube, IEEE Trans. on Electron Device, vol. ED-18, No. 9, Sept. 1971, str. 692—697
13. *Dokter, F., Steinhauer, J.*: Digitale Elektronik, Band II, Deutche Philips, Hamburg, 1970 pgl. 1.3—5 i 6.6

GLAVA 10

D/A I A/D KONVERZIJA

Pod konverzijom neke fizičke veličine uopšte podrazumeva se transformacija, odnosno pretvaranje te veličine u neku drugu fizičku veličinu. Potreba za konverzijom fizičkih veličina javila se prvobitno u mernoj instrumentaciji, gde su posredstvom pretvarača — transdjusera mnoge fizičke veličine izražavane pomoću električnih, na primer, temperatura, vlažnost, pritisak, osvetljaj, zvuk itd. Većina takvih pretvarača daje električne signale u kontinualnom, analognom obliku. Kako je za obradu tih signala, iz već poznatih razloga, povoljniji digitalni oblik, to je potrebno izvršiti konverziju dobijenog analognog signala u digitalni. Za tu svrhu koriste se analogno-digitalni ili kraće *A/D* konvertori. Prema tome, *A/D* konvertori su elektronske naprave koje pretvaraju analogni oblik informacije u digitalni. U većini slučajeva radi se samo o tranfsormaciji oblika informacija izraženih pomoću električnih veličina, mada postoje i *A/D* konvertori koji analogni signal neke fizičke veličine pretvaraju u digitalni električni signal (na primer rotaciono kretanje). Pošto se digitalne informacije izražavaju u nekom određenom kodu, to se navedeni konvertori često zovu i *A/D* koderi, odnosno enkoderi.

U nekim primenama, međutim, kao što su pisači, merni i kontrolni uređaji, pogodniji je analogni oblik električnog signala. Prema tome, po izvršenoj digitalnoj obradi informacija, nekad je potrebno, znači, da se one transformišu u analogni oblik. Elektronske naprave koje vrše pretvaranje digitalnog oblika informacije u analogni nazivaju se *D/A* konvertori, a ponekad i *D/A* dekoderi. Ove naprave su u principu jednostavnije od prethodnih, a često se pojavljuju i kao njihov sastavni deo. Zbog toga ćemo se u narednom izlaganju prvo upoznati sa digitalno-analognim pa onda sa analogno-digitalnim konvertorima.

10.1. PARAMETRI KONVERTORA

A/D i *D/A* konvertori, o kojima će jedino i biti reči u daljem izlaganju, su složeni uređaji koji sadrže razna elektronska kola: otporne mreže, referentne napone, generatore impulsa, pojačavače, komparatore, kombinacione i sekvencijalne sklopove itd. Imajući u vidu da je, na primer, *A/D* konvertor jedan od ulaznih organa digitaluređaja za obradu informacija, to od njegovih karakteristika može mnogo da zavisi i valjanost konačno dobijenih rezultata. Očigledno je, na primer, da se učinjene greške pri pretvaranju analognog u digitalni signal nikakvim sredstvima ne mogu kasnije u toku digitalne obrade da poprave. Prema tome, tačnost odnosno greška konverzije je jedan od najbitnijih parametara svakog konvertora.

Grešku konverzije u stvari čine dva parametra: instrumentalna i kvantizaciona greška. Instrumentalna greška potiče od nesavršene izrade pojedinih kola u konvertoru: otpornih mreža, komparatora, prekidača itd. Ova greška može da se smanji preciznijom, a često i dosta složenijom izradom pomenutih kola, što katkada neće biti i ekonomski opravdano.

Kvantizaciona greška nastaje zbog nemogućnosti da se svaka analogna vrednost predstavi tačnom digitalnom vrednošću. Naime, analogni signali su kontinualni, pa prema tome mogu da poseduju bilo koju od beskonačno mnogo vrednosti. S druge strane, pak, digitalni signali su diskretni, te je broj njihovih vrednosti ograničen. Otuda samo neke analogne vrednosti mogu da budu tačno konvertovane u digitalni oblik, dok ostale samo približno. Greška koju pri tome treba očekivati zavisi od rezolucije, odnosno osetljivosti konvertorskog sistema. Rezolucija je najmanja promena napona koju konvertor može da registruje. Najmanja promena diskretnog signala jednaka je kvantu, koga određuje bit najniže pozicione vrednosti. Očigledno je da će pomenuti kvant biti manji, a sa time i sistematska greška konvertovanja manja, ukoliko digitalni slog sadrži veći broj bita. Naime, ako neki napon treba da se predstavi u digitalnoj formi sa n bita, za to stoje na raspoloženju 2^n diskretnih nivoa. Pošto je kvant ograničen sa dva susedna nivoa, to znači da je njegova vrednost data izrazom

$$\Delta V = \frac{V_{max}}{2^n - 1}, \qquad (10.1)$$

gde je V_{max} najveća vrednost konvertovanog napona ili napon pune skale V_{PS} Prema tome, greška kvantovanja biće manja što je veći broj bita u kodnim rečima. Stoga se rezolucija konvertora često izražava i brojem bita sa kojim konvertor radi. Tako, na primer, rezolucija konvertora data sa $n = 10$, znači da najmanja promena napona koju taj uređaj može da oseti iznosi $V_{PS}/1023$. Izraženo u procentima, za ovakav konvertor se može reći da ima kvantizacionu grešku manju od 0,1% pune skale. Isto tako, za konvertor koji radi sa tri bita nalazi se da njegov napon rezolucije iznosi $V_{PS}/7$, odnosno da radi sa kvantizacionom greškom manjom od 15%. U ovom slučaju, na primer, analogni naponi, čije vrednosti ne prelaze iznos od 3,5 V, mogu da se transformišu u digitalne napone čije se vrednosti skokovito menjaju za iznos kvanta $\Delta V = 3{,}5/7 = 0{,}5\ V$. Prema tome, rezolucioni napon datog konvertora iznosi 0,5 V, a njegova maksimalna kvantizaciona greška može da bude $100 \cdot 0{,}5/3{,}5 \approx 14\%$.

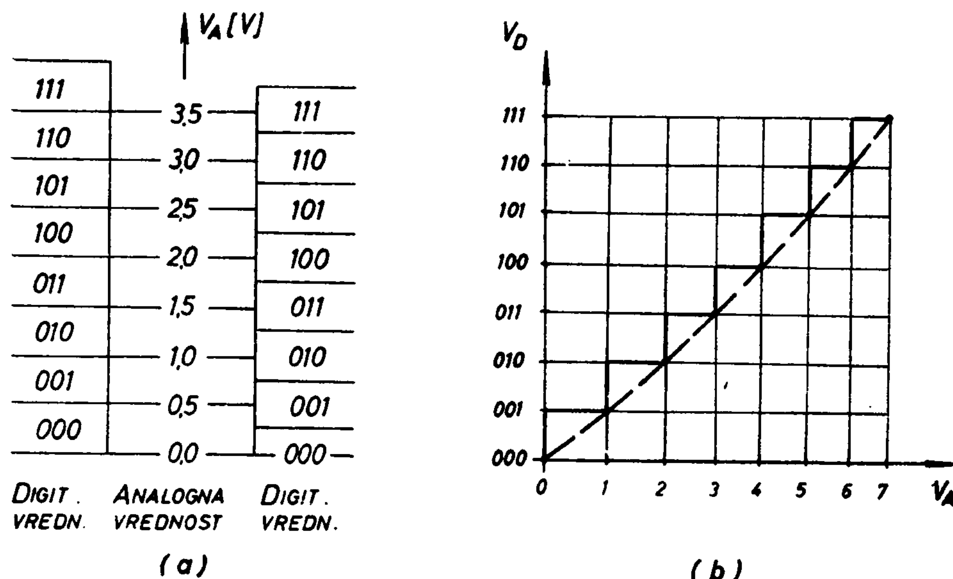
Na sl. 10.1 a ilustrovana je veza između analognih i digitalnih vrednosti za prethodni primer. Prema pokazanoj skali na levoj strani slike, analogni napon od 2.9 V, na primer, bio bi predstavljen digitalnom vrednošću 101. Međutim, pri ponovnoj konverziji ove vrednosti u analognu, dobio bi se napon od svega 2,5 V, jer je vrednost kvanta $\Delta V = 0{,}5\ V$. U ovom slučaju kvantizaciona greška je jednog smera i njena granična vrednost jednaka je kvantu, odnosno rezolucionom naponu. Kako je ovaj napon određen bitom najniže vrednosti, ponekad se veličina pokazane greške označava sa *LSB* (Least Significant Bit).

Pokazana konverziona skala može da bude podešena i tako da reperna tačka analogne veličine pada na kraj umesto na početak diskretnog opsega. U tom slučaju, umesto u minusu, greške nastaju u plusu. Najveća greška i ovde može da bude ΔV ili *LSB*.

Na desnoj strani slike 10.1 a pokazana je konverziona skala na kojoj su reperne analogne vrednosti postavljene na sredinu odgovarajućih diskretnih opsega. Prevodeći sada analogni napon od 2.9 V u digitalni, nalazi se vrednost 110. Kada se ovaj

napon ponovo vrati u analogni, dobija se iznos od 3 V, što u poređenju sa prethodnim slučajem daje bolji rezultat. Očigledno je da kvantizaciona greška u ovom slučaju može da ide u oba smera, te je njena granična vednost data sa $\pm\frac{1}{2}\Delta V$ ili $\pm\frac{1}{2}LSB$.

Pri projektovanju konvertora koriste se poznate metode najnepovoljnijeg slučaja ili statistička. U prvom slučaju ukupna greška konvertora je zbir instrumentalne i kvantizacione greške. U drugom slučaju ona je jednaka kvadratnom korenu iz



Sl. 10.1. Veza između analognih i digitalnih veličina
(a) skala konverzije (b) karakteristika konverzije

zbira kvadrata instrumentalne i kvantizacione greške. Napomenimo, da kvantizaciona greška ima uniformnu raspodelu pošto se sa istom verovatnoćom može da pojavi bilo koja vrednost greške u datim granicama. Raspodela ukupne greške na kvantizacionu i instrumentalnu podleže u krajnoj liniji kompromisu između komplikovanog sistemskog rešenja uređaja i teškoća precizne izrade pojedinih elektronskih sklopova.

Ponekad se tačnost konvertora daje pomoću karakteristike konverzije. Pri tome se kao parametar definiše diferencijalna linearnost digitalno-analogne karakteristike $V_D - V_A$, sl. 10.1 b. Pošto su promene digitalnog napona kvantovane, to se nelinearnost karakteristke konverzije ogleda u različitim rastojanjima analognog napona pri izmeni dva susedna digitalna nivoa. Napomenimo da postoje, istina vrlo retko, i konvertori sa eksponencijalnom karakteristikom konverzije.

Drugi važan parametar konvertora je njegova brzina rada, odnosno vreme konverzije. To je vreme koje protekne od momenta dovođenja signala jednog oblika na ulaz konvertora pa do dobijanja konvertovanog signala u drugi oblik na njegovom izlazu. Kod *D/A* konvertora ovo vreme može da bude veoma kratko — reda nekoliko desetina nanosekunada pod uslovom da su upotrebljeni dovoljno brzi prekidački elementi. Vreme konverzije *A/D* konvertora, međutim, može da bude znatno duže i uglavnom je srazmerno sa zahtevanom tačnošću konvertora. Naime, *A/D* konverzija se često obavlja tako da je za svaki kvant digitalne vrednosti potreban po jedan takt-interval. Pošto se veća tačnost konverzije može da postigne pri manjoj vrednosti kvanta, odnosno napona rezolucije, to će takvom konvertoru za određenu analognu

vrednost biti potrebno duže vreme za konvertovanje. Tako, na primer, ako taktni generator radi na učestanosti od 1 MHz maksimalno ciklusno vreme konvertora sa tri bita iznosi 7 μs, sl. 10.2. Očigledno je da je ovo vreme potrebno za konverziju analognog napona pune skale, dok će za manje vrednosti analognog signala i konverziono vreme biti manje. To znači da brzina konverzije ne zavisi samo od brzine rada upotrebljenih kola i primenjenog konverzionog sistema već i od dinamike, odnosno veličine analognog signala. Napomenimo ovde da postoje *A/D* sistemi koji imaju i znatno manje konverziono vreme, ali su ti sistemi u principu složenijeg sastava.

Pored tačnosti i brzine rada konvertore karakterišu i mnogi drugi parametri kao što su: napon pune skale, digitalni nivoi napona, ulazne i izlazne otpornosti, temperaturski opseg, dozvoljeni napon smetnji, električna i mehanička stabilnost itd. Pošto ovi parametri ne karakterišu nikakve specifične osobine konvertora, to i nije potrebno da se o njima ovde posebno govori. Jedino se može naglasiti da je napon pune skale u stvari najveći dozvoljeni analogni napon, koji će u digitalnoj formi biti izražen samo binarnim simbolima „1". Ovo, razume se, ne odnosi se i na bit algebarskog znaka u slučaju da se radi o analognim naponima oba polariteta.

10.2. PRINCIP IZVOĐENJA D/A KONVERZIJE

Digitalno-analogna konverzija predstavlja transformaciju digitalne vrednosti signala u analognu. Sam proces konverzije obuhvata dva postupka: dekodovanje i regenerisanje signala. Dekodovanje se sastoji u određivanju analognih vrednosti signala na osnovu datih kodnih reči u digitalnom obliku. Pod regenerisanjem, međutim, podrazumeva se postupak formiranja kontinualnog, neprekidnog signala na bazi dobijenih vrednosti u prethodnom postupku. Matematički posmatrano, regenerisanje predstavlja aproksimaciju analognog signala nekim polinomom. U daljem izlaganju biće reči samo o prvom postupku procesa *D/A* konverzije. Što se tiče drugog postupka, zadovoljićemo se time da analogni signal bude aproksimiran polinomom nultog reda. To upravo znači da se ne sprovodi pomenuta regeneracija kontinualnog analognog signala, već se on predstavlja stepenastom krivom koja se dobija samo dekodovanjem datih digitalnih vrednosti.

Dekodovanje digitalnih vrednosti može da se ostvari na više načina. U *D/A* konvertorima, međutim, redovno se za tu svrhu koriste otporne mreže sa više ulaza i jednim izlazom. Elementi mreže su sračunati tako da se za svaku digitalnu vrednost signala na ulazu dobija odgovarajući analogni ekvivalent na izlazu. Prema tome, tačnost konverzije zavisiće dakle, prvenstveno od preciznosti izrade otporne mreže. Što se tiče brzine izvođenja *D/A* konverzije, može se reći da je ona vrlo velika, jer se postupak dekodovanja obavlja u toku jednog takt-intervala. Očigledno je, međutim, da elementi otporne mreže kao i prateća elektronska kola moraju biti saobražena brzini koju nameće sinhronizacioni generator dotičnog digitalnog sistema.

10.3. OTPORNE MREŽE ZA D/A KONVERZIJU

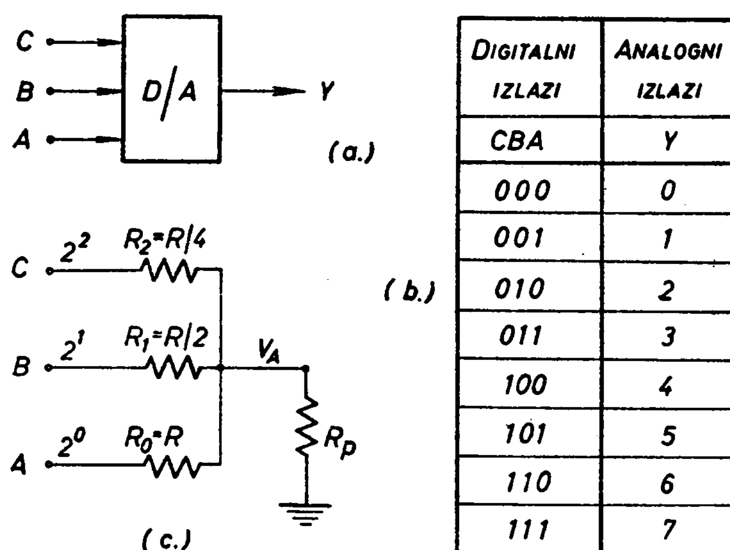
Određivanje analognog ekvivalenta binarno kodovane digitalne reči može da se ostvari, kao što je već pomenuto, pomoću specijalno šemiranih otpornih mreža. Ove mreže imaju samo jedan izlaz, a broj ulaza im je određen brojem bita u digitalnim slogovima koji se konvertuju. Elementi mreže se odabiraju tako da se na izlazu formiraju analogni naponi, čije vrednosti stoje u odnosima pozicionih vrednosti bita u kodnoj reči, ukoliko se eksituje samo jedan određeni ulaz mreže. Pored toga, otporna

mreža mora imati i zbirni element, koji omogućava srazmerno povećanje analognog napona na izlazu za slučaj istovremene pobude više ulaza.

Otporne mreže za *D/A* konverziju mogu da budu izvedene na više načina, što je u nekoliko uslovljeno i nekim specifičnim zahtevima. U široj primeni uglavnom se nalaze težinske i lestvičaste otporne mreže, koje se sa manjim modifikacijama mogu da koriste za dekodovanje digitalnih signala datih u binarnom ili nekom drugom kodu.

10.3.1. Težinske otporne mreže

Težinske otporne mreže nazivaju se tako po tome, što se vrednosti otpora u njoj određuju prema pozicionim vrednostima, odnosno težinama pojedinih bita u digitalnoj reči. Takvu jednu otpornu mrežu formiraćemo za *D/A* konvertor sa tri ulaza prema blok-šemi na sl. 10.2 a. Na sl. 10.2 b data je veza između digitalnih i odgovarajućih analognih vrednosti izraženih u kvantima. Ako je ulaz *A* predviđen za prijem bita najniže pozicione vrednosti — *LSB*, onda prisustvo samo digitalnog napona V_A treba da obezbedi na otporu R_p napon od jednog kvanta ΔV. U slučaju da na ulazu otporne mreže deluje samo napon V_B na izlazu treba da se uspostavi napon vrednosti $2\,\Delta V$. Najzad ako je doveden samo napon V_C na priključak *C*, izlazni napon treba da bude $4\,\Delta V$.



DIGITALNI IZLAZI	ANALOGNI IZLAZI
CBA	Y
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

Sl. 10.2. *D/A* konvertor
(a) blok-šema (b) konverziona skala (c) težinska otporna mreža

Da bi se obezbedio gornji odnos napona, otpori u ulaznim granama treba da imaju odgovarajuće binarne težinske odnose, naime $R_0 = R/2^0$, $R_1 = R/2^1$ i $R_2 = R/2^2$. U ovom slučaju, pod pretpostavkom da je otpornost opterećenja R_p znatno veća od izlazne otpornosti mreže R_i i da su neeksitovane grane preko vrlo malih impedansi pobudnih generatora vezane na masu, dobijaju se tačno gore navedeni naponi na izlazu: $V_{IA} = V_R/7$, $V_{IB} = 2\,V_R/7$ i $V_{IC} = 4\,V_R/7$, gde je V_R vrednost stabilisanog referentnog napona na ulazu konvertora. Očigledno je da napon rezolucije ovog konvertora iznosi $\Delta V = V_R/7$.

S obzirom da se radi o linearnoj mreži, primenljiv je zakon superpozicije, pa će izlazni napon posmatrane otporne mreže odgovarati datim vrednostima *D/A* skale

i u slučaju istovremene eksitacije više ulaza. Prema tome, pokazana otporna mreža omogućava dekodovanje svih osam diskretnih vrednosti, koje se mogu da pojave na D/A konvertoru sa tri ulaza. Tako će, na primer, pri ulaznom signalu 101 na izlazu da se uspostavi napon $V_I = 5\ V_R/7$.

Izraz za analogni napon težinske otporne mreže može lako da se izvede i u opštem slučaju. Znajući da je napon kvanta

$$\Delta V = \frac{1}{2^n - 1} V_R, \tag{10.2}$$

analogni izlazni napon mreže dobija se superpozicijom pojedinih napona poznavajući njihove težinske odnose. Prema tome, biće

$$v_A = (2^0 d_0 + 2^1 d_1 + 2^2 d_2 + \cdots 2^{n-1} d_{n-1}) \frac{V_R}{2^n - 1}, \tag{10.3}$$

gde koeficijenti d_i imaju vrednosti 0 ili 1 u zavisnosti od toga da li na dotičnom ulazu postoji referentni napon V_R ili ne. Napomenimo da gornji izraz daje napon pune skale konvertora uz uslov da su svi koeficijenti $d_i = 1$. Prema tome, za napon pune skale se dobija:

$$V_{APS} = (2^0 + 2^1 + 2^2 + \cdots 2^{n-1}) \frac{V_R}{2^n - 1} = V_R. \tag{10.4}$$

Ovaj izraz pokazuje da je maksimalni napon, koji se može dobiti na izlazu težinske otporne mreže, jednak referentnom naponu dovedenom na digitalne ulaze konvertora.

U opštem slučaju, napon u ma kom čvoru otporne mreže iznalazi se primenom Milmanove (Millman) teoreme. Prema pomenutoj teoremi, napon u ma kom čvoru mreže jednak je količniku zbira struja koje ulaze u čvor i zbira provodnosti vezanih za taj čvor. Struje se određuju pod pretpostavkom da je napon u čvoru jednak nuli. Prema tome, za datu mrežu može da se piše:

$$v_A = \frac{\dfrac{d_0 V_R}{R_0} + \dfrac{d_1 V_R}{R_1} + \dfrac{d_2 V_R}{R_2} + \cdots \dfrac{d_{n-1} V_R}{R_{n-1}}}{\dfrac{1}{R_0} + \dfrac{1}{R_1} + \dfrac{1}{R_2} + \cdots \dfrac{1}{R_{n-1}}}. \tag{10.5}$$

Zamenjujući vrednost otpora $R_0 = R/2^0$, $R_1 = R/2^1 \cdots R_{n-1} = R/2^{n-1}$, gornji izraz se svodi na oblik:

$$v_A = \frac{2^0 d_0 + 2^1 d_1 + 2^2 d_2 + \cdots 2^{n-1} d_{n-1}}{2^0 + 2^1 + 2^2 + \cdots 2^{n-1}} V_R. \tag{10.6}$$

Ovaj izraz je identičan sa onim u jednačini (10.3), pošto imenitelj gornjeg izraza ima vrednost $2^n - 1$.

Vrednost analognog napona prema jednačini (10.3) dobija se pod pretpostavkom da je otpornost potrošača R_p vrlo velika. Međutim, ukoliko to nije slučaj, izlazni napon otporne mreže sa opterećenjem R_P se smanjuje tako da postaje

$$v_{AOP} = \frac{R_P}{R_P + R_i} v_A, \tag{10.7}$$

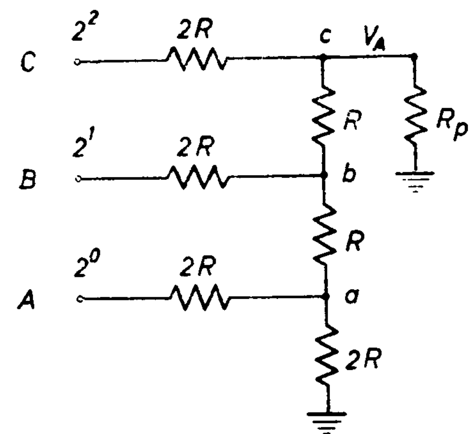
gde je v_A napon dobijen pomoću jednačine (10.3), a R_i izlazna otpornost mreže na mestu priključka potrošača R_P. Izlazna otpornost određuje se vrlo lako, jer se radi o paralelnoj vezi otpora R_0, R_1, $R_2 \cdots R_{n-1}$ u ulaznim granama mreže. Konačni izraz za tu otpornost u opštem slučaju je

$$R_i = \frac{R}{2^n - 1}. \tag{10.8}$$

Težinska otporna mreža je u principu jednostavna za proračun, ali ima više tehničkih nedostataka. Pre svega treba istaći da ova mreža zahteva različite otpornosti u svakoj ulaznoj grani. Imajući u vidu da od preciznosti izrade ovih otpora u strogo određenom odnosu vrednosti zavisi i tačnost konverzije, očigledno je da ovakvo rešenje mreže nije za preporuku naročito kad se radi o konvertorima sa većim brojem ulaza. Osim toga, disipacija otpornika je veoma različita, jer se struje u granama vrlo brzo povećavaju idući od bita najniže vrednosti — *LSB* ka bitu najviše vrednosti-*MSB* (Most Significant Bit). Tako, na primer, u konvertoru sa deset bita struja na ulazu za bit najvišeg ranga je oko 500 puta veća od struje za bit najnižeg ranga. Ova činjenica posebno ukazuje i na veoma različito opterećenje izvora digitalnih signala, koji se priključuju na ulaze *D/A* konvertora.

10.3.2. Lestvičasta otporna mreža

Lestvičasta otporna mreža sadrži samo dve vrednosti otpora R i $2\,R$ pa se stoga često i naziva R—$2\,R$ mreža. Očigledno je, prema tome, da je ona mnogo povoljnija za izradu. Otpornici vrednosti $2\,R$ mogu da budu izvedeni pomoću otpornika vrednosti R i, ukoliko ovi poseduju suprotne temperaturske koeficijente, otporna mreža može da bude ne samo vrlo tačna već i temperaturno veoma stabilna. Prema tome, lestvičasta otporna mreža ima nesumnjive prednosti u poređenju sa težinskom iako, mora se priznati, ima dvostruko veći broj otpora, sl. 10.3.



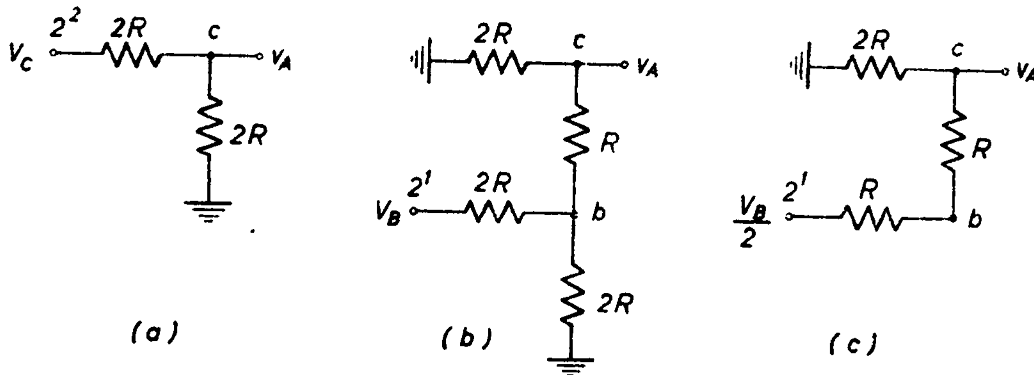
Sl. 10.3. Lestvičasta otporna mreža

Treba uočiti da otpornost lestvičaste otporne mreže iz bilo kog čvora a, b ili c prema ulazima A, B i C kao i prema masi iznosi $2\,R$. Prema tome, izlazna otpornost mreže u tački gde se priključuje potrošač R_P ima vrednost R. U vezi s tim, lako se mogu da odrede vrednosti analognog napona na izlazu konvertora pri eksitaciji jednog po jednog digitalnog ulaza. Uzmimo, na primer, da na ulazu C deluje napon $V_C = d_2\,V_R$, gde je prema ranije rečenom $d_2 = 1$. Pretpostavljajući da je otpornost potrošača R_P, vrlo velika i da su otpornosti izvora digitalnih signala vrlo male, ekvivalentna šema mreže izgledaće kao na sl. 10.4 a. Na osnovu ove šeme lako se nalazi vrednost izlaznog analognog napona:

$$V_{A2} = \frac{2\,R}{2\,R + 2\,R}\,V_C = \frac{d_2\,V_R}{2}. \tag{10.9}$$

U slučaju da samo na ulazu B postoji digitalni napon $V_B = d_1\ V_R$, gde je $d_1 = 1$, ekvivalentna šema mreže izgleda kao na sl. 10.4 b. Primenom Tevenenove teoreme ova šema se svodi na oblik pokazan na slici 10.4 c, koji je pogodan za iznalaženje vrednosti analognog napona:

$$V_{A1} = \frac{2\,R}{R+R+2\,R} \cdot \frac{V_B}{2} = \frac{d_1\,V_R}{4}. \tag{10.10}$$



Sl. 10.4. Ekvivalentne šeme lestvičaste mreže
(a) pri pobudi samo na ulazu C (b) i (c) pri pobudi samo na ulazu B

Pretpostavimo sada da je samo ulaz A eksitovan digitalnim naponom $V_A = d_0\ V_R$, gde je $d_0 = 1$. Sličnim postupkom kao i u prethodnom slučaju nalazi se da je

$$V_{A0} = \frac{d_0\,V_R}{8}. \tag{10.11}$$

Na osnovu prednjeg proizilazi da analogni napon D/A konvertora sa lestvičastom mrežom, kod koga je eksitovan samo jedan od n postojećih digitalnih ulaza, može da se odredi primenom opšte formule

$$v_{An-k} = \frac{d_{n-k}}{2^k}\,V_R, \quad k = 1,\ 2,\ 3, \cdots n. \tag{10.12}$$

Ukupni analogni napon D/A konvertora sa lestvičastom mrežom pri istovremenoj digitalnoj pobudi većeg broja ulaza dobija se superpozicijom gornjih vrednosti, naime:

$$v_A = \left(\frac{d_{n-1}}{2^1} + \frac{d_{n-2}}{2^2} + \frac{d_{n-3}}{2^3} + \cdots \frac{d_{n-n}}{2^n}\right) V_R. \tag{10.13}$$

Ovaj izraz može da se transformiše u sličan oblik kao što je onaj za težinsku mrežu, tako da je:

$$v_A = (2^0\,d_0 + 2^1\,d_1 + 2^2\,d_2 + \cdots 2^{n-1}\,d_{n-1})\,\frac{V_R}{2^n}, \tag{10.14}$$

gde koeficijenti d_i imaju vrednosti 1 ili 0 zavisno od toga da li je dotični digitalni signal na nivou logičke jedinice ili nule. Očigledno je da napon rezolucije ili kvant ovog konvertora ima vrednost

$$\Delta V = V_{A0} = \frac{2^0\,d_0}{2^n}\,V_R = \frac{V_R}{2^n}. \tag{10.15}$$

Napon pune skale konvertora nalazi se pri vrednosti svih koeficijenata $d_i = 1$, tako da je:

$$V_{APS}=(2^0+2^1+2^2+\cdots 2^{n-1})\frac{V_R}{2^n}=\frac{2^n-1}{2^n}V_R. \tag{10.16}$$

Primetimo da je napon pune skale D/A konvertora sa lestvičastom mrežom uvek manji od vrednosti referentnog napona V_R, što inače nije bio slučaj kod konvertora sa težinskom mrežom.

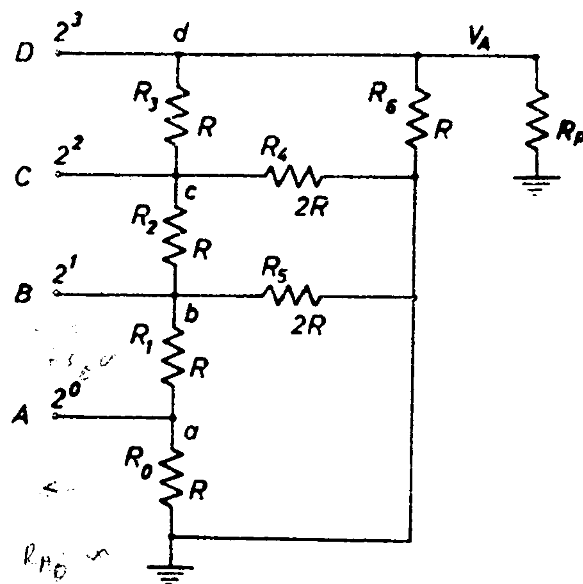
U slučaju da otpornost priključenog opterećenja R_P nije mnogo veća od izlazne otpornosti lestvičaste mreže $R_i = R$, onda izraz za analogni napon (10.14) treba da se koriguje prema formuli (10.7). Da bi se postiglo savršeno balansiranje i simetriranje mreže, često se izlaz lestvičaste mreže zatvara otpornošću $R_P = 2\,R$. U ovom slučaju analogni napon mreže pada na vrednost

$$v_{AOP}=\frac{2}{3}v_A, \tag{10.17}$$

gde simbol v_A označava napon koji se dobija pomoću jednačine (10.14). Primetimo da je pri $R_P = 2\,R$ otpornost iz bilo kog čvora mreže a, b, c, sl. 10.3, u svim granama ista i iznosi $2\,R$. Pored toga, treba posebno istaći, da je u ovom slučaju opterećenje izvora digitalne pobude konvertora podjednako, jer ulazne otpornosti na svim digitalnim priključcima imaju vrednost $3\,R$.

10.3.3. Otporna mreža sa strujnom pobudom

Pored referentnih naponskih izvora koji se koriste u napred opisanim otpornim mrežama, za pobudu digitalnih ulaza D/A konvertora mogu da se upotrebe i strujni izvori. Na sl. 10.5 pokazana je otporna mreža jednog takvog konvertora sa četiri digitalna ulaza. Pošto se i ova mreža ostvaruje sa samo dve vrednosti otpora, to ona poseduje već iznete dobre strane lestvičaste otporne mreže.



Sl. 10.5. Otporna mreža sa strujnom pobudom

Postupnim određivanjem ekvivalentnih vrednosti otpora preko čvorova b i c, za izlaznu otpornost date mreže nalazi se vrednost

$$R_i=\frac{2}{3}R. \tag{10.18}$$

U cilju nalaženja vrednosti analognog napona v_A, koristićemo metod superpozicije određujući prethodno parcijalne izlazne napone pri pojedinačnoj pobudi digitalnih ulaza mreže. Pri tome smatraćemo i ovde da je otpornost opterećenja R_P vrlo velika tako da ne utiče na raspodelu struja u mreži.

Uzmimo da su na digitalne ulaze mreže priključeni pomenuti strujni izvori koji se, naravno, odlikuju velikom izlaznom otpornošću. Referentna struja tih izvora

ima vrednost I_R. Ako je na ulazu konvertora prisutna binarna vrednost 1000, znači da na ulazu D otporne mreže deluje signal $I_D = d_3 I_R$, pri čemu koeficijent d_3 ima vrednost jedinice. Struja I_D raspodeljuje se u čvoru d na dve komponente: jedna ide kroz R_3 i ekvivalentnu otpornost mreže između čvora c i mase, a druga kroz otpornost $R_6 = R$. Kako pomenuta ekvivalentna otpornost ima vrednost 2 R to se za parcijalni izlazni napon dobija:

$$V_{A3}=\frac{2}{3} R\, d_3\, I_R=\frac{d_{n-1}}{2^0}\cdot\frac{2}{3} RI_R. \tag{10.19}$$

U slučaju da je samo ulaz C eksitovan strujom $I_C = d_2 I_R$, pri čemu je $d_2 = 1$, nastaje raspodela struje I_R na tri komponente: jedna ide kroz R_2 i ekvivalentnu otpornost mreže između čvora b i mase, druga ide kroz R_4 i treća — kroz rednu vezu otpornosti R_3 i R_6. Kako svaka od navedenih grana sadrži otpornost vrednosti 2 R to se struja I_R deli na tri jednake komponente. Otuda je

$$V_{A2}=\frac{1}{3} Rd_2 I_R=\frac{d_{n-2}}{2^1}\cdot\frac{2}{3} RI_R. \tag{10.20}$$

Kada je pobuda dovedena samo na ulaz B, referentna struja se opet deli na tri komponente. Vodeći računa da je komponenta struje koja prolazi kroz otpor R_2 u čvoru c raspodeljena na još dve grane, za izlazni napon se nalazi konačna vrednost:

$$V_{A1}=\frac{1}{6} Rd_1 I_R=\frac{d_{n-3}}{2^2}\cdot\frac{2}{3} RI_R. \tag{10.21}$$

Na sličan način se i pri pobudi ulaza A iznalazi parcijalna vrednost analognog napona

$$V_{AO}=\frac{1}{12} Rd_0 I_R=\frac{d_{n-n}}{2^{n-1}}\cdot\frac{2}{3} RI_R. \tag{10.22}$$

Superpozicijom gornjih vrednosti za ukupni analogni napon D/A konvertora sa strujnom pobudom digitalnih ulaza može da se napiše uopšteni izraz:

$$v_A=\left(\frac{d_{n-1}}{2^0}+\frac{d_{n-2}}{2^1}+\frac{d_{n-3}}{2^2}+\cdots\frac{d_{n-n}}{2^{n-1}}\right)\frac{2}{3} RI_R, \tag{10.23}$$

koji se lako transformiše u pogodniji oblik:

$$V_A=(2^0 d_0+2^1 d_1+2^2 d_2+\cdots 2^{n-1} d_{n-1})\frac{2}{3} R\frac{I_R}{2^{n-1}}, \tag{10.23 }$$

gde koefcijenti d_i imaju vrednosti 1 ili 0 zavisno od logičkog nivoa odgovarajućeg strujnog signala.

Razolucioni napon, ili napon kvanta ovakvog konventora ima vrednost

$$\Delta V=V_{AO}=\frac{2}{3} R\frac{I_R}{2^{n-1}}, \tag{10.24}$$

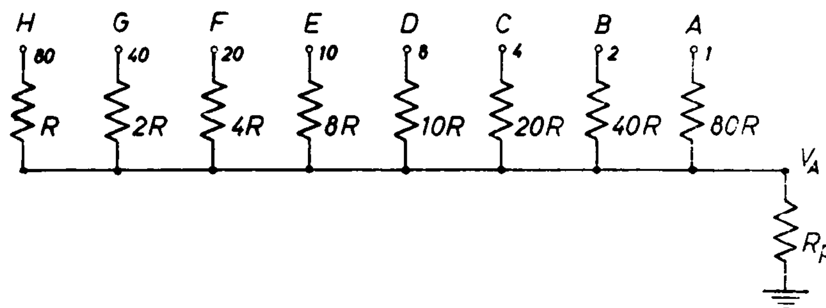
dok je napon pune skale

$$V_{APS}=\frac{2^n-1}{2^{n-1}}\cdot\frac{2}{3} RI_R. \tag{10.25}$$

Najzad, napomenimo još i to da analogni napon dobijen pomoću opšteg izraza (10.23') treba korigovati primenom formule (10.7) u slučaju da otpornost opterećenja R_P nije bez primetnog uticaja na raspodelu struja u opisanoj mreži.

10.3.4. Otporne mreže za specijalne kodove

Sve do sada opisane otporne mreže za D/A konverziju predviđene su za rad sa digitalnim signalima izraženim u binarnom kodu. U slučaju da se takvi konvertori koriste i za signale nekog drugog koda, bilo bi potrebno da se ti signali prethodno prevedu u binarni kod. Da bi se to izbeglo konstruišu se i specijalne dekoderske mreže za D/A konvertore koji rade u nekom specifičnom kodu.



Sl. 10.6. Otporna mreža za prirodni BCD kod

Kao primer ovakve konstrukcije uzećemo u rasmatranje D/A konvertor za kod BCD 8421. Ako takav konvertor treba da obuhvati vrednosti u opsegu od dve dekade, njegova otporna mreža može da se ostvari prema šemi na sl. 10.6. Kako svaka dekada u ovom kodu ima četiri bita, to dekoderska mreža poseduje osam ulaza: A, B, C, D, E, F, G i H. Prema datim vrednostima otpora vidi se da se radi o težinskoj otpornoj mreži, s tim što je ovde otpornost za bit najviše pozicione vrednosti označena sa R. Izlazni napon mreže najlakše je odrediti pomoću Milmanove teoreme, prema kojoj se napon nekog čvora, pored onog što je ranije rečeno, može da nađe i kao proizvod izlazne otpornosti gledane iz tog čvora i zbira struja u granama vezanim za taj čvor. Pri ovom se opet pretpostavlja da je napon u čvoru jednak nuli. Izlazna otpornost date mreže ima vrednost

$$R_i = \frac{80}{165} R. \tag{10.26}$$

Smatrajući da je otpornost R_P vrlo velika, za izlazni napon mreže može da se piše:

$$v_A = \left(\frac{V_A}{80\,R} + \frac{V_B}{40\,R} + \frac{V_C}{20\,R} + \frac{V_D}{10\,R} + \frac{V_E}{8\,R} + \frac{V_F}{4\mathrm{R}} + \frac{V_G}{2\,R} + \frac{V_H}{R} \right) R_i. \tag{10.27}$$

Zamenjujući pobudne napone vrednostima $d_i\, V_R$, gde je d_i određeno logičkim nivoom digitalne pobude, za analogni napon razmatrane dekoderske mreže za prirodni BCD kod dobija se:

$$v_A = (1\, d_A + 2\, d_B + 4\, d_C + 8\, d_D + 10 d_E + 20\, d_F + 40\, d_G + 80\, d_H) \frac{V_R}{165}. \tag{10.28}$$

Rezolucioni napon, ili kvantizaciona osetljivost prikazanog D/A konvertora, dakle, ima vrednost

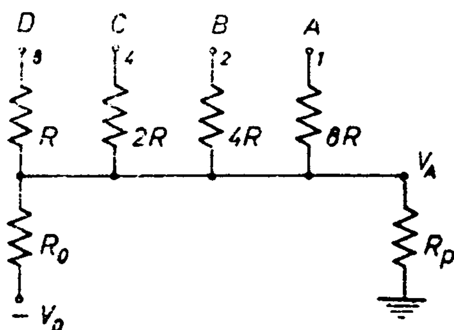
$$\Delta V = \frac{V_R}{165}. \tag{10.29}$$

Treba zapaziti da napon pune skale konvertora u ovom slučaju se ne dobija za vrednosti svih koefcijenata $d_i = 1$, već za vrednost binarnih tetrada 1001 1001, što odgovara decimalnoj vrednosti 99. Prema tome, biće:

$$V_{APS} = (1+8+10+80)\frac{V_R}{165} = \frac{99}{165} V_R. \tag{10.30}$$

Ovaj rezultat pokazuje da je napon pune skale D/A konvertora sa kodom BCD 8421 znatno manji od vrednosti referentnog napona V_R.

Primena koda „više 3" iziskuje takođe specijalnu otpornu mrežu za dekodovanje pri D/A konverziji. Pošto ovaj kod u poređenju sa prirodnim ima uvek tri kvanta više, to se za dekodovanje može da koristi uobičajena težinska otporna mreža, kod koje bi bila predviđena mogućnost oduzimanja pomenutog viška od tri kvantna nivoa. Takva mreža predstavljena je na sl. 10.7. Otpornost R_0 i baterija V_0 omogućavaju smanjivanje izlaznog analognog napona za unapred određeni iznos. Znamo da se na izlazu binarne težinske mreže formira analogni napon u iznosu od tri kvantna nivoa pri vrednosti ulaznog signala 0011. Ako je ova vrednost data u kodu „više 3", njen decimalni ekvivalent jednak je nuli. Pošto su pri datoj vrednosti signala pobuđeni samo ulazi A i B, izlazni analogni napon biće sveden na nulu ukoliko se na otporu R_0 ostvari isti ali negativan pad napona kao i na granama A i B. Prema tome, za oduzimanje tri kvantna nivoa na izlazu posmatrane mreže potrebno je da poredotpor R_0 ima vrednost



Sl. 10.7. Otporna mreža za kod „više 3"

$$R_0 = \frac{4R \cdot 8R}{4R+8R} \cdot \frac{|V_0|}{|V_R|} = \frac{8}{3} R \frac{|V_0|}{|V_R|}. \tag{10.31}$$

Pri određivanju analognog napona otporne mreže za kod „više 3" pogodno je da se nađu iznosi koji potiču od napona ulaza $d_i V_R$ i prednapona $-V_0$ pojedinačno. Konačno vrednost napona biće, razume se, algebarski zbir nađenih iznosa. Tako, na primer, pri digitalnom signalu 1000 mreža se napaja preko otpora R naponom $V_0 = V_R$ i preko otpornosti $R_0 = 8\,R/3$ naponom $V_0 = -V_R$. Prema tome, izlazni analogni napon ima vrednost:

$$V_{AD} = \frac{R_e}{R+R_e} V_D + \frac{R'_e}{R_0+R_e'} V_0, \tag{10.32}$$

pri čemu su

$$\frac{1}{R_e} = \frac{1}{2R} + \frac{1}{4R} + \frac{1}{8R} + \frac{1}{R_0}.$$

i

$$\frac{1}{R'_e} = \frac{1}{R} + \frac{1}{2R} + \frac{1}{4R} + \frac{1}{8R}.$$

Zamenjujući odgovarajuće vrednosti u jednačinu (10.32) konačno se nalazi

$$V_{AD}=\frac{4}{9}V_D+\frac{1}{6}V_0=\frac{5}{18}V_R. \tag{10.33}$$

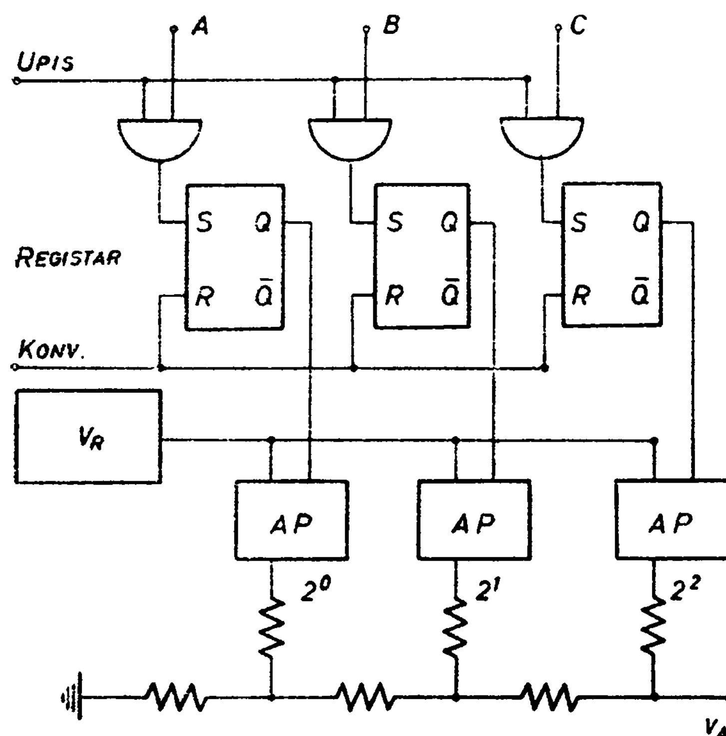
Kako tetrada 1000 u kodu „više 3" odgovara decimalnom broju 5, dobijeni rezultat za V_{AD} pokazuje da kvantni napon opisanog konvertora ima vrednost

$$\Delta V=\frac{V_R}{18}. \tag{10.34}$$

Za predotpor R_0 može da se uzme i neka od već postojećih vrednosti otpora u mreži. Tako, na primer, ako se za ovaj otpor usvoji vrednost $R_0 = 8\,R$, ona se mora da priključi na naponski izvor $V_0 = -3\,V_R$, što proizilazi iz jedn. (10.31). Primetimo da u ovom slučaju kvantizaciona osetljivost konvertora neće imati vrednost datu jednačinom (10.34), već za svaki konkretan slučaj treba da se eksplicitno odredi.

10.4. D/A KONVERTORI

Iz dosadašnjeg izlaganja vidi se da se *D/A* konvertor u užem smislu reči svodi na pogodno šemiranu otpornu mrežu, Međutim, kompletan *D/A* konvertor, pored pomenute mreže, sadrži i druge elektronske sklopove kao što su registri, analogni prekidači, referentni naponski ili strujni izvori, pojačavači, itd.



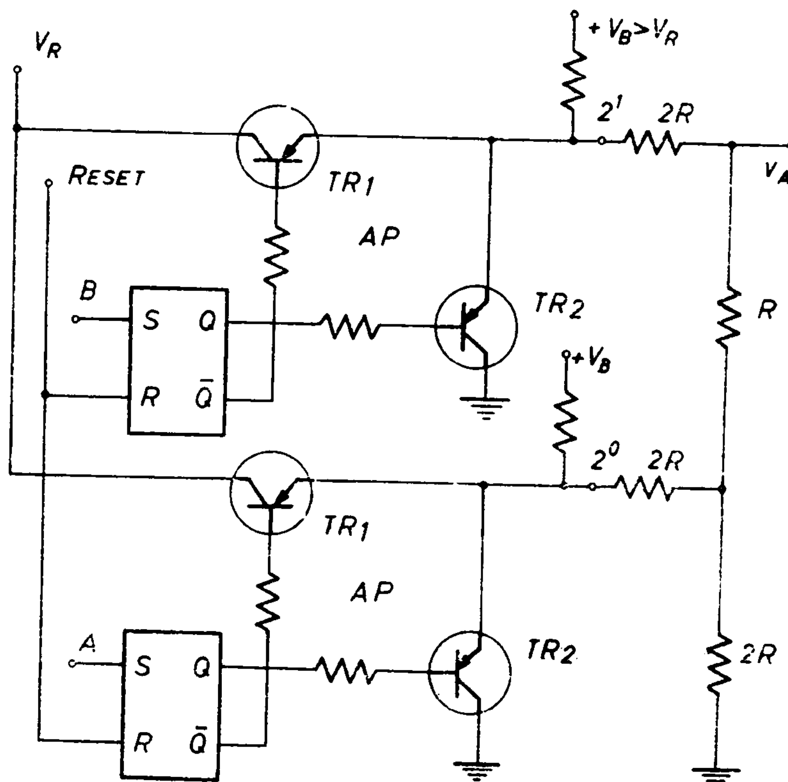
Sl. 10.8. *D/A* konvertor

Na sl. 10.8 ucrtana je šema digitalno-analognog konvertora binarnih vrednosti od tri bita. Digitalne informacije se preko ulaza *A*, *B*, *C* upisuju u registar, koji čine *RS* flipflopovi. Ove informacije upravljaju analognim prekidačima *AP*, pomoću kojih se dovodi referentni napon V_R na ulaze lestvičaste otporne mreže. Izlazni analogni napon V_A se obično još i pojačava, što na datoj slici nije pokazano.

Kako je tačnost jedan od najbitnijih parametara *D/A* konvertora, to posebnu pažnju treba obratiti komponentama uređaja koje doprinose smanjenju instrumentalne greške. U vezi s tim, treba naročito podvući neophodnost precizne izrade elemenata otporne mreže, vodeći računa o stabilnosti tih elemenata u eventualno izmenjenim uslovima rada. Imajući u vidu da se referentni napon V_R dovodi preko analognih prekidača odgovarajućim ulazima otporne mreže, otpornosti prekidača kao i pad napona na njemu umanjuju tačnost analognog signala. Uticaj otpornosti prekidača na tačnost konverzije biće manji ukoliko se usvoje veće vrednosti otpora u dekoderskoj mreži. Takva mreža, međutim, imaće veću izlaznu otpornost, te uticaj otpora opterećenja mreže R_P na karakteristiku konverzije nije više zanemarljivo mali. U vezi s tim, znači, zahtevi u pogledu tačnosti i stabilnosti otpora opterećenja moraju biti znatno stožiji. Pored toga, dekoderska mreža sa većim vrednostima otpora obrazuje i veću vremensku konstantu na izlaznom priključku, usled čega je smanjena brzina uspostavljanja odgovarajućih vrednosti analognih napona. Prema tome, vrednosti komponenata u otpornoj mreži *D/A* konvertora određene su brzinom, tačnošću i karakteristikama opteretne impedanse. Što se tiče pada napona na prekidaču, razumljivo je da je njegov uticaj na tačnost konverzije manji ukoliko je analogni napon, odnosno napon pune skale V_{APS} veći. U vezi s tim, znači, trebalo bi usvojiti i veću vrednost za referentni napon V_R. Očigledno je da ovde postoje ograničenja uslovljena dozvoljenim naponima prekidača, a često i disipacijom.

10.4.1. Analogni prekidači

Analogni prekidač za dovođenje referentnog napona na otpornu mrežu može da bude ostvaren primenom poznatih prekidačkih elemenata: dioda, bipolarnih ili unipolarnih tranzistora. Imajući u vidu da tranzistor u stanju zasićenja ima manju otpornost i pad napona na njoj nego što je to slučaj kod dioda, tačnije *D/A* konvertori redovno se projektuju sa prekidačima tranzistorskog tipa. Prekidači u jednom takvom konvertoru pokazani su na sl. 10.9. Naime, ovde su flipflopovi registra iskorišćeni



Sl. 10.9. Analogni prekidači u *D/A* konvertoru

i kao kontrolni organi analognih prekidača, koje čine tranzistori TR_1 i TR_2. Diskretna vrednost signala dovodi se na set-priključke RS flipflopova preko ulaza A i B. U slučaju da signal ima vrednost 10, flipflop B biće setovan, dok flipflop A ostaje u resetovanom stanju. Prema tome, u donjoj grani tranzistor TR_1 je blokiran, dok tranzistor TR_2 vezuje ulaz dekoderske mreže 2^0 na nulti nivo. U gornjoj grani, međutim, tranzistor TR_2 je blokiran, dok TR_1 vezuje referentni napon V_R na ulaz otporne mreže 2^1.

Kao što je već istaknuto, prekidački tranzistori TR_1 i TR_2 treba da imaju što manju otpornost i što manji pad napona kolektor-emitor u stanju provođenja. Zblog toga treba predvideti dovoljno velike struje u baznim dovodima ovih tranzistora. Pored toga primetimo da su ti tranzistori upotrebljeni u kolektorskoj vezi, tj. oni rade sa uzemljenim kolektorom.

Unipolarni tranzistori — *FET* pokazuju izvesne prednosti nad bipolarnim u izgradnji analognih prekidača za *D/A* konvertore. Pre svega ovi tranzistori iziskuju naponsku kontrolu na ulazu, što je redovno lakše ostvariti nego u slučaju strujne kontrole kod konvencionalnih tranzistora. Osim toga ovi tranzistori često imaju vrlo malu otpornost u provodnom stanju — ispod 5 Ω tako da je i napon na takvom prekidaču vrlo mali. Najzad, otpor ovakvog prekidača u neprovodnom režimu je vrlo veliki, jer unipolarni tranzistori ne ispoljavaju efekte inverzne struje. Međutim, treba naglasiti da *FET*-prekidači nisu pogodni za veće brzine rada. No, i pored toga, oni nalaze veliku primenu u *D/A* konvertorima smanjujući njihovu grešku na oko 0,001%. Uopšte posmatrano, primenom *FET*-prekidača moguće je ostvariti tačnost *D/A* konverzije koja se približava tačnosti otporne dekoderske mreže.

10.4.2. Izvori referentnog napona

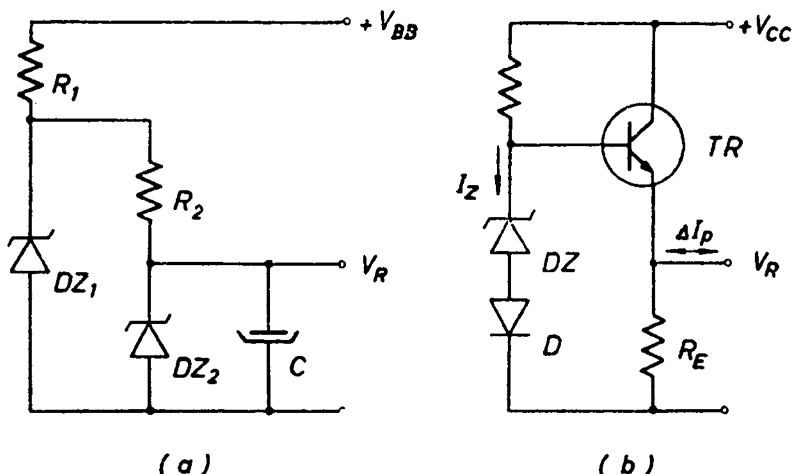
Referentni napon koji se dovodi na ulaze otporne mreže *D/A* konvertora je nesumljivo od velikog uticaja na tačnost konverzije. S toga je tačnost i stabilnost ovog napona od primarne važnosti. Za realizaciju izvora referentnog napona obično su potrebna dva elementa: referentni naponski generator, odnosno standardna naponska ćelija i izolacioni stepen ukoliko se računa i na priključivanje nestabilnih potrošača. Izolacioni stepen može da bude običan emitor-folover ili, pak, diferencijalni pojačavač sa povratnom spregom. Referentni generator je obično Cener-dioda sa specificiranim parametrima: veličina i tačnost radnog napona u određenom opsegu struja, temperaturska stabilnost, dinamička otpornost itd. Podsetimo, da Cener-diode sa referentnim naponima iznad približno 5 V ispoljavaju pozitivan temperaturski koeficijent. Kombinujući ove diode sa konvencionalnim mogu da se ostvare vrlo stabilni naponski izvori sa temperaturskim koeficijentom od $\pm$ 0,0002%°C.

Na sl. 10.10 a ucrtana je šema naponskog izvora sa Cener-diodama. Najjednostavnije kolo sadržavalo bi samo jednu Cener-diodu. Višestepena kaskadna veza dioda, međutim, umanjuje nestabilnost referentnog napona uzrokovanu promenom napona napajanja. Obeležavajući promene ovog napona sa ΔV_B za nestabilnost referentnog nivoa u datom slučaju dobija se vrednost

$$\Delta V_R = \frac{R_{Z1}}{R_{Z1}+R_1} \cdot \frac{R_{Z2}}{R_{Z2}+R_2} \Delta V_B, \qquad (10.35)$$

gde su R_{Z1} i R_{Z2} dinamičke otpornosti upotrebljenih Cener-dioda. Očigledno je da se kaskadnom vezom većeg broja Cener-dioda različitih radnih napona može postići vrlo velika stabilnost naponskog izvora na promene dovedenog napona.

Stabilnost referentnog napona s obzirom na promene struje opterećenja može da se popravi smanjivanjem izlazne dinamičke otpornosti naponskog izvora. Na že 10.10 b predstavljen je takav izvor sa Cener-diodom *DZ* i tranzistorom *TR*. Tranzistor je upotrebljen kao izolacioni stepen u kolektorskoj vezi. Promene struje opt.-

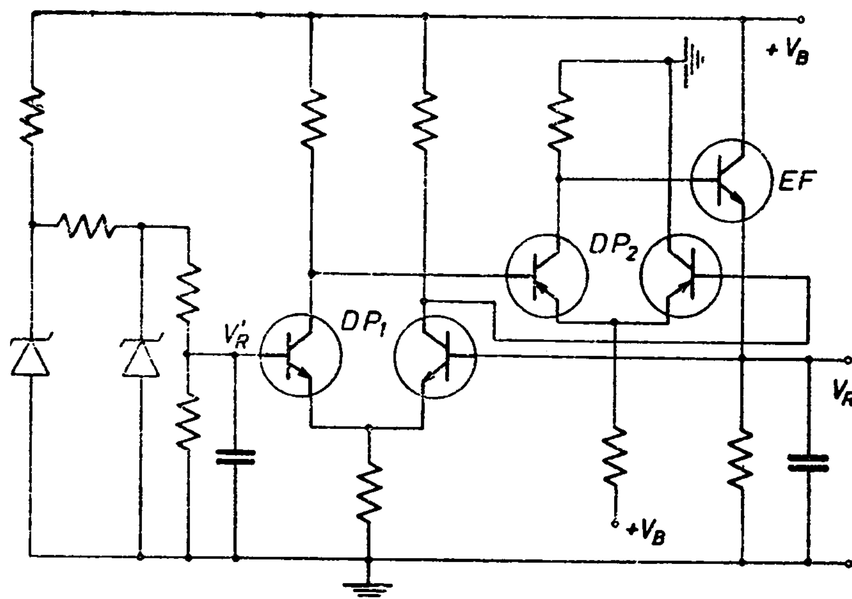


Sl. 10.10. Izvori referentnog napona
(a) sa smanjenim uticajem promene napona V_{BB}
(b) sa smanjenim uticajem promene struje I_P

rećenja ΔI_P odražavaju se na struju Cener-diode I_Z kao promene struje u baznom dovodu tranzistora. Prema tome, nestabilnost struje I_Z iznosi

$$\Delta I_Z = \Delta I_B = \frac{\Delta I_P}{1+h_F}. \qquad (10.36)$$

Kako su promene napona V_R u stvari promene napona na diodama *D* i *DZ* izazvane strujom ΔI_Z, očigledna je prednost priključivanja potrošača na emitor-folover umesto direktno na Cener-diodu. Napomenimo još da diodu *D* treba odabrati tako da što je moguće više kompenzira temperaturske promene napona V_{BE} tranzistora.



Sl. 10.11. Naponski izvor sa diferencijalnim stepenima

Stabilnost refernetnog napona reda $\pm$ 1 mV može da se ostvari kombinacijom prethodnih kola i pojačavačkih stepena. Na sl. 10.11 ucrtana je šema jednog tako izvedenog naponskog generatora. Na diferencijalnom pojačavaču DP_1 vrši se upo-

ređenje napona V_R i V'_R. Razlika ovih napona pojačava se na diferencijalnom pojačavaču DP_2 i ona koriguje referentni napon V_R preko emitor-folovera EF. Ovaj poznati princip zatvorene petlje, dakle, nastoji da održi jednakost napona V_R sa V'_R, što u potpunosti nije ostvarljivo zbog nesavršenosti komparatorskog stepena DP_1.

10.5. KLASIFIKACIJA A/D KONVERTORA

Analogno-digitalna konverzija predstavlja transformaciju analogne vrednosti signala u njegov digitalni ekvivalent. Ovaj proces obuhvata u stvari tri postupka: vremensko kvantovanje, amplitudno kvantovanje i kodovanje signala. Vremensko kvantovanje ili odmeravanje odnosi se na izdvajanje trenutne vrednosti analognog signala u diskretnim vremenskim razmacima. Svaka takva analogna vrednost naziva se odmerak. Da bi se moglo da izvede regenerisanje prvobitnog analognog signala iz niza uzetih odmeraka, učestanost odmeravanja mora da bude bar dva puta veća od najviše spektralne komponente signala koji se konvertuje.

Amplitudno kvantovanje sastoji se u iznalaženju diskretne veličine koja je najpribližnija po vrednosti datom analognom odmerku. Konačno, da bi se diskretna vrednost izrazila u digitalnom obliku ona mora biti kodovana. Prema tome, zadnja dva postupka — amplitudno kvantovanje i kodovanje čine u stvari analogno-digitalnu konverziju o kojoj će ovde biti reči.

Klasifikacija analogno-digitalnih konvertora može da se sprovede sa različitih aspekata. Pre svega, oni se mogu podeliti na programirane i neprogramirane. Kod prvih se konverzioni proces izvodi u određenom broju postupaka koji su fiksirani taktnim intervalima. Kod drugih konvertora, međutim, proces konverzije je uslovljen redosledom radnji koje treba da se obave ne vezujući se pri tom za određene vremenske intervale.

Prema primenjenom konstruktivnom principu, A/D konvertori se mogu podeliti na konvertore sa otvorenom ili zatvorenom petljom. Kod prvih se konverzija vrši direktnim upoređivanjem analognog signala sa referentnim, određujući na taj način njegovu digitalnu vrednost. Kod konvertora sa zatvorenom petljom, ulazni analogni signal inicira generisanje neke diskretne vrednosti, koja se nesposredno iza toga upoređuje sa dovedenim ulaznim signalom. Postojeća razlika tih vrednosti izaziva dalju promenu generisanog signala sve dotle dok se ovaj ne izjednači sa analognim signalom na ulazu konvertora. Konačno dobijena diskretna vrednost predstavlja, dakle, digitalni ekvivalent dovedenog analognog napona.

Podela A/D konvertora mogla bi se izvršiti i prema tome da li se pri konverziji primenjuje princip direktnog ili posrednog određivanja digitalnog ekvivalenta analognog napona. U prvom slučaju generišu se diskretne vrednosti napona koje se direktno upoređuju sa ulaznim signalom. U drugom slučaju, međutim, vrši se digitalno kodovanje vremena, potrebnog da se neki kapacitet napuni na određenu vrednost napona.

Najčešće se, ipak, klasifikacija A/D konvertora izvodi prema načinu kvantizacije analognog signala. Gledano sa tog aspekta proces A/D konverzije se obavlja primenom principa: podatak po podatak, kvant po kvant ili digit po digit. U metodi podatak po podatak kvantizacija se vrši na taj način što se analogni podatak ili odabrani odmerak istovremeno upoređuje sa svim postojećim diskretnim veličinama kako bi se odredila njegova digitalna vrednost. Zbog toga se ova konverzija često i naziva jednovremena ili simultana. To znači da se iznalaženje digitalne vrednosti obavlja u samo jednom takt-intervalu, ali je zato potrebno raspolagati sa $2^n — 1$ digitalnim

etalonom, gde je n broj bita digitalne reči. Prema tome, ovaj princip konverzije je najbrži, jer je za svaki odmerak, ili prosto rečeno za svaku analognu vrednost potreban samo jedan taktni interval za iznalaženje digitalnog ekvivalenta. S druge strane, ovaj metod je dosta komplikovan, jer, ne samo što iziskuje potrebu velikog broja etalona, već zahteva i dosta složenu logiku za kodovanje dobijene diskretne vrednosti.

Kvantizacija primenom principa kvant po kvant sastoji se u merenju analogne veličine pomoću samo jedne i to najmanje postojeće diskretne veličine, koja predstavlja etalon, odnosno kvant. Kako se pri ovakvom merenju u stvari vrši brojanje etalona sadržanih u merenoj veličini, to se ovakva konverzija naziva još i brojačka. Očigledno je da je ovakav princip kvantizovanja analogne veličine pogodan iz razloga što ima samo jedan etalon. Međutim, kako se pomenuto brojanje obavlja sinhronizovano, to je za konverzioni ciklus potrebno onoliko takt-intervala koliko merena veličina sadrži diskretnih etalona. To znači, ako konvertorski sistem radi sa n bita treba predvideti maksimalno vreme od $2^n - 1$ takt-intervala za konverziju svake analogne veličine, odnosno odmerka. Zbog toga je ovakva A/D konverzija dosta spora.

Princip kvantizacije digit po digit karakterističan je po tome što se digitalni ekvivalent analogne vrednosti dobija postupnim određivanjem svakog bita posebno, polazeći od bita najveće pozicione vrednosti. Ovaj princip rada zahteva onoliko taktnih intervala koliko digitalna vrednost ima digita odnosno bita. Isto tako i broj etalona jednak je broju bita, a njihove veličine stoje u odnosu pozicionih vrednosti bita. Tako, na primer, ako se radi o konvertoru sa svega 3 bita etaloni E_1, E_2 i E_3 stoje u odnosu $2^0 : 2^1 : 2^2$. Analogni odmerak vrednosti V_a upoređuje se najpre sa etalonom E_3 i ukoliko je $V_A > E_3$ odgovarajući bit digitalnog ekvivalenta imaće vrednost 1, u protivnom biće 0. Ako je nađena vrednost 0 u sledećem postupku se upoređuje V_A sa E_2 i na već pokazani način iznalazi se sledeća vrednost digitalnog ekvivalenta. Međutim, u slučaju da je u prethodnom postupku nađeni digit imao vrednost 1, sa etalonom E_2 uporediće se ne celokupna analogna vrednost V_A već samo njen preostali deo $\Delta V_a = V_A - E_3$. Na isti način postupiće se i pri određivanju bita najniže vrednosti koristeći pri tome etalon E_1.

Napomenimo da izloženi postupak određivanja digitalnog ekvivalenta ima i druge modifikacije. No, bez obzira na to, princip kvantizacije digit po digit svodi se uvek na postupno određivanje digitalnog ekvivalenta, odnosno na sukcesivno aproksimiranje analogne vrednosti. Zbog toga se ovakva A/D konverzija naziva još postupna ili sukcesivna. U poređenju sa jednovremenom i brojačkom, postupna konverzija po brzini rada i komplikovanosti sistema nalazi se negde između njih, tako da je pogodna za daleko šire polje primene.

10.6. JEDNOVREMENA A/D KONVERZIJA

Kao što je već rečeno, jednovremena A/D konverzija odlikuje se velikom brzinom jer se proces konverzije odmerak po odmerak obavlja samo u jednom takt-intervalu. Za realizaciju ovakve konverzije postoji više rešenja, mada su zbog složenosti sistema konvertorski uređaji ovog tipa ograničeni na digitalni izlaz od svega nekoliko bita. Zbog toga je rezolucija ovih konvertora dosta mala pa, prema tome, ne može se očekivati ni neka veća tačnost konverzije.

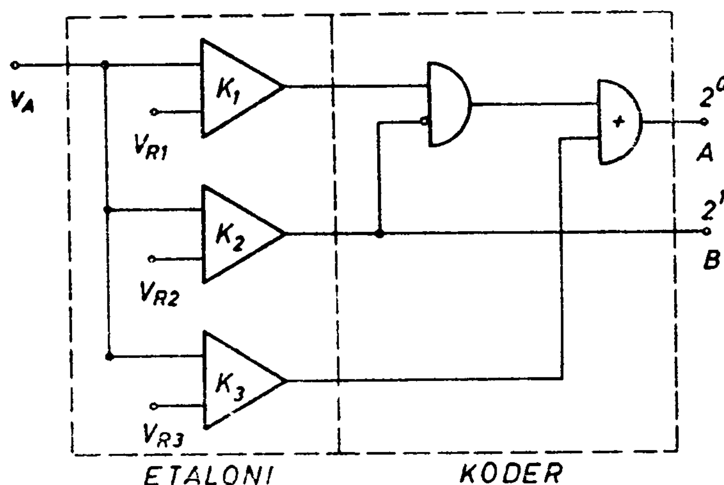
U praktičnoj primeni nalaze se uglavnom dva tipa A/D konvertora koji rade po principu odmerak po odmerak: konvertori sa paralelnim komparatorima i konvertori sa kodnom maskom. Prvi tip konvertora sastavljen je od većeg broja elektronskih sklopova te je stoga u principu neekonomičan. Drugi tip konvertora, međutim, je jednostavan, ali zahteva primenu specijalne elektronske cevi.

10.6.1. Konvertori sa paralelnim komparatorima

Analogno-digitalni konvertor sa paralelnim komparatorima ima onoliko etalona koliko primenjeni digitalni sistem poseduje diskretnih vrednosti različitih od nule. Pomenute etalone čine referentni naponi koji se dovode na odgovarajuće komparatore. To znači da je broj referentnih napona kao i broj komparatora upotrebljenih u ovim konvertorima zavisan od broja bita digitalnih vrednosti i iznosi

$$N = 2^n - 1. \tag{10.36}$$

Podsetimo, da je za bolju rezoluciju a time i za veću tačnost konvertora, potrebno usvojiti i veći broj bita u digitalnoj reči. Zbog toga ovakav konvertor postaje konstruktivno dosta složen, jer se sa povećanjem rezolucije samo za jedan bit broj komparatora praktično udvostručava.



Sl. 10.12. Simultani *A/D* konvertor

Na sl. 10.12 data je šema *A/D* konvertora sa digitalnim izlazima od svega dva bita. S obzirom da se analogni napon v_A dovodi istovremeno na ulaze svih komparatora K_i, ovakav konvertor je više poznat kao simultani. Sa slike vidimo da se simultani konvertor sastoji od etalona i kodera. Etaloni su u stvari referentni napon V_R, sa kojima se upoređuje analogni napon v_A. Pošto digitalne reči od dva bita, mogu imati četiri diskretne vrednosti to su, prema jedn. (10.36), potrebna tri referentna nivoa: $V_{R1} = V_{A\max}/4$, $V_{R2} = 2\,V_{A\max}/4$ i $V_{R3} = 3\,V_{A\max}/4$, odnosno

$$V_{Ri} = \frac{V_{A\,\max}}{2^n} \cdot i, \quad i = 1, 2, 3, \cdots ((2^n - 1). \tag{10.37}$$

Istovremenim dovođenjem analognog napona na ulaze konvertora, aktiviraće se svaki komparator kod koga bude zadovoljen uslov da, je $V_A > V_R$. Ako se izlazni napon aktiviranog komparatora obeleži logičkom jedinicom, a neaktiviranog logičkom nulom, izlazi komparatora K_i imaće vrednosti date u tabeli 10.1. Po izvršenoj

Va	K_1	K_2	K_3	B	A
O — VR_1	0	0	0	0	0
VR_1 — VR_2	1	0	0	0	1
VR_2 — VR_3	1	1	0	1	0
VR_3 — Vamax	1	1	1	1	1

Tabela 10.1. Kombinacione vrednosti konvertora na sl. 10.12

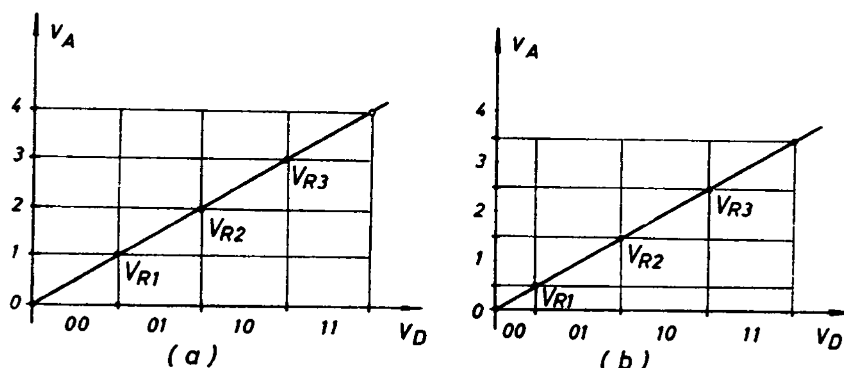
komparaciji analogna vrednost napona je, znači, prevedena u diskretnu čiji digitalni iznos još nije poznat. Zbog toga se u koderu vrši vrednovanje stanja komparatora u nekom određenom brojnom sistemu. U tabeli 10.1 date su vrednosti digitalnih izlaza V_A i V_B u binarnom kodu.

Šemiranje kodera može da se izvede određujući njegove funkcije A i B. Kako se na ulazu kodera koriste samo četiri od mogućih osam kombinacija to sigurno postoji mogućnost minimizacije navedenih funkcija. Koristeći Karnoove tablice prema sl. 3.15 c tražene funkcije mogu da se napišu u sledećem obliku:

$$A = K_1 \overline{K_2} + K_3$$
$$B = K_2. \qquad (10.38)$$

Prema tome, u razmatranom konvertoru koderska jedinica sadrži samo dva logička elementa sa jednim invertovanim ulazom, kao što je to pokazano na sl. 10.12.

Već je ranije pokazano, (sl. 10.1), da kvantizaciona skala konvertora može da bude podešena tako, da konvertor pokazuje maksimalnu grešku od jednog kvanta u jednom smeru, ili, pak, da ta greška bude raspodeljena po pola u plusu i minusu. U vezi s tim, referentni naponi na analogno-digitalnoj karakteristici simultanog konvertora mogu da budu odabrani na dva načina: da se poklapaju sa granicom kvantizacionih novoa, sl. 10.13 a, ili da padaju u sredinu tih nivoa, kao što to pokazuje sl. 10.13 b. Najkritičnije analogne vrednosti u pogledu kvantizacione greške su one koje se poklapaju sa vrednostima referentnih napona. Te greške kod konvertora sa karakteristikom prema sl. 10.13 a mogu da dostignu vrednost kvanta ΔV, dok se kod konvertora sa karakteristikom prema sl. 10.13 b pojavljuje u granicama $\pm \Delta V/2$.



Sl. 10.13. Postavljanje referentnih napona
(a) na granicu kvantizacionog nivoa (b) na sredinu kvantizacionog nivoa

Neodređenost izlaza komparatora, koja može da nastupi za analogne napone čije su vrednosti bliske referentnim, može da izazove dosta velike greške, naročito ako se radi o binarnim mestima najviših pozicionih vrednosti. Da bi se izbegle takve greške treba povećati osetljivost komparatora, što se katkad postiže korišćenjem regenerativnih kola sa pozitivnom povratnom spregom. Osim toga, navedene greške se mogu još da izbegnu korišćenjem Grejovog koda u koderskoj jedinici konvertora. Ovakvo rešenje, međutim, iziskuje naknadnu konverziju Grejovog u konvencionalni binarni kod, što svakako vodi većoj složenosti A/D konvertora.

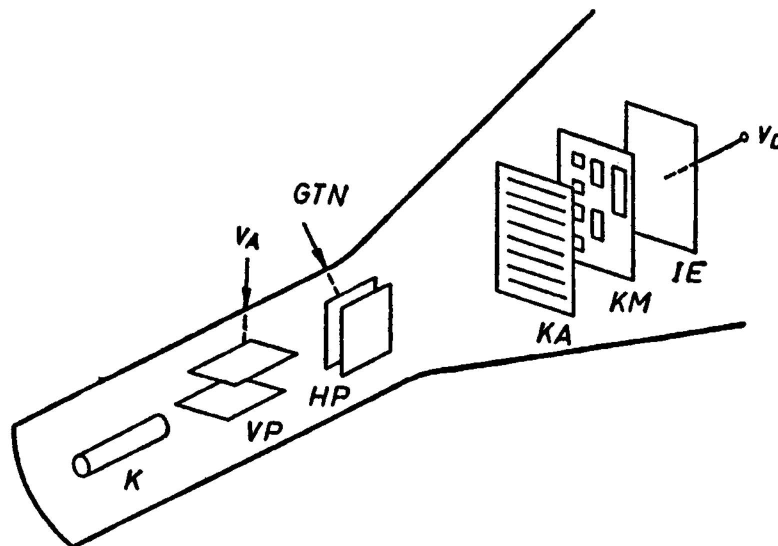
Na kraju istaknimo da A/D konvertori sa paralelnim komparatorima imaju veće brzine rada od svih drugih tipova konvertora. S druge strane, međutim, njihova tačnost u praktičnim realizacijama obično nije velika jer se uređaj po složenosti skoro udvostručava pri svakom novom dodatom bitu na digitalnom izlazu. Najveće teškoće u izradi tačnijih konvertora ovog tipa nastaju pri konstrukciji komparatora.

Zato se nastoji da se uobičajeni komparatori zamene nekim prostijim, na primer rednom spregom niza tunelskih dioda sa različitim vrednostima struje i napona na vrhu njihove karakteristike [7].

10.6.2. Konvertori sa kodnom maskom

Drugi način izvođenja jednovremene A/D konverzije vrši se pomoću konvertora sa kodnom maskom. Zbog mogućnosti veoma brzog rada ovakav konvertor nalazi primenu u impulsnoj kodnoj modulaciji — *PCM*.

Za izvođenje A/D konverzije na principu kodne maske koristi se specijalna elektronska kodna cev, sl. 10.14. Ova cev poseduje uobičajene elektrode katodne cevi: katodu K za emisiju usmerenog elektronskog mlaza, zatim otklonske ploče VP i HP za vertikalno odnosno horizontalno skretanje mlaza. Na vertikalne ploče dovode se odmerci analognog napona V_a, dok se na horizontalne priključuje uobičajeni generator testerastog napona GTN. Umesto uobičajenog zastora katodne cevi, kodna cev na izlazu ima više elektroda sa određenim ulogama. Najbitnija elektroda je kodna maska KM, na kojoj su napravljeni otvori prema željenom kodnom sistemu. Na slici je prikazana kodna maska za binarni kod sa tri bita.



Sl. 10.14. Kodna cev

Postupak konverzije sa kodnom cevi je vrlo jednostavan. Analogni napon V_a skreće elektronski mlaz u vertikalnom pravcu srazmerno vrednosti konvertovanog odmerka. Neposredno po zauzimanju određenog visinskog nivoa, posredstvom delovanja horizontalnih ploča ulaz započinje horizontalno skretanje. Prolazeći pri tome kroz određene otvore kodne maske, elektronski mlaz diskontinualno pada na provodnu izlaznu elektrodu IE, stvarajući na njoj seriju impulsa u već određenom kodu. Tako, na primer, pri najvećoj vrednosti analognog odmerka, elektronski mlaz se podiže na najviši kvantni nivo i krećući se horizontalno prolazi kroz tri otvora na kodnoj maski. Na taj način se na izlaznoj elektrodi detektuje serija od tri impulsa 111 kao serijski digitalni ekvivalent dovedenog analognog odmerka. U slučaju da se radi o odmerku, koji je za jedan kvantni nivo niži od prethodne vrednosti, digitalni izlaz imaće dva uzastopna impulsa i jednu prazninu, što odgovara vrednosti 110.

Konvertori sa kodnom maskom rade besprekorno u slučajevima kada analogni odmerak skrene mlaz tačno na visinu određenog reda otvora na kodnoj maski. Međutim, pošto je analogni napon diskontinualan, a elektronski mlaz ima konačnu površinu preseka, vrlo lako može da dođe do pogrešnog kodovanja. Uzmimo, na primer, da dovedeni analogni napon podigne mlaz na visinu između trećeg i četvrtog kvantnog nivoa. U tom slučaju umesto da se koduju vrednosti 011 ili 100 nastaće tri impulsa na izlaznoj elektrodi što odgovara vrednosti 111. Očigledno je da je nastala greška ogromna. Zbog toga se na nekim kodnim maskama ostavlja veći razmak između redova sa otvorima. Za gornji primer analognog odmerka u ovom slučaju bi se na izlazu pojavila vrednost 000, što opet predstavlja vrlo veliku grešku.

Da bi se izbeglo pogrešno kodovanje zbog nepreciznog kvantovanja elektronskog mlaza, ispred kodne maske postavlja se još jedna elektroda takozvana kvantizaciona anoda *KA*. Ova elektroda ima kontinualne horizontalne proreze za propuštanje elektronskog mlaza tačno na određeni kvantnizacioni nivo. Ukoliko bi analogni odmerak upravio mlaz između dva proreza, na kvantizacionoj anodi se stvara odgovarajući napon, koji putem povratne sprege prisiljava elektronski mlaz da upadne u najbliži horizontalni prorez. Na taj način izbegnuta je opisana mogućnost potpuno pogrešnog kodovanja signala. Međutim, pogrešno kodovanje može da bude i posledica izvesnog povijanja elektronskog mlaza prema dole. Na taj način kodovanje otpočinje u jednom a završava se u susednom nižem kvantnom nivou. Da bi ovakva greška bila manje značajna, može da se primeni Grejov kod, koji je pri prelazu iz jednog u drugi kvantni nivo okarakterisan promenom samo jednog bita. Uostalom kod boljih kodnih cevi pomenuto izobličenje skretanja elektronskog mlaza koje inače nastaje pri nesimetričnom upravljanju, otklanja se konstruktivnim putem.

10.7. BROJAČKA A/D KONVERZIJA

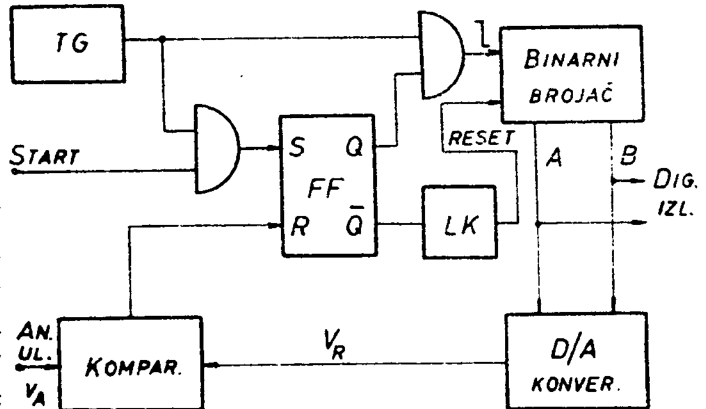
Brojačka analogno-digitalna konverzija ili konverzija kvant po kvant sastoji se u merenju analogne veličine pomoću jednog etalona i određivanju broja sadržanih etalona u merenoj veličini. Konvertori koji rade na ovom principu sadrže samo jedan komparator, čiji se referentni napon skokovito menja za po jedan kvant. Formiranje takvog — stepenastog referentnog napona obavlja se, znači, kvant po kvant. U zavisnosti od toga da li referentni napon pri svakom konverzionom ciklusu polazi od nule ili ne, postoje startni i prateći brojački konvertori.

Pored navedenih konvertora, koji vrše direktno brojanje kvantnih nivoa sadržanih u analognom podatku, postoje i konvertori sa posrednim brojanjem kvantizacionih etalona. Kod ovih konvertora analogna veličina se prethodno transformiše u vreme ili učestanost, koje se zatim mere odgovarajućim etalonima iste prirode. Na ovom principu konverzije razvijeni su, dakle, posredni brojački konvertori sa vremenskom odnosno sa frekventnom transformacijom analognog signala.

10.7.1. Konverzija sa direktnim brojanjem

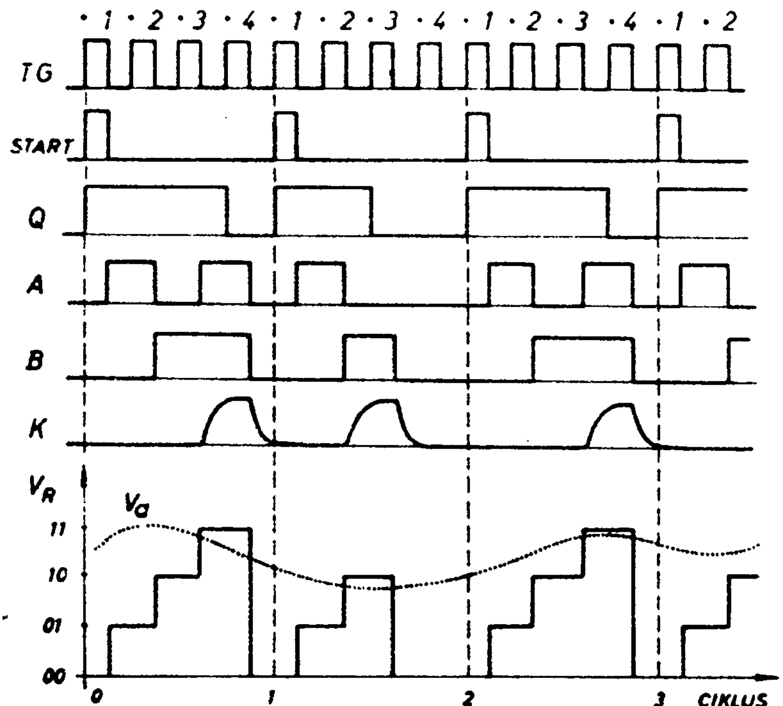
Konverzija sa direktnim brojanjem izvodi se pomoću startnog konvertora, čija je blok-šema data na sl. 10.15. Rad ovog konvertora ilustrovan je vremenskim dijagramima na sl. 10.16. Startnim impulsom setuje se kontrolni flipflop *FF*, sinhrono sa pozitivnim delom takt-impulsa *TI*. Setovani kontrolni flipflop otvara logičko *I* kolo za prolaz impulsa *TI* iz takt-generatora *TG*. Binarni brojač, koji u posmatranom slučaju sadrži svega dva memorijska elementa *A* i *B*, odbrojava u svakom taktnom intervalu po jedan impuls. Izlazna stanja brojača dovode se na ulaze

D/A konvertora u cilju dobijanja analognog ekvivalenta napona posle svakog primljenog impulsa u brojaču. Na taj način se na izlazu *D/A* konvertora formira stepenasto rastući potencijal, koji se dovodi kao referentni napon V_R na drugi ulaz komparatora, gde se poredi sa analognim naponom V_A. To poređenje se ponavlja u svakom takt-intervalu pri čemu se napon V_R stalno povećava u iznosima kvant po kvant. Onog trenutka kad se referentni napon izjednači sa analognim naponom, komparator menja stanje na izlazu *K*, usled čega se resetuje kontrolni flipflop *FF*. Time se sprečava dalje dovođenje taktnih impulsa na brojač, a zatečeno stanje na njemu predstavlja digitalni ekvivalent analognog napona V_A.



Sl. 10.15. Startni *A/D* konvertor

U suštini konverzija sa direktnim brojanjem etalonskih vrednosti zasniva se na primeni kontrolnog sistema sa zatvorenom petljom. Na izlazu komparatora u toj petlji generiše se signal greške sve dotle dok postoji razlika između dovedenog signala V_A i signala povratne sprege V_R. Postojeća greška preko kontrolnog kola omogućava dalje brojanje binarnog brojača sve dotle, dok se signal greške ne svede na nulu. Tada brojač prestaje da broji, a njegova stanja pokazuju digitalnu vrednost dovedenog analognog ulaza.



Sl. 10.16. Vremenski dijagrami konvertora na sl. 10.15

Novi ciklus konverzije započinje ponovnim delovanjem start-impulsa, koji setuje kontrolni flipflop. Ako je *A/D* konvertor sinhronizovan, onda vreme konverzije u svakom ciklusu obuhvata isti broj taktnih intervala, koji je određen brojem kvanta sadržanih u najvećoj vrednosti analognog signala. Prema tome, startni im-

pulsi kod ovakvih konvertora dovode se u određenim vremenskim razmacima kao što to pokazuje dijagram na sl. 10.16. Pošto opisani A/D konvertor registruje digitalne izlaze samo sa dva bita, maksimalni broj kvantnih nivoa iznosi četiri, te stoga ciklusno vreme konverzije obuhvata četiri takt-intervala.

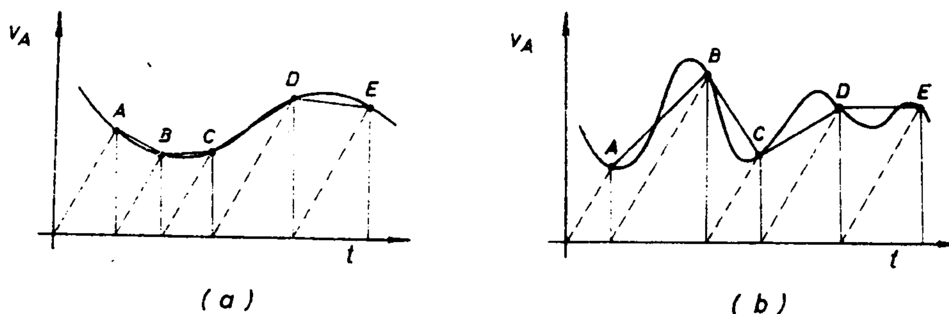
Vreme konverzije startnih A/D konvertora, znači, zavisi od rezolucije, odnosno od broja bita koje sadrži digitalni izlaz, naime

$$T_C = 2^n T_I, \qquad (10.39)$$

gde je T_C ciklusno vreme konverzije, a T_I trajanje takt-intervala. Kako se sa povećanjem rezolucije smanjuje kvantizaciona greška konvertora, to izlazi da se sa povećanjem tačnosti konvertora smanjuje njegova brzina rada. U cilju povećanja brzine, ponekad se odustaje od konstantnog trajanja konverzionog ciklusa, umesto koga se usvajaju ciklusi sa efektivnim vremenom konverzije. U ovom slučaju se na završetku procesa konverzije jedne analogne vrednosti generiše startni impuls za započinjanje konverzionog procesa sledećeg odmerka. Prema tome, konverzioni ciklusi zavisiće i od veličine analognog napona, s tim što svaki novi ciklus započinje neposredno po završetku konvertovanja prethodne vrednosti. Ovakva primena omogućava maksimalno iskorišćenje brzine rada startnih konvertora, tako da je srednje vreme konverzionog ciklusa

$$T_{CS} = 2^{n-1} T_I. \qquad (10.40)$$

Očigledno je da bolje iskorišćenje brzine startnih konvertora iziskuje i nešto složeniju kontrolnu logiku uređaja. Napomenimo na kraju da su ostvareni A/D konvertori ovog tipa sa greškom ne većom od $+0{,}5\%$.



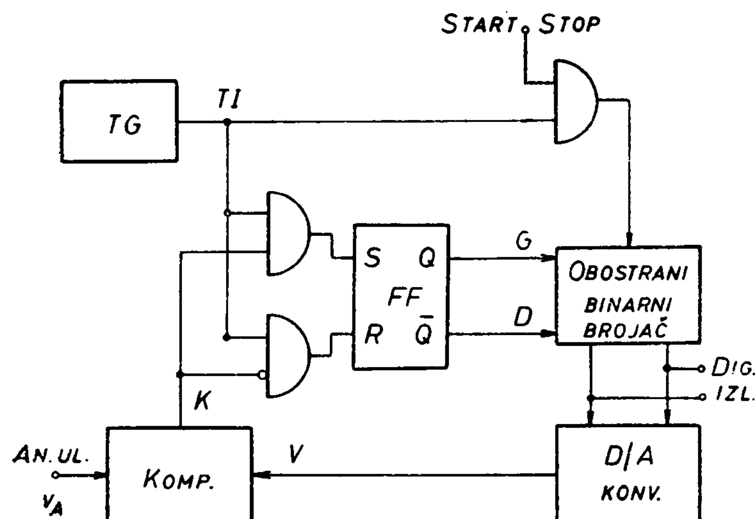
Sl. 10.17. Konverzija pomoću startnog A/D konvertora
(a) sporo promenljivi signal (b) brzo promenljivi signal

Gore opisani A/D konvertor je pogodan za postizanje velike rezolucije, ali vreme konverzije mu je dosta dugo s obzirom da u svakom ciklusu referentni napon startuje od nule. Zbog toga startni A/D konvertor može da bude korišćen za konverziju sporo-promenljivih analognih signala. Na sl. 10.17 a pokazana je konverzija takvog signala za odmerke u tačkama A, B, C, D i E. Očigledno je da bi dobijene digitalne vrednosti odmeraka bile sasvim dovoljne za ponovno regenerisanje prvobitnog signala sa relativno malim odstupanjima, što je pokazano direktnim spajanjem navedenih tačaka.

Na sl. 10.17 b, međutim, ilustrovana je konverzija analognog signala koji ima brže promene trenutnih vrednosti. Pošto upotrebljeni A/D konvertor ima relativno duga ciklusna vremena, očigledno je da dobijene vrednosti u tačkama A, B, C, D i E ne obezbeđuju dovoljno tačno regenerisanje analognog signala. Zbog toga se mora povećati učestanost taktnog generatora, ili, pak, koristiti neki drugi tip A/D konvertora.

Analogno-digitalni konvertor sa direktnim brojanjem kvantnih nivoa može da se izvede i tako da kvantizacioni napon ne polazi u svakom konverzionom ciklusu od nule već od prethodno zatečene vrednosti. To znači, da ovakav konvertor mora imati mogućnost povećanja i smanjivanja kvantizacionog referentnog napona kako bi mogao da prati promene analognog signala. Zbog toga se *A/D* konvertor koji radi na tom principu i naziva prateći.

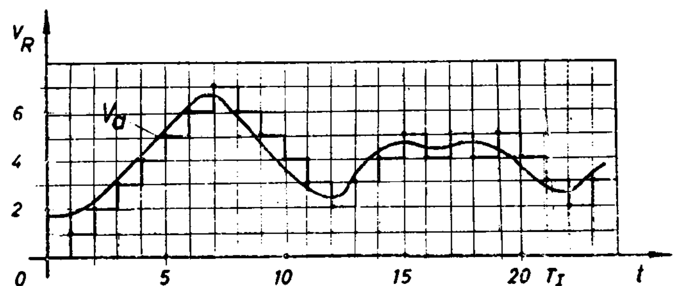
Prateći *A/D* konvertor prikazan je blok-šemom na sl. 10.18. Za razliku od startnog konvertora, ovaj ima obostrani binarni brojač sa kontrolom smera brojanja prema gore (*G*) i prema dole (*D*). Osim toga, radi veće pouzdanosti rada sinhronizovani su ulazi kontrolnog flipflopa *FF*. Logička stanja ovih izlaza zavise od odnosa analognog i referentnog napona na komparatoru. Ako je $V_A > V_R$ uspostavlja se visoki napon na komparatorskom izlazu *K*. Zbog toga će kontrolni flipflop da bude setovan, čime se obezbeđuje da brojač broji unapred, odnosno da kvantizacioni referentni napon stepenasto raste. Međutim, u slučaju da je $V_R > V_A$ na komparatorskom



Sl. 10.18. Prateći *A/D* konvertor

izlazu se formira napon logičke nule. Zbog toga se preko *NE* kola resetuje kontrolni *FF*, pa je brojač upućen na brojanje unazad. Na taj način nastaje smanjenje referentnog napona u iznosima kvant po kvant sve dok se ne promeni izlazno stanje komparatora. Digitalne vrednosti pojedinih analognih odmeraka uzimaju se sa binarnog brojača u trenucima izjednačavanja analognog i referentnog napona.

Analogno-digitalna konverzija promenljivog signala pomoću pratećeg konvertora ilustrovana je dijagramom na sl. 10.19. Primenom bilateralnog kvantizacionog napona omogućeno je dosta tačno praćenje analognog signala pod uslovom da je rezolucija konvertora dovoljno velika. Istina treba uočiti da analogni napon približno konstantne vrednosti uzrokuje oscilovanje kvantizacionih nivoa oko te vrednosti. Da bi se to izbeglo obično se podešava da osetljivost komparatora ne bude veća od polovine rezolucionog napona konvertora.



Sl. 10.19. Konverzija pomoću pratećeg *A/D* konvertora

Drugim rečima to znači da komparator menja logičko stanje samo kada je razlika upoređivanih napona veća od polovine kvanta, naime

$$\left| V_A - V_R \right| > \frac{1}{2} \Delta V. \tag{10.41}$$

U slučaju kada je signal greške pri upoređivanju manji od gore navedene vrednosti, kvantizacioni napon treba da zadrži prethodnu vrednost. Zbog toga kontrolna logika konvertorskog uređaja mora da predvidi zaustavljanje rada brojača pri izjednačavanju ulaznih napona na komparatoru.

Prateći konvertor, koji se ponekad naziva i kontinualni, može da radi sa greškom manjom od 0,1% pri rezoluciji od 10—15 bita. Pored toga on poseduje i dosta veliku brzinu konverzije. Nažalost ova osobina pratećeg konvertora ne može da bude iskorišćena u multipleksnom radu, pošto se u tom slučaju ne vrši obrada jednog već više izdvojenih signala po utvrđenom redosledu.

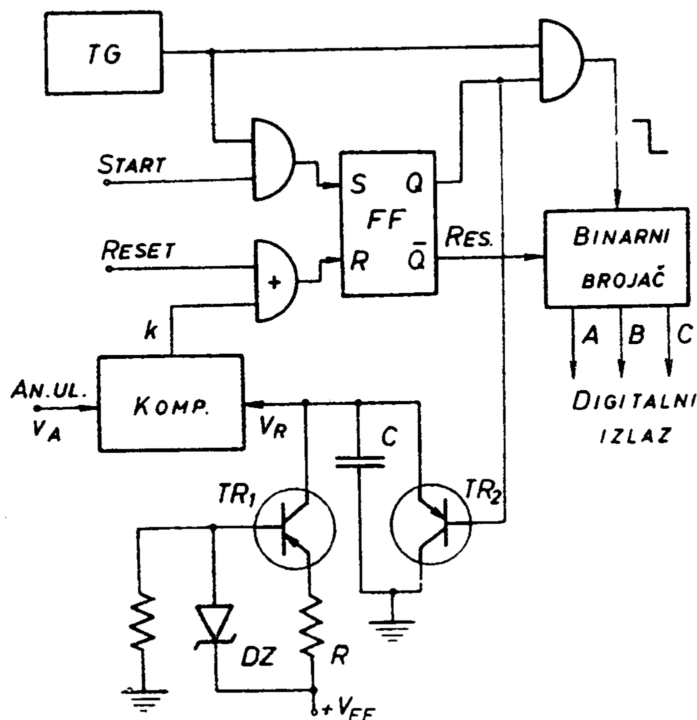
10.7.2. Konverzija sa vremenskom kvantizacijom

U startnom i pratećem konvertoru etaloni su bili iste prirode kao i merena veličina, tako da je njen digitalni ekvivalent iznalažen direktnim brojanjem kvantizacionih nivoa. Umesto stepenastog referentnog napona, sa kojim se poredi analogni odmerak signala, mogao bi da se upotrebi i kontinualni napon koji monotono raste ili opada. Kako je takav napon takođe analogna veličina, to se pomoću njega ne može da ostvari direktna kvantizacija ulaznog signala. Međutim, poznavajući vremensku zavisnost monotono promenljivog napona, može se izvesti njegova kvantizacija pomoću pogodno odabranog etalona vremena. Prema tome, ovakav proces konverzije obuhvata dva postupka: transformaciju merene veličine u definisani vremenski interval i kvantizaciju dobijenog vremenskog intervala. Pošto kvantizaciona veličina, odnosno etalon nije iste prirode kao i merena, to se za A/D konvertore, koji rade na ovom principu, kaže da koriste princip, ne direktnog, već posrednog brojanja.

Na sl. 10.20 ucrtana je šema jednog A/D konvertora sa posrednim brojanjem, koji koristi transformaciju ulaznog signala u vreme. Da bi se ostvarila linearna zavisnost između veličine ulaznog napona i trajanja vremenskog intervala, referentni napon V_R treba da se menja linearno sa vremenom. Zbog toga se ovaj napon generiše pomoću integratora, koga čine kondenzator C i tranzistor TR_1 kao izvor konstantne struje. Tranzistor TR_2 upotrebljen je kao prekidač preko koga se vrši resetovanje, odnosno pražnjenje kondenzatora C. Podrazumeva se da pre svakog ciklusa konverzije treba resetovati ne samo kondenzator nego i brojač, što se postiže aktiviranjem komande za resetovanje uređaja. Time se u stvari dovodi visoki napon na R ulaze flipflopova u brojaču kao i kontrolnog flipflopa FF. Izlaz $\bar{Q}$ kontrolnog kola obezbeđuje nizak napon na bazi tranzistora TR_2, te ovaj odlazi u zasićenje i na taj način prazni kondenzator C.

Ciklus konverzije započinje start-komandom, kojom se setuje kontrolni flipflop FF. Visoki napon na izlazu $\bar{Q}$ blokira tranzistor TR_2 te kapacitet C počinje da se puni konstantnom strujom tranzistora TR_1. Zahvaljujući tome napon na kondenzatoru V_R raste linearno sa vremenom. Ovaj napon se dovodi na komparator radi poređenja sa analognim podatkom V_A. Sve dok je $V_A > V_R$ na komparatorskom izlazu K postoji nizak napon. To znači da se pri pražnjenju kapaciteta C istovremeno i komparator postavlja u stanje logičke nule. Startnom komandom ne započinje samo punjenje kondenzatora C već i brojanje taktnih impulsa u binarnom brojaču.

Započeto brojanje traje sve dotle dok napon V_R ne dostigne vrednost V_A, kada se komparator prebacuje u stanje logičke jedinice i resetuje kontrolno kolo FF. Time je završen konverzioni ciklus, a krajnji rezultat brojanja predstavlja digitalni ekvivalent



Sl. 10.20. *A/D* konvertor sa vremenskom kvantizacijom

ulazne analogne vrednosti. Prema tome, efektivno vreme konverzije započinje startnom komandom a završava se izjednačenjem ulaznog i referentnog napona. Ciklusno vreme konverzije, međutim, obuhvata i vreme pražnjenja kondenzatora C.

Imajući u vidu da je struja punjenja kondenzatora C konstantna

$$I_P \approx \frac{V_Z - V_{EB1}}{R}, \tag{10.42}$$

gde je V_Z radni napon Cener-diode, vremenska zavisnost referentnog napona biće data izrazom

$$v_R(t) = \frac{V_Z - V_{EB1}}{RC}\, t. \tag{10.43}$$

Porast referentnog napona ograničen je uslovom

$$v_R(t) = V_R = V_A \tag{10.44}$$

odakle se nalazi vremenski interval koji odgovara transformisanoj analognoj vrednosti

$$T = RC \frac{V_A}{V_Z - V_{EB1}}. \tag{10.45}$$

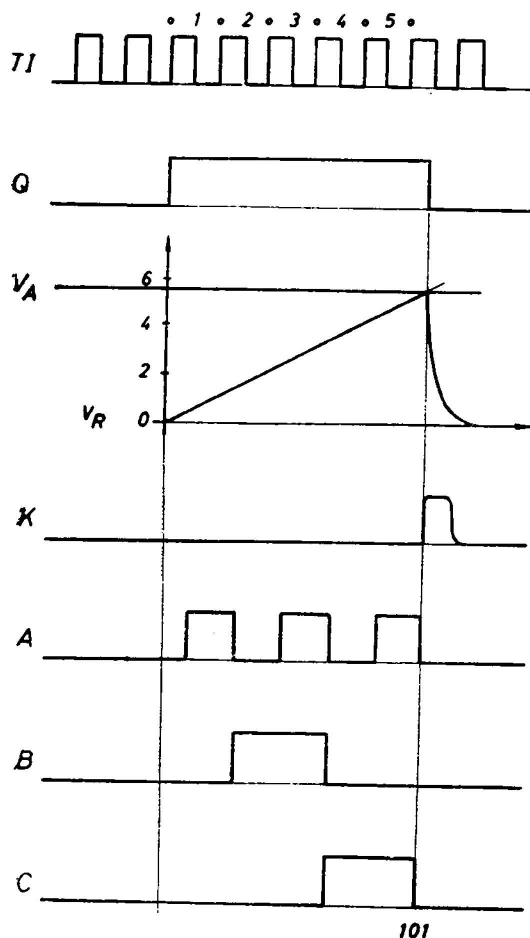
Ako se ovaj vremenski interval kvantuje periodom taktnog generatora T_G, nalazi se da on sadrži N perioda. Iz jednakosti

$$T = RC \frac{V_A}{V_Z - V_{EB1}} = N T_G \tag{10.46}$$

nalazi se da je

$$V_A=(V_Z-V_{EB1})\frac{T_G}{RC}N=kN. \tag{10.47}$$

Gornji izraz pokazuje da je analogni napon V_A proporcionalan broju impulsa N, koji je odbrojan na binarnom brojaču, što znači da je prenosna karakteristika konvertora linearna. Napomenimo da se u konvertorima ovog tipa ponekad koristi i logaritamska karakteristika konverzije.



Sl. 10.21. Vremenski dijagrami konvertora sa vremenskom kvantizacijom

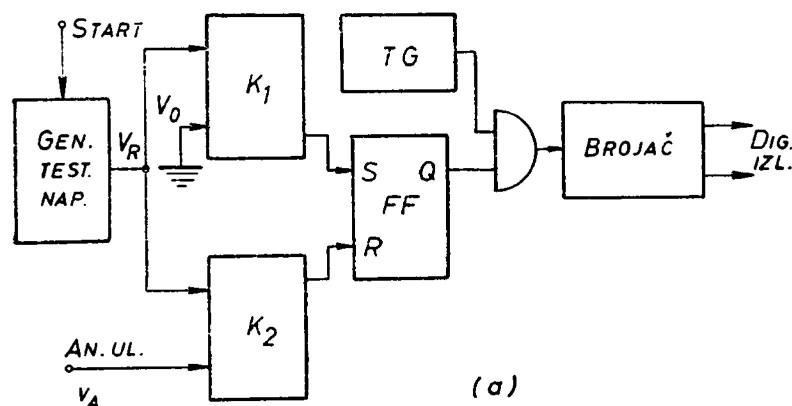
Na sl. 10.21 ilustrovan je rad opisanog konvertora pomoću vremenskih dijagrama u karakterističnim tačkama sistema. U cilju postizanja kvantizacione greške u granicama $\pm\ \Delta\ V/2$ treba podesiti da se, na primer, digitalna vrednost 001 na brojačkim izlazima C, B i A pojavi kada referentni napon V_R prolazi kroz vrednosti od 0,5 — 1,5. Drugim rečima, integracija napona V_R treba da započne pre nego što brojač primi prvi impuls. Zbog toga je start-komanda sinhronizovana sa pozitivnim delom takt-periode, kada započinje i integracioni proces. S druge strane, brojač je osetljiv na negativnu ivicu impulsa, te otuda brojanje kasni za polovinu taktnog intervala. Ako bi se, međutim, dopustilo da u brojaču bude registrovan taktni impuls koji započinje integracioni proces, maksimalna kvantizaciona greška dostigla bi vrednost od jednog kvanta. Do tog zaključka dolazi se lako posmatrajući date dijagrame za referentni napon V_R i brojački stepen A. Pošto isti impuls otvara integrator i brojač očigledno je da će brojač pokazivati vrednost 001 i u trenutku dok je napon V_R još vrlo blizak nuli.

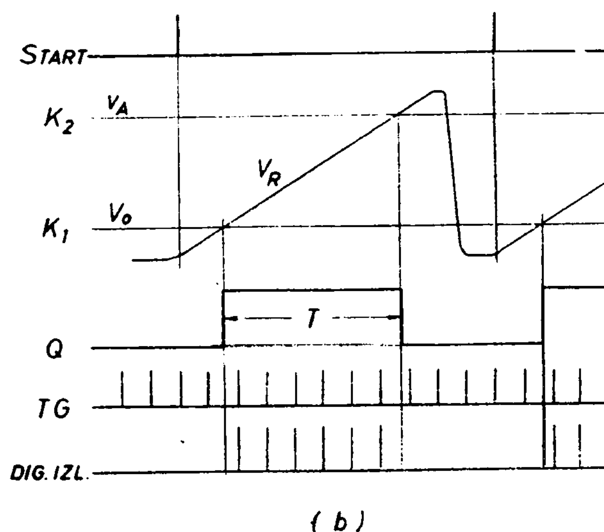
Opisani uređaj ponekad se naziva A/D konvertor sa širinskom modulacijom. To upravo znači da veličina analognog signala određuje vreme trajanja odnosno širinu impulsa u toku koga se odvija proces brojanja. Posmatrano sa ovog stanovišta opisana konverzija je naročito pogodna za prenos informacija, pri čemu je dovoljno da se prenesu samo start i stop impulsi za brojač. Očigledno je da preciznost ovih impulsa utiče veoma mnogo na tačnost konverzije. Kako se početak integracionog procesa ne može da odredi sa velikom tačnošću, onda se umesto jednog radije koriste dva komparatora sa kojima se položaj pomenutih impulsa fiksira na povoljnijem delu linearno promenljivog napona.

A/D konvertor sa dva komparatorska nivoa i njegovi vremenski dijagrami pokazani su na slici 10.22. Start-komandom započinje generisanje testerastog napona koji se dovodi na komparatore K_1 i K_2. Referentni nivo prvog kompartora je potencijal uzemljenja, a drugog — konvertovani analogni napon. Pri prvoj komparaciji

setuje se kontrolni flipflop *FF* čime se omogućava dovođenje taktnih impulsa na brojač. Pri drugoj komparaciji kontrolno kolo se resetuje i zaustavlja rad brojača. Broj impulsa, koji je brojač primio u toku vremena *T*, predstavlja digitalnu vrednost analognog napona na ulazu. Očigledno je da se jednostavnim diferenciranjem napona *Q* mogu da dobiju gore pomenuti start i stop-impulsi u slučaju korišćenja ovakve konverzije pri prenosu informacija.

Tačnost konverzije sa vremenskom kvantizacijom zavisi od više faktora koji se ispoljavaju kako pri transformaciji analognog napona u vremenski interval tako i pri kvantizaciji tog intervala. Greške pri konverziji napona u vreme potiču od integratora i komparatora. U integratoru bitni su elementi kondenzator i strujni izvor.

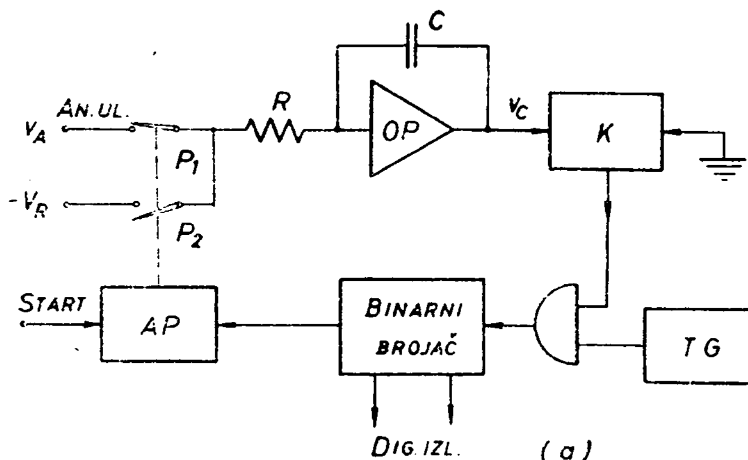


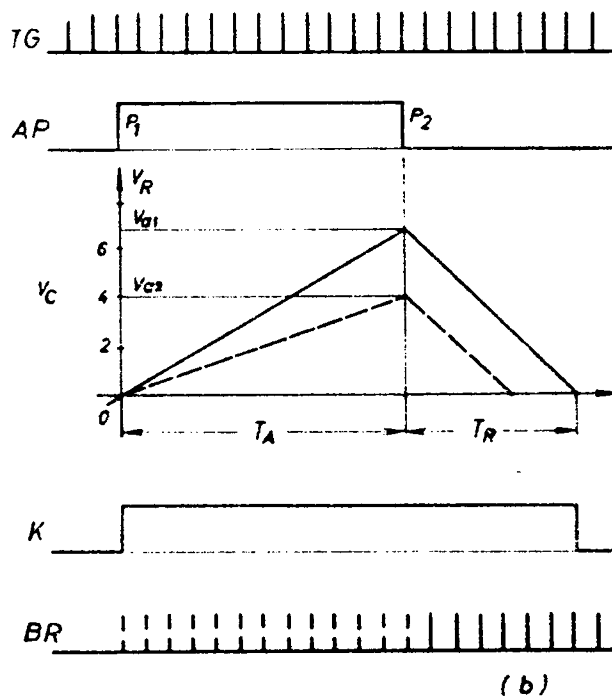


Sl. 10.22. *A/D* konvertor sa dva komparatorska nivoa
(a) blok-šema (b) vremenski dijagrami

Stabilnost ovih elemenata u određenim uslovima primene je od prvobitne važnosti za veću tačnost konvertora. Što se tiče kvantizacije vremenskog intervala, njena tačnost, videli smo, zavisi i od ostvarene sinhronizacije pri generisanju vremenskog intervala i aktiviranja brojača. Očigledno je da presudnu reč u pogledu tačnosti ima rezolucija konvertora. U vezi s tim navedimo da su izgrađeni konvertori opisanog tipa sa tačnošću od 0,01% pri rezoluciji od 12 bita.

Tačnost A/D konvertora sa vremenskom kvantizacijom može da se poveća korišćenjem principa konverzije pomoću dvojne integracije. Takav konvertor sa propratnim vremenskim dijagramima prikazan je na slici 10.23. Integrator je izveden pomoću operacionog pojačavača OP. Start-komandom preko analognog prekidača AP zatvara se prekidač P_1 a otvara P_2. Napon na izlazu operacionog pojačavača počinje linearno da raste i čim pređe potencijal nule komparator K otvara I kolo za prolaz impulsa iz takt-generatora TG. Ovi impulsi pobuđuju binarni brojač sve





Sl. 10.23. A/D konvertor sa dvojnom integracijom
(a) blok-šema
(b) vremenski dijagrami

dotle dok svi njegovi stepeni ne pređu iz resetovanog u setovano stanje. Vreme T_A za koje će brojač stići od nulte do svoje maksimalne vrednosti određeno je kapacitetom brojača i učestanošću taktnog generatora. U toku tog vremena vrši se integracioni proces pod dejstvom ulaznog analognog napona V_A, usled čega se na izlazu operacionog pojačavača formira linearni napon

$$v_{CA}=\frac{1}{C}\int_0^{T_A}\frac{V_A}{R}\,dt=\frac{T_A}{RC}V_A. \qquad (10.48)$$

Po isteku vremena T_A ništa se nije izmenilo u pogledu dovođenja taktnih impulsa na brojač. Prvi impuls koji nailazi posle pojavljivanja maksimalne vrednosti brojača, vraća brojač ponovo u početno stanje, a kao posledica toga prebacuje se i analogni prekidač. Prema tome, na operacionom pojačavaču započinje integracija pod dejstvom referentnog napona V_R tako da se sada na njegovom izlazu formira opadajući linearni napon

$$\begin{aligned} v_{CR}(t) &= V_{CA} - \frac{1}{C}\int_0^{t_R} \frac{V_R}{R}\, dt \\ &= \frac{1}{RC}(V_A T_A - V_R T_R). \end{aligned} \tag{10.49}$$

U toku formiranja ovog napona brojač ponovo odbrojava takt-impulse sve dotle dok napon $v_{CR}(t)$ ne dostigne nulti potencijal kada komparator K sprečava dalje pobuđivanje brojača. Prema tome, iz uslova $V_{CR}(T_R) = 0$ nalazi se vremenski ekvivalent analognog napona

$$T_R = \frac{T_A}{V_R} V_A. \tag{10.50}$$

Ako se kao i u ranijim slučajevima ovo vreme kvantuje periodom takt-generatora T_G nalazi se da je

$$V_A = \frac{T_G}{T_A} V_R N = kN. \tag{10.51}$$

gde je N broj primljenih impulsa u brojaču. Vidi se, dakle, da je digitalni ekvivalent ulazne analogne vrednosti izražen brojem impulsa koje brojač primi u toku druge integracije. Upoređujući gornji izraz sa jednačinom (10.47) uočava se da u ovom slučaju vremenska konstanta RC nema uticaja na proces konverzije, pa je time eliminisana i greška koju ona unosi. Šta više, konverzija ne zavisi ni od stabilnosti etalona, tj. periode takt-generatora, s obzirom da se i vreme T_A meri istim etalonom. Prema tome, A/D konvertor sa dvojnom integracijom odlikuje se velikom tačnošću, ali i vrlo malom brzinom konverzije. To je, uostalom, sasvim razumljivo kad se ima u vidu da ciklus konverzije obuhvata uvek i vremenski period T_A, koji je utoliko veći što je rezolucija konvertora veća.

10.7.3. Konverzija sa frekventnom kvantizacijom

Konverzija sa frekventnom kvantizacijom sadrži dva postupka obrade signala: pretvaranje napona u učestanost i kvantizaciju dobijene učestanosti. Prvi postupak poznat je pod imenom naponsko-frekventna konverzija, a drugi nije ništa drugo do brojanje frekventnih ciklusa binarnim brojačem u određenom vremenskom intervalu. Naponsko-frekventna konverzija najlakše može da se ostvari pomoću relaksacionog generatora čija je učestanost funkcija nekog kontrolnog napona. S obzirom da učestanost ovakvih generatora ne polazi od nule, oni nisu pogodni za analogno digitalnu konverziju u smislu određivanja digitalne reči kao ekvivalenta analogne vrednosti. Zbog toga se i ovde najčešće koriste integratorska kola slična onima kod A/D konverzije sa vremenskom kvantizacijom.

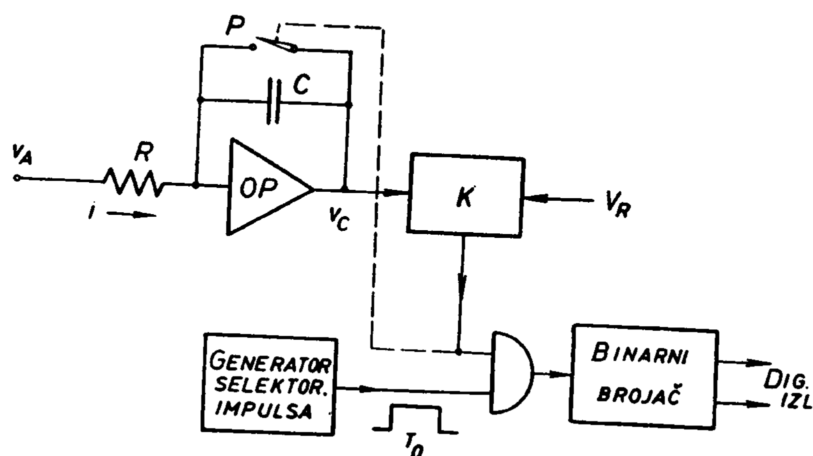
Na sl. 10.24 data je principijelna šema A/D konvertora sa frekventnom kvantizacijom, kod koga se integracioni proces ostvaruje pomoću operacionog pojačavača OP. Prema tome, kada se na ulaz integratora dovede analogni napon V_A na izlazu pojačavača nastaje linearno promenljivi napon

$$v_C(t)=\frac{1}{C}\int_0^t i dt=\frac{V_A}{RC}t. \tag{10.52}$$

Ako se sa T_1 označi vreme za koje taj napon dostigne vrednost V_R, onda je

$$T_1=RC\frac{V_R}{V_A}. \tag{10.53}$$

Pri izjednačavanju napona V_C sa V_R, komparator K generiše na svom izlazu impuls koji aktivira prekidač P za resetovanje kapaciteta C. Po završenom resetovanju, prekidač P se otvara i na izlazu pojačavača ponovo se uspostavlja napon $V_C(t)$



Sl. 10.24. A/D konvertor sa frekventnom kvantizacijom

prema jednačini (10.52). Na taj način obrazuje se uobičajeni testerasti napon čija je amplituda ograničena vrednošću referentnog napona V_R, a nagib je funkcija analogne vrednosti V_A. Ako se sa T_2 obeleži vreme resetovanja kondenzatora C i uz pretpostavku da to resetovanje traje vrlo kratko, tako da je $T_2 \ll T_1$, onda se testerasti napon periodično ponavlja u razmacima $T = T_1 + T_2 \approx T_1$. Prema tome, iz jednačine (10.53) nalazi se da je

$$V_A \approx RCV_R f, \tag{10.54}$$

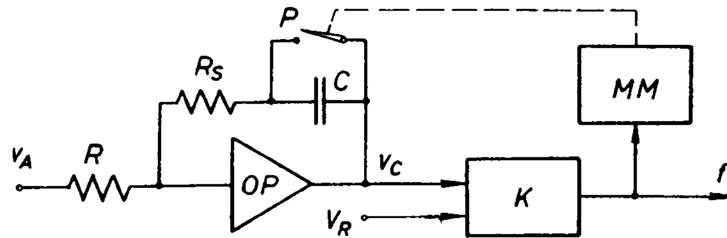
gde je $f \approx 1/T_1$. Ovaj izraz pokazuje da je dovedeni analogni napon V_A proporcionalan učestanosti ponavljanja testerastog napona V_C, odnosno učestanosti generisanja impulsa na izlazu komparatora K. Drugim rečima, to znači da je ulazni napon V_A transformisan u učestanost f, tj. izvršena je naponsko-frekventna konverzija signala.

Da bi se odredio digitalni ekvivalent analognog signala, potrebno je izvršiti kvantovanje dobijene učestanosti. To se može da izvede pomoću binarnog brojača na koji se dovode impulsi sa komparatora u toku trajanja selektorskog impulsa T_0. Ako se sa N označi broj impulsa koje brojač primi u toku vremena T_0, onda se jednačina (10.54) može da napiše u obliku

$$V_A \approx \frac{RC}{T_0} V_R N=kN, \tag{10.55}$$

jer je $f = N/T_0$. Gornja jednačina pokazuje da je analogni napon na ulazu konvertora proporcionalan broju impulsa koje primi binarni brojač. Prema tome, digitalni ekvivalent analognog napona određen je stanjem memorijskih elemenata u brojaču.

Pored grešaka na koje je ukazivano ranije, kod ovog A/D konvertora pojavljuje se i sistematska greška zbog zanemarivanja vremena resetovanja integracionog kondenzatora. Imajući u vidu da učestanost brojačkih impulsa raste sa povećanjem ulaznog napona, razumljivo je da učinjeno zanemarivanje sužava opseg analognih vrednosti koje se mogu da konvertuju u digitalne sa određenom tačnošću. Zbog toga su nastale i druge varijante A/D konvertora koji radi na principu naponsko-frekventne konverzije.



Sl. 10.25. Naponsko-frekventna konverzija sa kompenzacijom vremena resetovanja

Uticaj vremena resetovanja kondezatora C na tačnost naponsko-frekventne konverzije A/D konvertora na sl. 10.25 kompenziran je dodavanjem serijske otpornosti R_S u povratnoj sprezi operacionog pojačavača. Izlazni napon integratora u ovom slučaju dat je izrazom

$$v_C(t)=\frac{R_S}{R}V_A+\frac{V_A}{RC}t. \tag{10.56}$$

Iz uslova izjednačenja ovog napona sa referentnim tj. iz $V_C(T_1) = V_R$, nalazi se da je

$$T_1=RC\left(\frac{V_R}{V_A}-\frac{R_S}{R}\right). \tag{10.57}$$

Ako je vreme resetovanja kondenzatora C dato vremenskim intervalom T_2, perioda ponavljanja testerastog napona je

$$T=T_1+T_2=RC\frac{V_R}{V_A}-R_S\,C+T_2. \tag{10.58}$$

Iz ovog izraza se vidi da će uticaj vremena resetovanja T_2 na periodu T biti eliminisan ako se za dodatu otpornost uzme vrednost

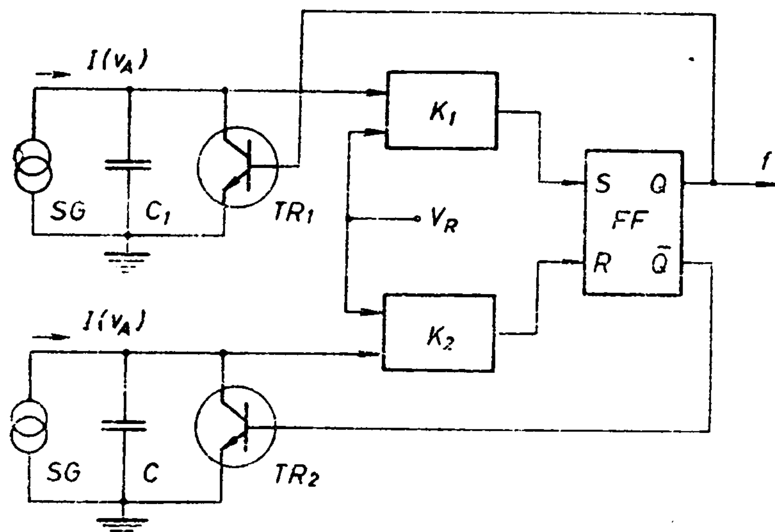
$$R_S=\frac{T_2}{C}. \tag{10.59}$$

Prema tome, karakteristika naponsko-frekventne konverzije biće data tačnim izrazom

$$V_A = RCV_Rf. \tag{10.60}$$

Da bi se realizovao uslov dat jednačinom (10.59) potrebno je da vreme resetovanja bude konstantno. Zbog toga se zatvaranje prekidača P u konvertoru na sl. 10.25 kontroliše kvazistabilnim periodom monostabilnog multivibratora MM. Zahvaljujući

opisanoj kompenzaciji moguće je ostvariti karakteristiku konverzije sa nelinearnošću od svega 0,01% u opsegu učestanosti $f = 0 — 25$ KHz odnosno napona $V_A = 0$ — —10 V[8]. Što se tiče tačnosti A/D konvertora sa frekventnom kvantizacijom uopšte, ona može da bude dosta velika, tako da se greška kreće ispod 0,1% pri rezolucionom naponu od 1 μV.



Sl. 10.26. Naponsko-frekventna konverzija sa kontrolnim flipflopom

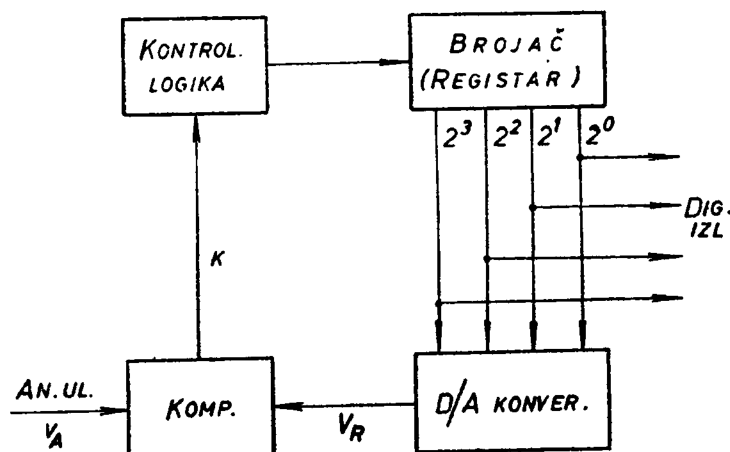
Jedno drugačije rešenje naponsko frekventnog konvertora pokazano je na sl. 10.26. Kapaciteti C_1 i C_2 pune se naizmenično iz strujnih generatora SG, čija je struja I srazmerna analognom napona V_A .Kontrolni flipflop FF uključuje tranzistore TR_1 i TR_2 u cilju pražnjenja pomenutih kondenzatora. Očigledno je da se procesi punjenja i pražnjenja kapaciteta C_1 i C_2 odvijaju naizmenično, tj. dok se jedan puni drugi se prazni i obrnuto. Uzmimo da se flipflop nalazi u resetovanom stanju. Tada je tranzistor TR_1 blokiran, a TR_2 se nalazi u provodnom stanju. Time je omogućeno punjenje kapaciteta C_1 tako da napon V_{C1} linearno raste. Kada ovaj napon dostigne referentni nivo V_R, komparator K_1 generiše impuls koji setuje kontrolni flipflop. Usled toga zatvara se tranzistor TR_1 preko koga se prazni kapacitet C_1. S druge strane tranzistor TR_2 je otvoren, te nastaje porast napona V_{C2} na kondenzatoru C. Kad ovaj napon dostigne vrednost referentnog potencijala V_R, na izlazu komparatora K_2 nastaje impuls koji ponovo resetuje kontrolno kolo. Na taj način završen je jedan ciklus oscilovanja konvertora. Pošto je brzina punjenja kondenzatora C_1 i C_2 srazmerna struji I, a ova analognom naponu V_A, to je očigledno da će i učestanost promene logičkih stanja flipflopa biti linearna funkcija dovedenog analognog napona.

10.8. POSTUPNA A/D KONVERZIJA

Ranije je istaknuto da se kod ovog načina izvođenja analogno-digitalne konverzije vrednost digitalnog ekvivalenta određuje postupno, sukcesivno — digit po digit. Glavne karakteristike takve konverzije su velika tačnost i dovoljna brzina rada. Postoji više mogućnosti za realizaciju takve konverzije uglavnom zavisno od toga na koji se način dobijaju potrebni etaloni za određivanje digita. U vezi s tim prikazaćemo način rada konvertora sa D/A dekoderom, sa kapacitetom i sa operacionim pojačavačem.

10.8.1. Konverzija pomoću D/A dekodera

Ovaj način analogno-digitalne konverzije koristi već poznatu zatvorenu petlju sa programiranim *D/A* konvertorom, sl. 10.27. Kontrolna logika sadrži pre svega sinhronizacioni odnosno takt-generator i program po kome se odvija rad binarnog brojača. Naime, brojač u ovom slučaju ne odbrojava impulse kvant po kvant kao što je to slučaj u ranijim konvertorima, već digit po digit i to polazeći od digita najviše pozicione vrednosti. Zbog toga se umesto brojača često može da upotrebi i registar.



Sl. 10.27. Sukcesivna *A/D* konverzija pomoću programiranog *D/A* dekodera

Postupak konverzije obavlja se na sledeći način. Iz resetovanog stanja brojač se u prvom takt-intervalu postavlja tako, da samo njegov najviši bit bude u stanju logičke jedinice. Prema tome u brojaču sa četiri bita prva digitalna vrednost na brojaču biće 1000. Na izlazu *D/A* konvertora ova vrednost rezultuje u etalon analognog napona V_{R3}, pomoću koga se ispituje postojanje bita pozicione vrednosti 2^3 u analognom ulaznom naponu V_A. Naime, napon V_{R3} upoređuje se na komparatoru sa naponom V_A i ukoliko je $V_{R3} < V_A$ na izlazu *K* uspostavlja se stanje logičke jedinice, a ako je $V_{R3} > V_A$ — stanje logičke nule. Ovaj podatak se preko kontrolne logike prenosi brojaču tako, da on, ukoliko je konstatovano da je $V_A > V_{R3}$, zadržava već postavljenu vrednost najvišeg bita. U protivnom, tj. ako je $V_{R3} > V_A$ odgovarajući stepen u brojaču se resetuje, te je digit najviše vrednosti jednak nuli.

Po završetku određivanja najvišeg digita, kontrolna logika postavlja brojački stepen 2^2 u stanje jedinice. Na izlazu *D/A* dekodera formira se, znači, novi etalon V_{R2}. Napon ovog etalona odgovara stanju brojača 1100 ili 0100, zavisno od toga koja je vrednost ustanovljena za najviši bit u prethodnom postupku. Upoređujući sada etalon V_{R2} i analogni ulaz V_A komparator daje kontrolnoj logici podatak o vrednosti izlaznog digita pozicije 2^2.

Iznalaženje vrednosti digita u pozicijama 2^1 i 2^0 izvešće se prema etalonima V_{R1} i V_{R0}. Veličina napona ovih etalona odgovaraće ne samo bitu brojača odgovarajuće pozicije već i vrednostima prethodno određenih bita. Imajući u vidu da kod svakog novog etalona postoji mogućnost udvostručavanja broja vrednosti u poređenju sa prethodnim, to napon V_{R1} može da ima četiri a V_{R0} — osam referentnih nivoa. Prema tome ukupan broj vrednosti za *n* etalona, koje treba očekivati da mogu da se

pojave pri sukcesivnoj A/D konverziji, je 2^{n-1}. Te vrednosti za prikazani konvertor sa četiri bita navedene su u tabeli 10.2.

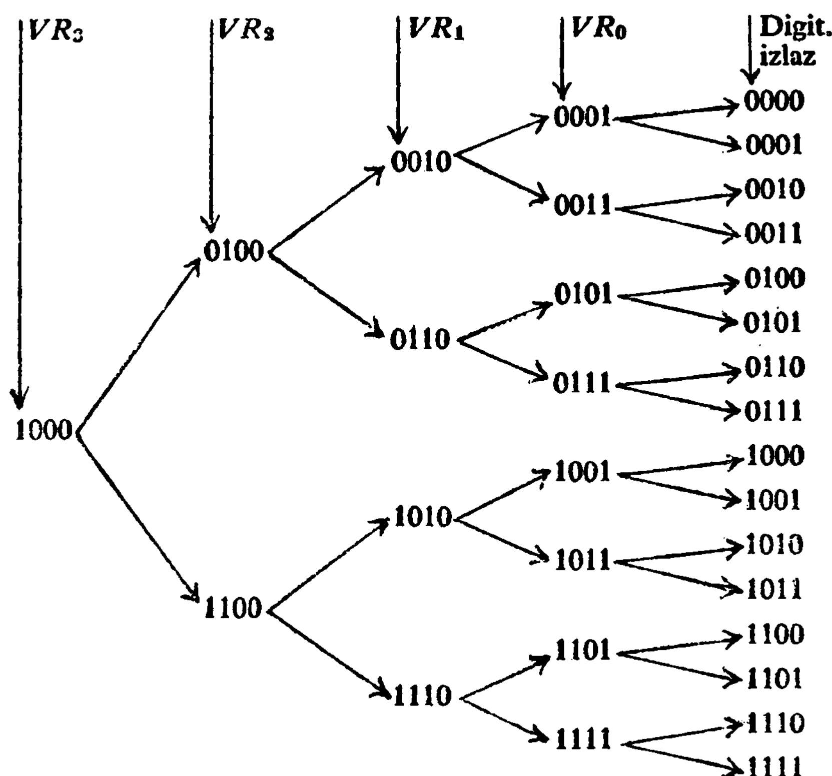


Tabela 10.2. Kombinacione vrednosti etalona za konvertor na sl. 10.27

Da bismo još bolje ilustrovali metod postupnog približavanja analognoj vrednosti primenom opisanog A/D konvertora, uzećemo kao primer konverziju analogne vrednosti $V_A = 11{,}2$. Pretpostavljajući da rezolucioni napon konvertora iznosi $\Delta V = 1$, vrednosti etalona izražavaju se kao zbir pozicionih vrednosti setovanih stepena u brojaču. U prvom takt-intervalu, kao što je rečeno, brojač se postavlja u stanje 1000. Vrednost referentnog napona je $V_{R3} = 8$. Komparator K konstatuje da je $V_A > V_{R3}$, što znači da digitalni izlaz 2^3 dobija vrednost jedan. Svi podaci konverzionog ciklusa dati su u tabeli 10.3, a dobijeni digitalni ekvivalent konvertovanog analognog napona može se očitati u krajnjoj desnoj koloni.

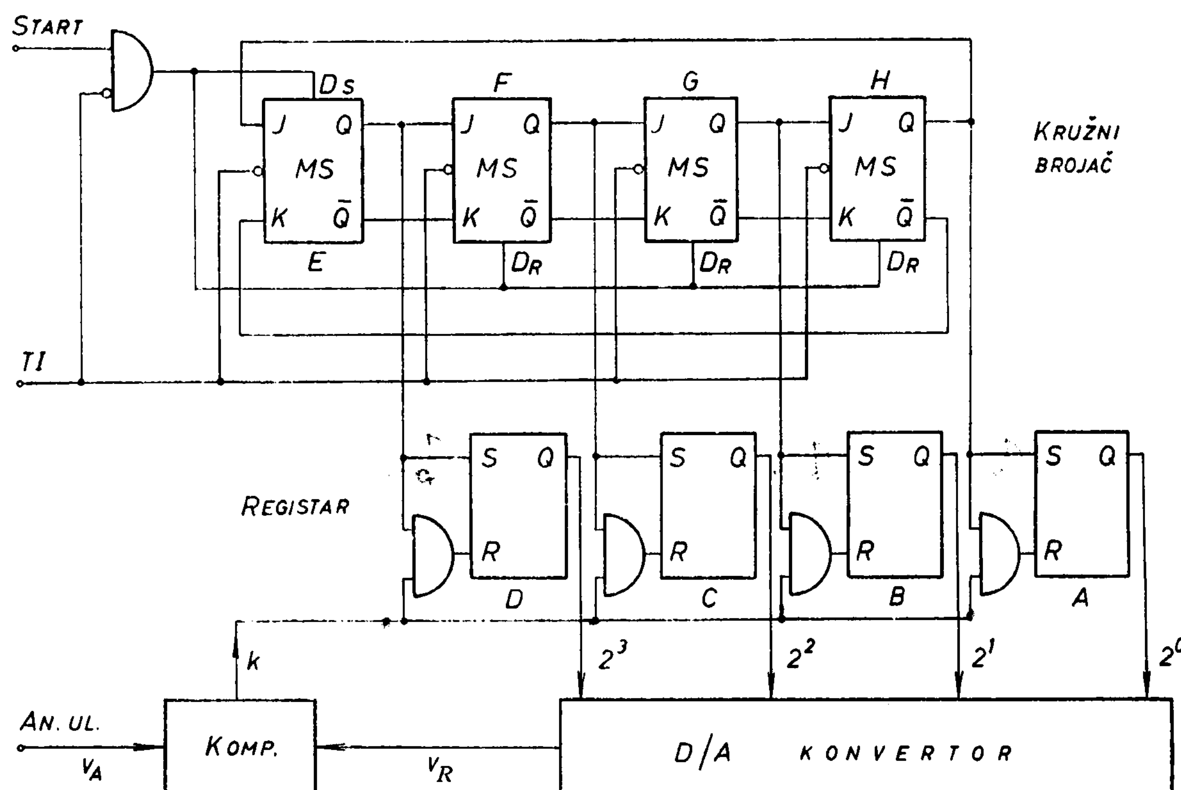
Takt-interv.	Stanje brojača	Vrednost etalona	Komparacija	Digitalni izlaz
I	1000	$VR_3 = 8$	$VA > VR_3$	$2^3 \to 1$
II	1100	$VR_2 = 12$	$VA > Vr_2$	$2^2 \to 0$
III	1010	$VR_1 = 10$	$VA > VR_1$	$2^1 \to 1$
IV	1011	$VR_0 = 11$	$VA > VR_0$	$2^0 \to 1$

Tabela 10.3. Postupna konverzija analogne vrednosti $V_A = 11{,}2$

Već je rečeno da tačnost ovih A/D konvertora može da bude vrlo velika. Glavni izvori greške su komparator i D/A konvertor. Ako se ovim sklopovima pokloni posebna pažnja u izradi, greška sukcesivnih A/D konvertora svodi se na vrednost

manju od 0,005%. Razumljivo je da kvantizaciona greška i ovde može da bude svedena na $\pm\Delta V/2$ ukoliko su referentni naponi fiksirani na sredini kvantnih nivoa (videti sl. 10.13). Što se tiče brzine, ona dosta zavisi od tehnologije izvedenih kola. Ostvareni su konvertori sa brzinama reda nekoliko desetina mikrosekunada, mada se pri korišćenju specijalnih brzih komponenata, konverziono vreme može da snizi i na nekoliko desetina nanosekunada.

Kontrolna logika sukcesivnog A/D konvertora je najčešće dosta složena. Na sl. 10.28 pokazana je mogućnost korišćenja kružnog brojača za programiranje redosleda formiranja potrebnih etalona. Rad kružnog brojača (videti sl. 9.32) zahteva startno stanje u kome je jedan stepen u stanju logičke jedinice, a svi ostali u stanju nule. Prema tome, prvi takt konverzionog ciklusa započinje startnim impulsom, koji se sinhronizuje sa negativnim delom takt-intervala. Ovaj impuls preko direktnih set i reset-priključaka *MS* flipflopova setuje stepen *E*, a resetuje stepene *F*, *G* i *H* u



Sl. 10.28. *A/D* konvertor sa kružnim brojačom

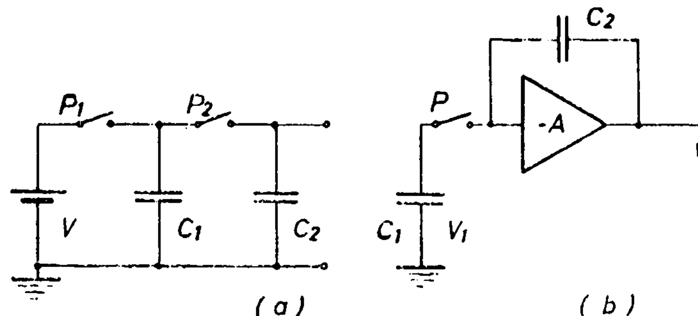
kružnom brojaču. Ukoliko se ne predviđa prethodno brisanje registra, startni impuls može da se iskoristi za direktno postavljanje i odgovarajućih stepena registra: *D* u stanju jedinice, a *C*, *B* i *A* u stanje nule. Prema tome, D/A konvertor daje napon V_{R3}, koji se poredi sa analognim ulazom V_A. Ako je $V_A > V_{R3}$, na izlazu *K* formira se niski napon, pa je bez uticaja na stanje registra. Međutim, ako bi bilo $V_A < V_{R3}$, komparatorski izlaz bi bio na visokom naponu. Imajući u vidu da je samo izlaz Q_E kružnog brojača na visokom nivou, to će komparatorski izlaz efektivno da deluje samo na stepen *D* registra, prevodeći ga u resetovano stanje.

Drugi i ostali taktovi konverzionog ciklusa obavljaju se u ritmu taktnog generatora. Naime, u sledećem takt-intervalu resetuje se stepen *E*, a setuje *F* u kružnom brojaču. Pozitivan izlaz Q_F postavlja stepen *C* registra u stanje jedinice. Na taj način

dobija se novi referentni napon V_{R2} koji se na već pokazani način poredi sa V_A. Konačno posle četvrtog takt-intervala konverzioni ciklus biće okončan, a stanja flipflopova u registru predstavljaju digitalnu vrednost analognog ulaza.

10.8.2. Konverzija pomoću kapaciteta

Postupna konverzija digit po digit izvodi se ponekad na principu prenosa kapacitivnog opterećenja, zbog čega se takvi konvertori nazivaju još i kapkoderi. Način dobijanja referentnih napona u ovim konvertorima pokazan je na slici 10.29 a. Pošto se zatvori prekidač P_1, kondenzator C_1 se ubrzo napuni na napon baterije V. Ako se sada otvori prekidač P_1 a kratkotrajno zatvori P_2, deo električnog opterećenja prelazi iz kondenzatora C_1 u C_2 i, ukoliko su oni jednaki, uspostaviće se na njima napon vrednosti $V/2$. Posle toga otvara se prekidač P_2, a opterećenje na kondenzatoru C_2 koristi se kao referentni tovar koji se u procesu konverzije poništava. Ponovnim zatvaranjem prekidača P_2 napon na kondenzatorima C_1 i C_2 smanjuje se na $V/4$.



Sl. 10.29. Osnovna kola za konverziju pomoću kapaciteta
(a) etalonsko kolo
(b) akumulaciono kolo

Ponavljajući proces pražnjenja i ponovnog punjenja kondenzatora C_2, dobiće se i ostali referentni naponi, odnosno tovari, koji stoje u odnosu pozicionih vrednosti digita u binarnom brojnom sistemu. Na taj način se relativno jednostavno dobijaju svi etaloni potrebni za postupnu A/D konverziju.

Drugi osnovni element za konstrukciju kapkodera je akumulaciono kolo. Ovo kolo sačinjava operacioni pojačavač sa kapacitivnom povratnom spregom, sl. 10.29 b. Ako kondenzator C_1 sadrži električni tovar $Q_1 = C_1 V_1$, a kondenzator C_2 tovar Q_2, po zatvaranju prekidača P na izlazu operacionog pojačavača se formira napon

$$V_I = \frac{Q_2 - Q_1}{C_2} = \frac{Q_2}{C_2} - \frac{C_1}{C_2} V_1. \qquad (10.61)$$

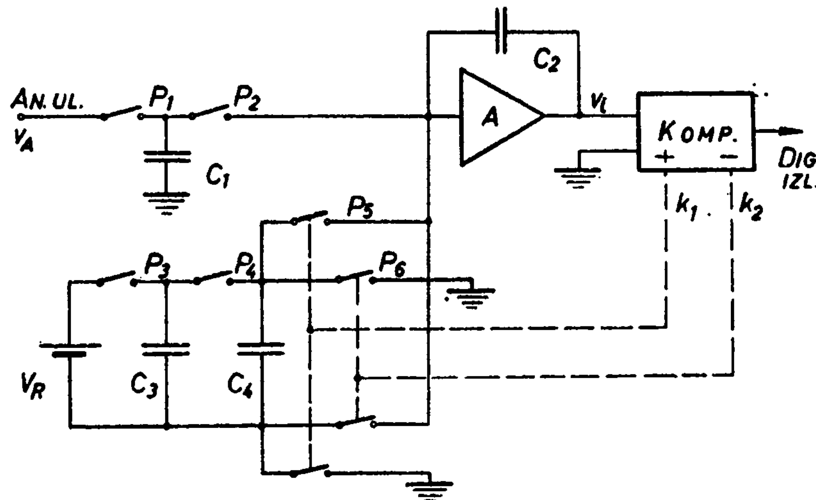
Očigledno je da polaritet priraštaja opterećenja u kondenzatoru C_2 može da se menja dovođenjem jednog ili drugog kraja kondenzatora C_1 na ulaz pojačavača.

Principijelna šema kapacitivnog A/D konvertora odnosno kapkodera pokazana je na sl. 10.30. Zatvaranjem prekidača P_1 i P_3 pune se kondenzatori C_1 na analogni napon V_A, a C_3 na referentni napon V_R. Posle toga se prekidači P_1 i P_3 otvaraju, a zatvaraju se prekidači P_2 i P_4. Time se opterećenje iz kondenzatora C_1 prenosi

u C_2, a isto tako iz kondenzatora C_3 u C_4. Prema tome, tovar u C_2 predstavlja analogni ulaz, pa se na izlazu operacionog pojačavača pojavljuje napon

$$V_I = -\frac{C_1}{C_2} V_A. \tag{10.62}$$

Ovaj napon se dovodi na komparator, koji je u stvari detektor polariteta napona. Ako je $V_I > 0$ aktivira se izlaz K_1, koji zatvara prekidač P_1. Međutim, u slučaju da je $I_I < 0$, pobudiće se izlaz K_2 koji zatvara prekidač P_1. U prvom slučaju na ulaz pojačavača dovodi se pozitivni napon sa kondenzatora C_4, a u drugom negativni. Na taj način se vrši sabiranje ili oduzimanje etaloniranih napona sa analognim posredstvom akumulacionog kola.



Sl. 10.30. Kapkoder

Pretpostavimo da su kondenzatori C_1, C_2 i C_3 međusobno jednaki. Kratkotrajnim zatvaranjem prekidača P_4 iz kondenzatora C_3 preneo se u C_4 tovar koji na njemu obezbeđuje napon $V_R/2$. Ako je ulazni napon V_A pozitivan, napon dat jednačinom 10.62 biće negativan, pa se posredstvom komandnog impulsa preko komparatorskog izlaza K_2 na ulaz pojačavača priključuje napon — $V_R/2$. Otuda se sada na izlazu pojačavača uspostavlja napon

$$V_{I1} = -\frac{C_1}{C_2}\left(V_A - \frac{V_R}{2}\right). \tag{10.63}$$

Ako je $V_A > V_R/2$ biće V_{01} negativno, što znači da će ponovo biti doveden negativni referentni napon na ulaz pojačavača. Ovaj napon je obezbeđen kratkotrajnim zatvaranjem prekidača P_4. Pošto je kondenzator C_4 time napunjen na napon $V_R/4$, sada se na izlazu komparatora dobija napon

$$V_{I2} = -\frac{C_1}{C_2}\left(V_A - \frac{V_R}{2} - \frac{V_R}{4}\right). \tag{10.64}$$

Novi etalonirani napon na C_4 biće $V_R/8$. Ako je, međutim, $V_{I2} > 0$, aktiviraće se sada komparatorski izlaz K_1, te izlazni napon pojačavača postaje

$$V_{I3} = -\frac{C_1}{C_2}\left(V_A - \frac{V_R}{2} - \frac{V_R}{4} + \frac{V_R}{8}\right). \tag{10.65}$$

Ponavljajući opisane postupke izlazni napon pojačavača može da se približi nuli u granicama veličine rezolucionog napona. Time se u stvari ciklus konverzije i završava, jer je električni tovar, koji je još ostao u kondenzatoru C_2, manji od etalona najmanjeg digita.

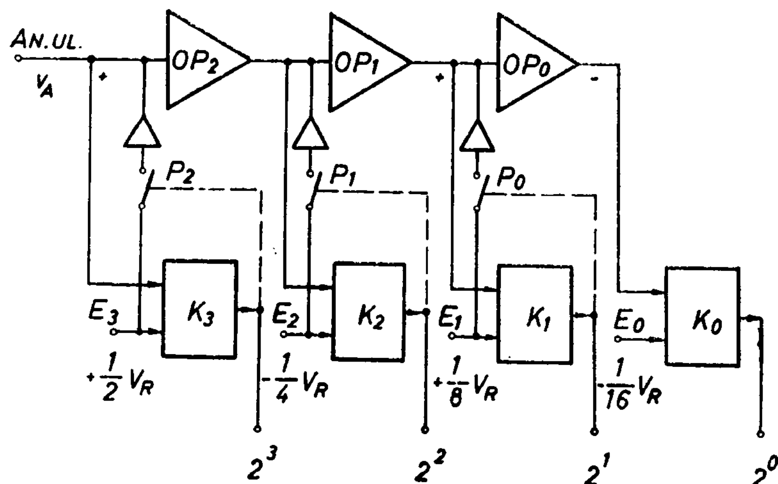
Biti digitalne vrednosti dobijaju se takođe na komparatoru kao serija impulsa čije nastajanje zavisi od toga da li je dotični etalonski nivo sadržan ili ne u analognoj vrednosti. To znači, kad god je suma napona koja potiče od ulaznog i od referentnog izvora negativna, dotični digit odgovara jedinici, a kada je pozitivna onda digit ima vrednost nule. Uzmimo, na primer, da je ulazni napon $V_A = 9{,}2$, a referentni $V_R = 16$. Pod pretpostavkom da su svi kapaciteti jednaki, postupnom konverzijom se dobija:

$$V_I = -9{,}2 \qquad < 0$$
$$V_{I1} = -9{,}2 + 8 \qquad < 0 \rightarrow 1$$
$$V_{I2} = -9{,}2 + 8 + 4 \qquad > 0 \rightarrow 0$$
$$V_{I3} = -9{,}2 + 8 + 4 - 2 \qquad > 0 \rightarrow 0$$
$$V_{I4} = -9{,}2 + 8 + 4 - 2 - 1 \qquad < 0 \rightarrow 1$$

Prema tome, za analogni napon $V_A = 9{,}2$ određen je digitalni ekvivalent 1001. Zapaziti da prvo upoređivanje napona V_I na komparatoru može da posluži za identifikaciju algebarskog znaka digitalne vrednosti.

10.8.3. Konverzija pomoću operacionih pojačavača

Dosta brza ali ne i mnogo tačna A/D konverzija digit po digit može da se izvede i pomoću većeg broja operacionih pojačavača, koji imaju ulogu sabirača napona. Prema tome, kod ovih pojačavača upotrebljeni su otpornici na ulazu kao i u kolu povratne sprege. Izborom jednakih vrednosti tih otpora obezbeđuje se da pojačanje stepena bude $A = -1$, mada se negde koriste i stepeni sa pojačanjem $A = -2$.



Sl. 10.31. A/D konvertor sa operacionim pojačavačima

Na sl. 10.31 data je blok-šema A/D konvertora sa jediničnim pojačanjem operacionih pojačavača. Princip rada konvertora sastoji se u tome, da se analogna vrednost V_A poredi sa referentnim etalonom $E\,i$, ukoliko je $V_A > E$ onda se u operacio-

nom pojačavaču analogna vrednost umanjuje za iznos etalona E. Ovaj postupak se ponavlja tako, što se sada preostali deo analognog napona poredi sa sledećim etalonom. Razume se samo po sebi, da se analogni napon neće umanjivati u slučaju da je on pri nekom poređenju manji od etalonske vrednosti. Iz napred rečenog vidi se da operacioni pojačavači treba u stvari da rade kao oduzimači. S obzirom da se polaritet analognog napona u pojačavačima menja, to i polaritet referentnih napona mora da se prilagodi tim promenama.

Prema napred izloženom principu rada, konvertor na slici 10.31, dakle, u prvom postupku upoređuje na komparatoru K_3 analogni napon V_A sa etalonom E_3. U slučaju da je $V_A > E_3$ zatvara se prekidač P_2 i na ulaz operacionog pojačavača OP_2 dovodi se etalonski napon E_3 obrnutog polariteta. Prema tome, na izlazu pojačavača dobija se napon

$$V_{I2} = -(V_A - E_3). \qquad (10.66)$$

U sledećem postupku poredi se na komparatoru K_2 napon V_{I2} sa etalonom E_2. Na taj način dobija se na izlazu pojačavača OP_1

$$V_{I1} = +(V_A - d_3 E_3 - d_2 E_2), \qquad (10.67)$$

gde koeficijenti d_i imaju vrednosti 1 ili 0 zavisno od toga da li je dotični etalon veći ili manji od dovedenog napona sa kojim se poredi. Dobijeni napon V_{I1} poredi se sada sa etalonom E_1 tako da se na izlazu pojačavača OP_0 dobija napon za poređenje sa etalonom E_0. Vrednost ovog etalona odgovara rezolucionom naponu konvertora $E_0 = V_R/2^n$. Uzimajući u obzir etalonske vrednosti, opisanim postupkom se vrši, dakle, razlaganje ulazne analogne veličine na iznose koji odgovaraju pojedinim digitima. Otuda, u okviru predviđenih grešaka konvertora, može da se piše da je

$$V_A = d_{n-1}\frac{V_R}{2^1} + d_{n-2}\frac{V_R}{2^2} + d_{n-3}\frac{V_R}{2^3} + \cdots d_{n-n}\frac{V_R}{2^n}. \qquad (10.68)$$

Svaki član na desnoj strani gornje jednačine odgovara, dakle, jednom bitu digitalnog ekvivalenta analogne vrednosti. Koeficijenti d_i određuju vrednosti digita u pozicijama koje su date vrednostima 2^i. U vezi stim jednačina (10.68) može da se napiše u skraćenom obliku

$$V_A = \sum_{i=n-1}^{n-n} d_i \frac{V_R}{2^{n-i}} = \frac{V_R}{2^n} \sum_{i=n-1}^{n-n} d_i 2^i, \qquad (10.69)$$

u kome je očiglednije prikazan digitalni ekvivalent u vidu $\Sigma\, d_i\, 2^i$.

Loša strana prikazanog konvertora svakako je potreba velikog broja referentnih napona. Taj nedostatak može da se otkloni ako se upotrebe operacioni pojačavači sa pojačanjem $A = -2$. U tom slučaju, umesto da se referentni naponi komparatora smanjuju dva puta po stepenu komparacije, povećavaju se izlazni naponi pojačavača dva puta po pojačavačkom stepenu. Prema tome, sva poređenja za određivanje digita vrše se sa jednim istim etalonskim naponom na način koji je već pokazan, vodeći računa i ovde o tome, da polaritet referentnog napona mora biti usaglašen polaritetu napona sa kojim se upoređuje.

Prednost modifikovanog A/D konvertora sa operacionim pojačavačima ne ogleda se samo u tome što je potreban jedan izvor referentnog napona već i zato što se njime postiže i veća tačnost konverzije. Ova prednost se naročito ispoljava pri

povećanju rezolucije konvertora. Naime, pokazuje se da sa povećanjem broja bita relativna greška instrumenta brže raste u osnovnoj nego u modifikovanoj verziji konvertora sa operacionim pojačavačima[1]. No, posmatrano generalno, konvertori ovog tipa su neekonomični sa gledišta njihove izgradnje jer iziskuju veliki broj operacionih pojačavača i komparatora. Zbog toga se oni mogu da preporuče samo za slučaj konverzije sa manjom rezolucijom, što, razume se, uslovljava i manju tačnost.

10.9. ANALOGNI KOMPARATORI

Analogni komparatori su elektronska kola pomoću kojih se vrši upoređivanje veličine dva analogna napona. Pri tome obično je jedan napon promenljiv a drugi je konstantan,mada mogu i oba da budu promenljiva, kao što je, na primer, slučaj kod pratećeg *A/D* konvertora. U svakom slučaju jedan od ulaznih napona komparatora uzima se kao referentni i to redovno onaj koji se generiše u samom uređaju.

Svi opisani principi *A/D* konverzije iziskuju primenu analognih komparatora. Imajući u vidu neizbežan uticaj komparatora na tačnost konverzije, često se postavljaju vrlo strogi zahtevi u pogledu definisanosti praga komparacije. S toga su precizni komparatori relativno skupe naprave, pa je u vezi s tim i razumljiva manja primena sistema konverzije u kojima se angažuje veći broj komparatora.

Sasvim jednostavan komparator može da se ostvari pomoću jednog tranzistora koristeći bazni i emitorski priključak kao ulaze za upoređivanje signala. Tačnost ovakvog komparatora je vrlo ograničena jer je napon praga provođenja dosta nepouzdan. To dolazi otuda što je napon V_{BE} tranzistora osetljiv na temperaturske promene, na veličinu struje, a i tolerancije ovog parametra u proizvodnji dosta su velike. Osim toga, pojačanje takvog stepena je malo, što takođe doprinosi manjoj tačnosti referentnog nivoa.

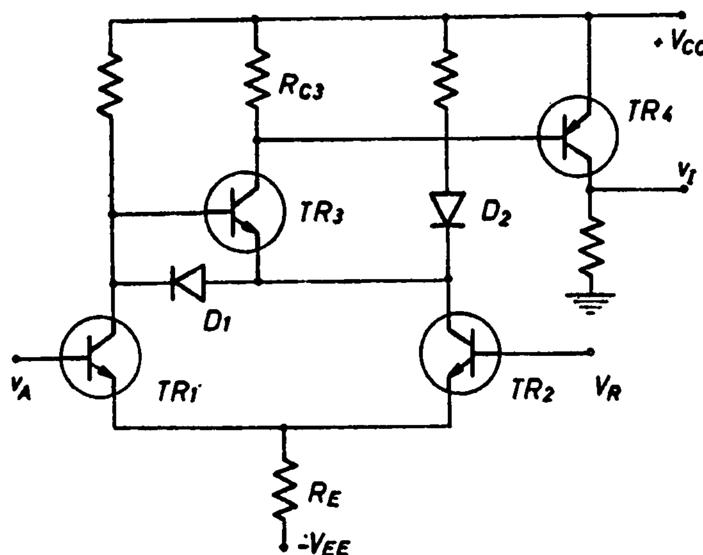
Šmitovo kolo često se koristi kao naponski komparator. Pozitivna povratna sprega obezbeđuje mala prelazna stanja, ali istovremeno uslovljava i pojavu histerezisa. Drugim rečima to znači da napon praga komparacije zavisi i od smera približavanja komparatorskom nivou. Uopšte, tačnost ovih komparatora nije tako velika, jer se specificirani naponski nivo obično dostiže sa greškom od oko plus ili minus nekoliko stotina milivolta. S druge strane stabilnost ovih komparatora je dosta velika, pošto se komponente kola mogu tako da odaberu da komparatorski nivo praktično ne zavisi od parametara aktivnih elemenata[9].

Kvalitetniji komparatori ostvaruju se primenom diferencijalnih pojačavača.[12] Razumljivo je da diferencijalni stepeni treba da budu što je moguće bolje simetrirani što nameće upotrebu uparenih tranzistora. Stavljanjem strujnog izvora umesto otpornika u zajednički emitorski dovod uparenih tranzistora, povećava se efektivna vrednost emitorske otpornosti, čime se poboljšavaju neki bitni parametri diferencijalnog pojačavača: bolji faktor potiskivanja (common mode rejection — *CMR*), manji uticaj varijacije napajanja, optimalna stabilnost izlaza u pogledu promene parametara tranzistora itd.[1]

Bitni parametri za primenu diferencijalnog pojačavača kao komparatora su ulazna otpornost kao i ulazna struja. Kritična tačka pri komparaciji dva analogna napona nastupa kada su ovi jednaki ili bar približno jednaki. Tada oba tranzistora rade u aktivnom režimu, pa se razlika upoređivanih napona pojavljuje sa greškom, koja nastaje zbog proticanja baznih struja tranzistora kroz izvore upoređivanih signala.

Ulazna otpornost diferencijalnog komparatora u kritičnoj tački rada iznosi 2 h_{iE}. Ako ova otpornost nije znatno veća od impedanse izvora ulaznih signala, diferencijalni signali biće umanjeni za pad napona koji nastaje usled proticanja struje kroz te impedanse. Pošto su time smanjeni efektivni ulazni signali pre ulaska u pojačavač, očigledno je da je smanjena i osetljivost komparacije. Ovaj nedostatak nije tako bitan ukoliko diferencijalni stepen raspolaže dovoljnim pojačanjem.

Gore navedena ulazna otpornost važi za diferencijalnu pobudu stepena. Međutim, ako se radi o zajedničkoj pobudi, kada su oba ulazna signala fazno sinhronizovana, ulazna otpornost je znatno veća i iznosi $(1 + h_{FE})\ 2\ R_E$. Ova velika otpornost igra važnu ulogu u mnogim primenama *A/D* konverzije, gde ulazni naponi variraju u znatnom opsegu — od nule do napona pune skale.



Sl. 10.32. Diferencijalni komparator

Na sl. 10.32 ucrtana je šema, komparatora sa diferencijalnim stepenom koga karakterišu osrednja tačnost i osetljivost (nekoliko desetina milivolta). Tranzistori TR_1 i TR_2 su upareni i oni pojačavaju razliku ulaznih napona V_A i V_R. Pojačana razlika ovih signala pojavljuje se između kolektora uparenih tranzistora. Zavisno od polariteta te razlike, biće provodan tranzistor TR_3 ili dioda D_1. To znači da tranzistor TR_3 ima prekidački režim rada. Naime, kada je $V_A > V_R$, tranzistor TR_3 je zakočen, pa je izlazni napon komparatora $V_1 = 0$. Međutim ako je $V_A < V_R$, tranzistor TR_3 vodi, a izlazni napon približava se vrednosti napona napajanja V_{CC}. Da bi se obezbedio siguran prekidački rad tranzistora TR_4 kolektorski otpor R_{C3} tranzistora TR_3 treba da bude mali. U protivnom, inverzne struje tranzistora TR_3 i TR_4., koje prolaze kroz navedeni otpor, mogu da onemoguće pouzdanu zakočenost izlaznog tranzistora.

Tranzistor TR_3 omogućava korišćenje diferencijalnog izlaza pojačavača što je povoljnije sa gledišta pojačanja, faktora potiskivanja, stabilnosti itd. Pored toga emitorski spoj tog tranzistora s jedne, a dioda D_1 s druge strane ograničavaju veličinu diferencijalnog napona između kolektora tranzistora TR_1 i TR_2. Zahvaljujući ograničavačkoi ulozi pomenutih elemenata opseg promena ulaznih signala može da bude dosta veliki a da ipak ne dođe do zasićenja tranzistora TR_1 i TR_2. Razumljivo je da takav režim rada tranzistora obezbeđuje brži rad kola. Međutim, brzina promene

naponskih nivoa povećana je i samom činjenicom, da su te promene ograničene na vrednost reda jednog volta.

Dioda D_2 nije potrebna za principijelan rad kola. Međutim, njeno prisustvo omogućava da se momenat komparacije detektuje pri što bližem izjednačavanju ulaznih signala. U slučaju da je diferencijalni stepen savršeno simetriran, tranzistor TR_3 biće eksitovan tek kada razlika napona između kolektora uparenih tranzistora dostigne prag provođaja tranzistora TR_3 za što je potrebna odgovarajuća razlika ulaznih signala. Dodata dioda D_2, međutim, snižava napon na kolektoru tranzistora TR_2 i na taj način drži tranzistor TR_3 skoro na granici provođenja, koja će se, razume se, dostići pri znatno manjoj razlici ulaznih signala. S druge strane, dioda D_2 istovremeno kompenzira i temperaturske promene ulazne karakteristike tranzistora TR_3.

Primenom složenijih kola sa diferencijalnim stepenima mogu da se ostvare naponski komparatori sa tačnošću reda milivolta. Takav komparator zahteva angažovanje bar dva diferencijalna pojačavača i izvor konstantne struje umesto otpornika R_E. U integrisanoj tehnici, međutim, proizvedeno je više diferencijalnih kola koja se uspešno mogu upotrebiti za izgradnju tačnih i vrlo brzih komparatora (na primer μA 710 proizvodnje SGS).

Unipolarni tranzistori u komparatorskim kolima mogu prevenstveno da imaju prednosti u pogledu greške izazvane baznim strujama bipolarnih tranzistora. Ova prednost, međutim, ne dolazi do izražaja ako su impedanse izvora pobudnih signala male. U tom slučaju izbor pada ipak na bipolarne tranzistore s obzirom da njihova odlična uparenost obezbeđuje bolju temperatursku stabilnost. Nije redak slučaj, uostalom, da se u komparatorima mos-tranzistori upotrebe samo za ulazne stepene, a sve ostalo se izvodi sa konvencionalnim tipom tranzistora.

LITERATURA

1. *Hoeschele, D.F.*: Analog-to-digital/Digital-to-analog Conversion Techniques, John Wiley, New York, 1968, gl.5, 6, 11, 12
2. *Susskind, A.K.* i drugi: Notes on Analog-digital conversion Techniques, The Technology Press of M.I.T. and John Wiley, New York, 1960, gl.5
3. *Turner, J.F.*: Digital Computer Analysis, Merril, Columbus, 1968, gl.19
4. *Malvino, A.P., Leach, D.P.*: Digital principles and Aplications, McGraw-Hill, New York, 1969, gl.11
5. *Ryder, J.D.*: Engineering Electronics, McGraw-Hill, New York, 1967, gl.10
6. *Karp, H.R.*: Digital-to-analog converters: trading off bits and bucks, Electronics, Vol. 45, No. 6, March 13, 1972, str. 84—90
7. *Lewyn, L.L.*: Tunnel Diode Analog-to-digital Converter, IEEE Trans. of Nuclear Sci., Febr. 1967, str. 126
8. *Jones, R.*: Analog-to-frequency converter has improved linearity range, Electronic Design, Vol. 14, No. 6, March 15, 1966, str. 248
9. *Millman, J., Taub, H.*: Pulse, Digital and Switching Waveforms, McGraw-Hill, New York, 1965, pgl. 10.3
10. *Sifferlen, T.P., Vartanian, V.*: Digital Electronics with Engineering Applicationes, Prentice-Hall, Englewood Cliffs, New Jersey, 1970, gl.7
11. *Ryder, J.D.*: Enginiring Electronics, McGraw-Hill, New York, 1967, gl.10
12. *Strauss, L.*: Wave Generation and Shaping, McGraw-Hill, New York, 1970, gl.10
13. *Dokter, F., Steinhauer, J.*: Digitale Elektronik, Band II, Deutsche Philips, Hamburg, 1970, gl.2

GLAVA 11

ARITMETIČKA KOLA

U digitalnom sistemu za obradu podataka videli smo da postoji blok koji se naziva aritmetička jedinica, sl. 1.1. Zadatak ove jedinice je da izvršava određene operacije predviđene programom. Što se tiče samih operacija rečeno je da se one svode uglavnom na osnovne računske radnje, mada se ponekad predviđa i mogućnost izvršavanja nekih složenijih matematičkih postupaka.

Aritmetička jedinica, dakle, sadrži kola sa kojima se obavljaju osnovne aritmetičke operacije: sabiranje, oduzimanje, množenje i deljenje. Ova kola su u suštini kombinacionog karaktera, ali realizovani sistemi najčešće, pored kombinacionih, sadrže i memorijske elemente. Naime, redovno se podaci kao i delimični rezultati, sa kojima se manipuliše u aritmetičkoj jedinici, upisuju u odgovarajuće registre stacionarnog ili pomeračkog tipa. Štaviše, neke specijalne operacije vrše se i u samim registrima ili pomoću brojača, o čemu je već nešto rečeno u primerima primene ovih sekvencijalnih mreža.

U ovoj glavi biće ukratko opisana osnovna kola kao i nešto složenije mreže za obavljanje pomenutih računskih operacija u binarnom brojnom sistemu. Princip izvođenja tih operacija iznet je ranije u drugoj glavi ove knjige. Podsetimo da se u nekim od tih operacija pojavljuje potreba za komplementnim vrednostima, a isto tako i za upoređivanjem — komparacijom brojnih vrednosti. Zbog toga će prvo biti prikazana neka kola sa kojima se vrši komplementiranje i kompariranje, a zatim će biti opisani logički sistemi za obavljanje osnovnih računskih operacija.

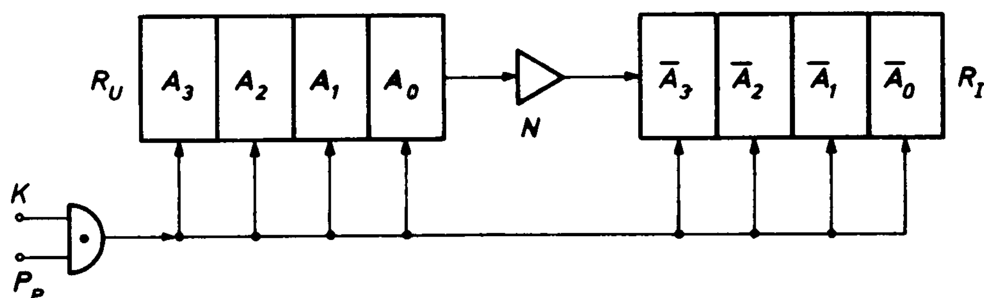
11.1. KOLA ZA KOMPLEMENTIRANJE

Računske operacije u digitalnim sistemima izvode se, kao što je poznato, najčešće u binarnom ili binarno-kodovanom decimalnom sistemu (*BCD*). Prema tome i operacija komplementiranja vezuje se za jedan ili drugi brojni sistem, što uslovljava i drukčiju realizaciju odgovarajućih kola.

11.1.1. Komplementiranje binarnih brojeva

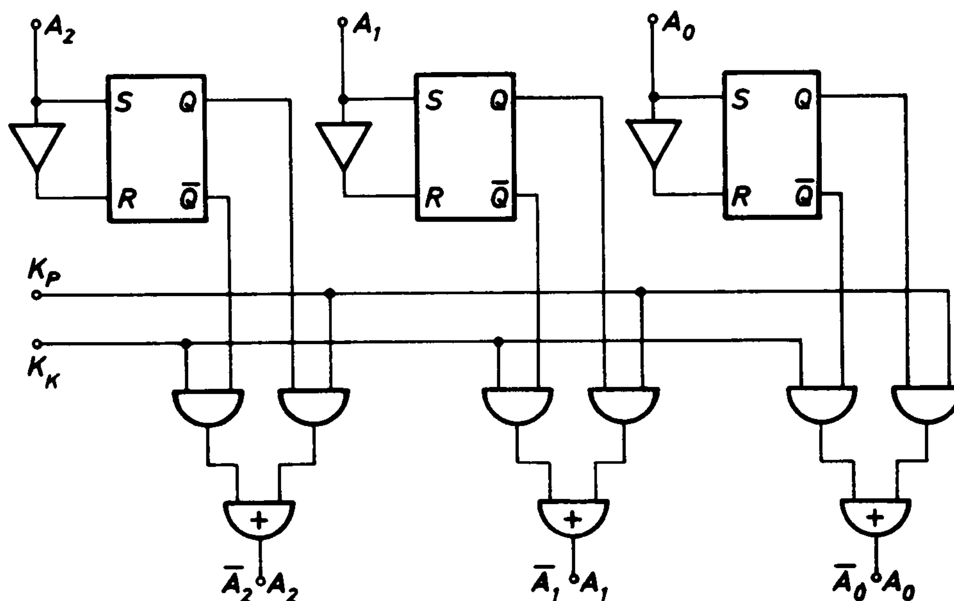
U odeljku 2.1.2. ove knjige, jednačina (2.6), pokazano je kako se definišu komplementne vrednosti bilo kog broja. Prvi komplement, ili komplement jedinice za brojeve u binarnom sistemu dobija se na taj način, što se svaka binarna cifra, odnosno binit u broju zameni komplementnom vrednošću. Na primer, za broj $A=0101$ prvi komplement je $A'=\bar{A}=1010$.

Očigledno je da se dobijanje prvog komplementa može jednostavno da izvede pomoću *NE* kola, odnosno negatora ili invertora. Ako je binarni broj dat u obliku $A = A_3 A_2 A_1 A_0$, onda se njegov komplement može da dobije pomoću samo jednog invertora u slučaju da se primenjuje redni postupak izvođenja operacije. Naime, na ulaz invertora privode se sukcesivno pojedini biniti broja A_0, A_1, A_2 itd., a na izlazu se dobijaju njihove komplementne vrednosti $\bar{A}_0$, $\bar{A}_1$, $\bar{A}_2$ itd. Za izvođenje ovakve operacije pored negatora potrebna su i dva pomeračka registra, sl. 11.1. U ulaznom registru R_U memorisan je broj A, a u izlaznom registru R_I biće smešten njegov komplement. Da bi se izvršilo komplementiranje memorisanog broja, aktivira se komanda K, koja omogućava pomeranje sadržaja u registrima u ritmu pomeričkih impulsa P_p.



Sl. 11.1 Redni postupak komplementiranja broja A

Za brže dobijanje komplementne vrednosti broja primenjuje se paralelni postupak. U ovom slučaju broj negatora mora da bude jednak broju binarnih cifara najdužeg podatka, pa je samim tim i kolo složenije. Međutim, pošto je vrednost svakog binita smeštena u određenu memorijsku ćeliju registra, to ovde posebni negatori nisu ni potrebni, jer svaka memorijska ćelija u registru već ima pravi i komplementni izlaz. Prema tome, stacionarni registar na sl. 11.2



Sl. 11.2. Paralelni postupak komplementiranja broja A

omogućava dobijanje prave i komplementne vrednosti broja A zavisno od komande. Naime, u slučaju delovanja komandnog napona na priključku K_P na

izlazima registra se dobijaju prave vrednosti, a ako je komanda aktivirana na priključku K_K — na izlazima se pojavljuju komplementne vrednosti broja A.

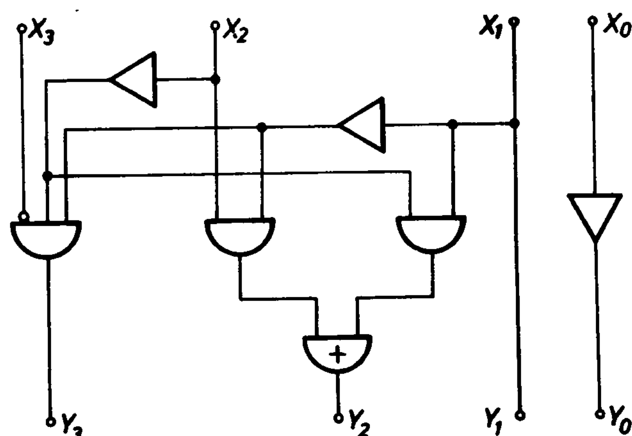
Drugi komplement, ili komplement dvojke nekog binarnog broja ostvaruje se kada se prvom komplementu doda binarni broj 1. Tako je, na primer, za broj $A=0101$, prvi komplement $\overline{A}'=1010$, a drugi $\overline{A}''=1011$. Prema tome, mreža za realizaciju drugog komplementa sadržaće, pored kola za izvođenje prvog komplementa, još i sabirač za zbrajanje prvog komplementa i brojne vrednosti 1. Na ovakvu mrežu biće ukazano pri razmatranju operacije oduzimanja primenom komplementnih vrednosti.

11.1.2. Komplementiranje *BCD* brojeva

Ne treba gubiti iz vida da su *BCD* brojevi u suštini decimalni, te se stoga njihovi komplementi dobijaju pomoću jednačine (2.6) primenjene na decimalni brojni sistem. Ako cifre sistema *BCD* 8421 označimo sa X_i, a njihove prve komplemente sa Y_i, onda se konverzija pravih u komplementne vrednosti može

Dec. cifra	*BCD* 8421	Prvi komplement
	$X_3X_2X_1X_0$	$Y_3Y_2Y_1Y_0$
0	0 0 0 0	1 0 0 1
1	0 0 0 1	1 0 0 0
2	0 0 1 0	0 1 1 1
3	0 0 1 1	0 1 1 0
4	0 1 0 0	0 1 0 1
5	0 1 0 1	0 1 0 0
6	0 1 1 0	0 0 1 1
7	0 1 1 1	0 0 1 0
8	1 0 0 0	0 0 0 1
9	1 0 0 1	0 0 0 0

Tabela 11.1. Prvi komplement decimalnih cifara u kodu 8421



Sl. 11.3. Logička mreža za komplementiranje cifara u sistemu *BCD* 8421

da prikaže kombinacionom tabelom 11.1. Uzimajući u obzir neiskorišćene kombinacije, odnosno tetrade, na osnovu ove tabele mogu da se ispišu sledeće prekidačke jednačine:

$$
\begin{aligned}
Y_0 &= \overline{X}_0, \\
Y_1 &= X_1, \\
Y_2 &= X_2\overline{X}_1 + \overline{X}_2 X_1, \\
Y_3 &= \overline{X}_3\overline{X}_2\overline{X}_1.
\end{aligned}
\qquad (11.1)
$$

Kada se izvrši sinteza gornjeg sistema jednačina pomoću odgovarajućih kombinacionih elemenata, dobija se logička mreža za komplementiranje cifara u kodu *BCD* 8421 data na sl. 11.3. Razumljivo je da je za paralelno komplementiranje potrebno predvideti po jednu ovakvu mrežu za svaku decimalnu cifru.

Što se tiče drugog komplementa, on se ostvaruje na isti način kao i kod odgovarajućeg komplementa prirodnog binarnog broja. Naime, i u ovom slučaju prvom komplementu treba dodati broj 1 u *BCD* kodu.

Dec. cifra	*BCD* „više 3"	Prvi komplement
	$X_3X_2X_1X_0$	$Y_3Y_2Y_1Y_0$
0	0 0 1 1	1 1 0 0
1	0 1 0 0	1 0 1 1
2	0 1 0 1	1 0 1 0
3	0 1 1 0	1 0 0 1
4	0 1 1 1	1 0 0 0
5	1 0 0 0	0 1 1 1
6	1 0 0 1	0 1 1 0
7	1 0 1 0	0 1 0 1
8	1 0 1 1	0 1 0 0
9	1 1 0 0	0 0 1 1

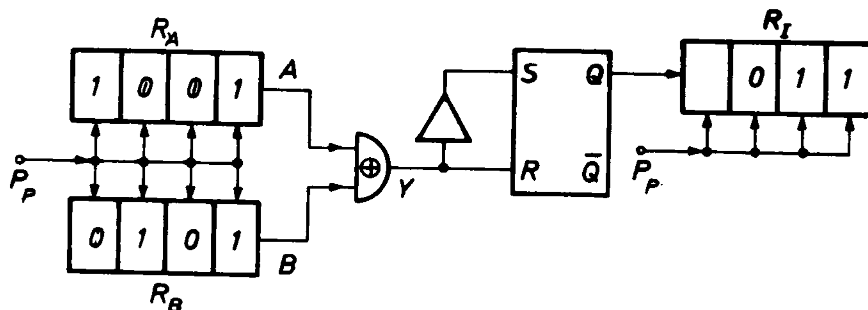
Tabela 11.2. Prvi komplement decimalnih cifara u kodu „više 3"

Pored prirodnog koda često se koristi i decimalni sistem u binarnom kodu „više 3". Odgovarajuće prave i komplementne vrednosti cifara u ovom kodu date su u tabeli 11.2. Obratimo pažnju da se ovaj komplement može da ostvari jednostavnim menjanjem vrednosti svakog binita u decimalnoj cifri izraženoj odgovarajućom tetradom. Prema tome, prvi komplement broja u sistemu *BCD* „više 3" može da se dobije, na primer, pomoću mreže na sl. 11.2.

11.2. KOLA ZA KOMPARIRANJE

Pri računskoj obradi podataka često se javlja potreba upoređivanja dva broja u cilju ispitivanja da li su oni jednaki ili nisu. Kola sa kojima se vrši ovakva operacija nazivaju se komparatori. O jednom takvom komparatoru bilo je reči u odeljku 6.4.5. ove knjige, pri čemu je izvršena sinteze mreže date na sl. 6.29.

Jednakost i nejednakost binarnih brojeva može da se ustanovi i pomoću komparatora sa isključivim *ILI* kolom. Logika ovog kola predstavljena je kombinacionom tabelom na sl. 3.11, kao i jednačinom (3.28) koja glasi: $Y = \bar{A}B + A\bar{B}$. Blok-šema komparatora data je na sl. 11.4. Binarni brojevi *A* i *B* smešteni su u registre R_A i R_B. Pomerički impulsi P_P dovode odgovarajuće binite na ulaze isključivog *ILI* kola tako da se na izlazu *Y* pojavljuje logička nula u slučaju



11.4. Komparator sa isključivim ILI kolom

da se radi o binitima iste vrednosti, odnosno logička jedinica, ako su biniti različiti. Ove logičke vrednosti prenose se preko RS flipflopa u izlazni registar R_I tako da je jednakost odgovarajućih cifara u brojevima *A* i *B* registrovana sa logičkom jedinicom, a nejednakost sa logičkom nulom. Dodajmo da ovakvo serijsko upoređivanje podataka treba da se prekine čim se naiđe na prve nejednake cifre, što je pokazano i u primeru na sl. 11.4.

Ponekad se od komparatora zahteva da konstatuje ne samo nejednakost dva broja već i to, da li je prvi dati broj veći ili manji od drugog. Ako se sa A_n i B_n obeleže biniti *n*-te pozicione vrednosti u brojevima *A* i *B*, onda se

proširena uloga komparatora može da prikaže pomoću tabele 11.3. Ovaj komparator, kao što vidimo, ima tri izlaza X, Y i Z, koji su definisani naznačenom logikom da je $A_n > B_n$, odnosno $A_n = B_n$ ili $A_n < B_n$. Sinteza ovog komparatora lako se izvodi ako se prethodno ispišu odgovarajuće jednačine pojedinih izlaza mreže, naime

$$X = A_n \bar{B}_n$$

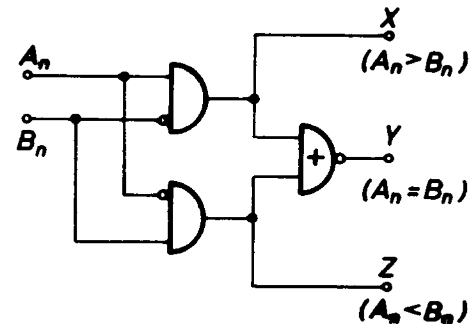
$$Y = \bar{A}_n \bar{B}_n + A_n B_n = \overline{A_n \bar{B}_n + \bar{A}_n B_n} \tag{11.2}$$

$$Z = \bar{A}_n B_n.$$

Na sl. 11.5 ucrtana je mreža komparatora izvedena sa osnovnim logičkim komponentama. Napomenimo da je pri paralelnoj komparaciji potrebno predvideti ovakvu mrežu za svaki par binita upoređivanih brojeva.

A_n	B_n	X $A_n > B_n$	Y $A_n = B_n$	Z $A_n < B_n$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Tabela 11.3. Kombinaciona tabela komparatora A_n B_n



Sl. 11.5. Komparator vrednosti $A_n B_n$

Komparatorske mreže mogu da budu definisane i drugačije, kao, na primer, da detektuju međusobnu vezu brojeva izraženu uslovima da je $A \leqslant B$, ili obrnuto. Očigledno je da se ovde radi samo o modifikaciji izlaznih funkcija, čija se sinteza izvodi na isti način kao i u prikazanom komparatoru.

11.3. KOLA ZA SABIRANJE

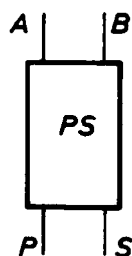
O sabiranju binarnih kao i binarno kodovanih decimalnih brojeva govoreno je u drugoj glavi ove knjige. Ovde će, međutim, biti reči o osnovnim kolima sa kojima se obavlja operacija sabiranja samo binarnih brojeva. Drugim rečima, biće izvedena sinteza logičke mreže polusabirača i potpunog sabirača i pokazan način njihove primene.

11.3.1. Sinteza sabirača

Osnovni element logičke mreže za sabiranje je polusabirač. To je u stvari kolo sa kojim se mogu da saberu dva jednocifrena, odnosno jednobinitna broja. Logika takvog kola bila je korišćena i u poglavlju 3.8, ali samo kao primer sinteze Bulove funkcije.

Na sl. 11.6 dat je grafički simbol polusabirača i njegova kombinaciona tabela. Ulazni priključci polusabirača označeni su sa A i B i na njih se dovode jednobinitni brojevi, koji se sabiraju. Na izlaznom priključku S pojavljuje se

suma, odnosno zbir brojeva A i B, a na priključku P registruje se prenos, ukoliko je suma sabiraka jednaka ili veća od osnove brojnog sistema.



A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

b)

Sl. 11.6. Polusabirač
(a) grafički simbol
(b) kombinaciona tabela

Izlazne funkcije polusabirača lako se ispisuju direktno iz kombinacione tabele, naime

$$S=\overline{A}B+A\overline{B}=A\oplus B \qquad (11.3)$$

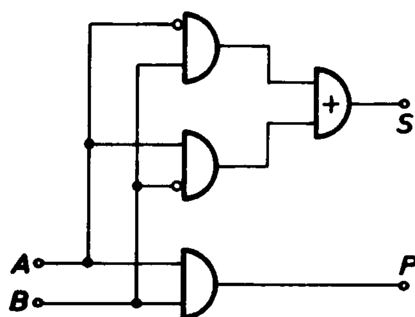
i

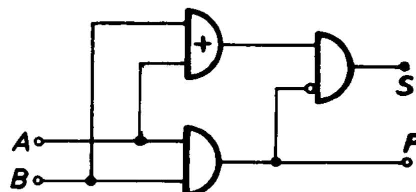
$$P=AB. \qquad (11.4)$$

Vidi se, dakle, da izlaz S ima funkciju isključivog *ILI* kola, dok izlaz P vrši logičku *I* operaciju. Realizacija gornjih jednačina pomoću osnovnih kombinacionih elemenata data je na sl. 11.7 a.

Napomenimo da se jednačina (11.3) može da transformiše i u druge oblike, što ukazuje na postojanje i drugačijih logičkih šema za tu logiku. Tako, na primer, pomenuta jednačina može da se napiše u sledećem obliku

$$S=(A+B)\overline{AB}. \qquad (11.5)$$

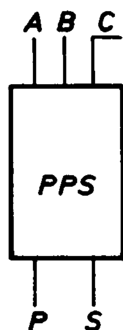




Sl. 11.7. Logičke šeme polusabirača
(a) u uobičajenom obliku (b) u uprošćenom obliku

Sinteza ovakve funkcije u polusabiraču rezultuje u logičku šemu pokazanu na sl. 11.7 b, koja je, očigledno, jednostavnija za praktičnu realizaciju.

Prema izloženoj logici polusabirač može da bude primenjen za sabiranje samo binita najniže pozicione vrednosti u slučaju višebinitnih brojeva. Sabiranje ostalih binita, međutim, iziskuje kolo sa tri ulaza da bi se pored sabiranih cifara mogao da uzme u obzir i prenos iz nižeg razreda. Za takvo sabiranje potreban je sabirač ili preciznije rečeno — potpuni sabirač. Grafički simbol potpunog sabirača i njegova logička funkcija dati su na slici 11.8. Na ulaze A i B dovode se sada binarne cifre iste pozicione vrednosti u datim sabircima, a ulazu C privodi se prenos koji nastaje pri sabiranju susednih cifara niže pozicione vrednosti.



A	B	C	S	R
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

b)

Sl. 11.8. Potpuni sabirač
(a) grafički simbol
(b) kombinaciona tabela

Prema datoj kombinacionoj tabeli izlazna funkcija S sabirača na sl. 11.8 ima vrednost

$$S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C}\ ABC$$

$$= \bar{C}(\bar{A}B + A\bar{B}) + C(\bar{A}\bar{B} + AB)$$

$$= \bar{C}D + C\bar{D} = C \oplus D, \qquad (11.6)$$

gde je

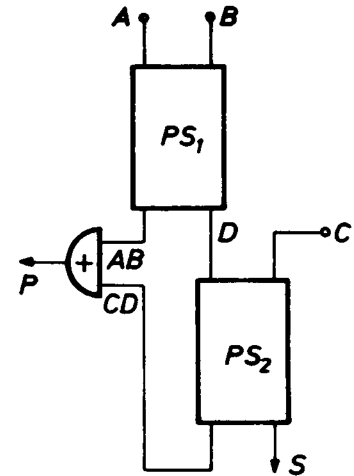
$$D = \bar{A}B + A\bar{B} = A \oplus B. \qquad (11.7)$$

Isto tako za priključak P može da se napiše jednačina

$$P = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

$$= C(\bar{A}B + A\bar{B}) + AB(\bar{C} + C)$$

$$= CD + AB. \qquad (11.8)$$



Sl. 11.9. Logička šema potpunog sabirača

Prema tome, šema logičke mreže potpunog sabirača može da se prikaže u obliku koji je dat na sl. 11.9. Iz ove šeme vidi se, dakle, da se potpuni sabirač sastoji iz dva polusabirača, od kojih jedan sabira odgovarajuće binite datih sabiraka a drugi zbraja rezultat sume prvog polusabirača i prenos iz nižeg razreda. Logično je da se konačna suma dobija na izlazu drugog polusabirača, dok je konačni prenos rezultat prenosa jednog ili drugog ili oba polusabirača.

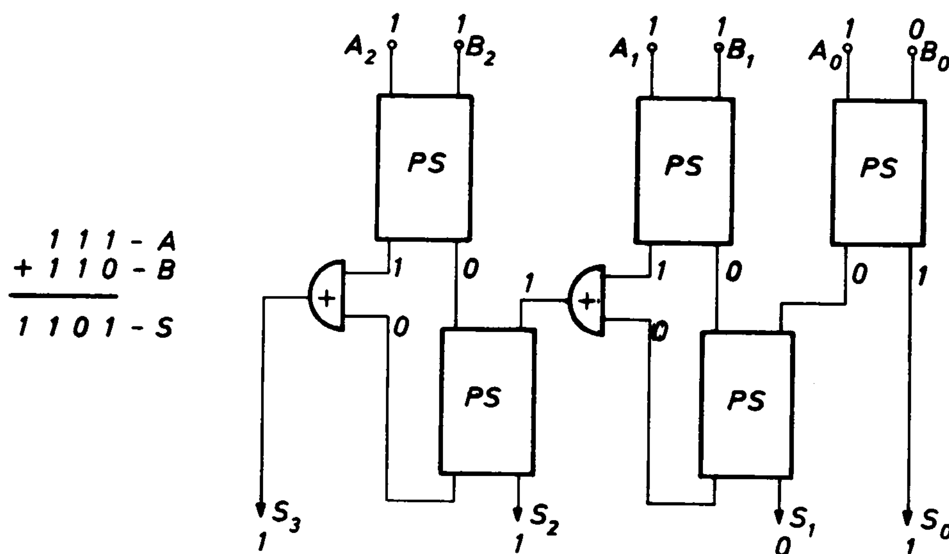
Kao kod polusabirača tako i ovde, jednačine (11.6) i (11.8) mogu da se transformišu u druge oblike, što uslovljava i modifikovanje odgovarajućih logičkih mreža. Tako se, umesto četvorostepene mreže za realizaciju funkcija S i P na sl. 11.9, mogu da koriste jednostavnije mreže, na primer, trostepena za S i dvostepena za P. Pored toga postoji mogućnost sinteze pomenutih funkcija koristeći pri tome samo prave vrednosti ulaznih promenljivih, čime se izbegava potreba njihovih komplemenata. Očigledno je da su takva konstrukciona poboljšanja mreže sabirača najvećim delom razultat istraživačkog rada pojedinih proizvođača računskih uređaja(11).

11.3.2. Postupci sabiranja

Za brzo sabiranje višebinitnih brojeva koristi se paralelan postupak operacija. Naime, kod takvog postupka vrši se istovremeno sabiranje svih odgovarajućih cifara u sabircima, tako da se u taktovanim sistemima rezultat sabiranja dobija u jednom taktnom intervalu. Da bi se to omogućilo potrebno je angažovati $2n-1$ polusabirač za sabiranje brojeva sa najviše n binita.

Na sl. 11.10 prikazana je logička mreža sabirača za brojeve sa najviše tri binita. Radi ilustracije postupka sabiranja uzet je primer sa sabircima $A = 111$ i $B = 110$, čiji zbir iznosi $S = 1101$. Na svakom ulazu i izlazu polusabirača označeno je logičko stanje koje odgovara datim binarnim vrednostima. Sabirci

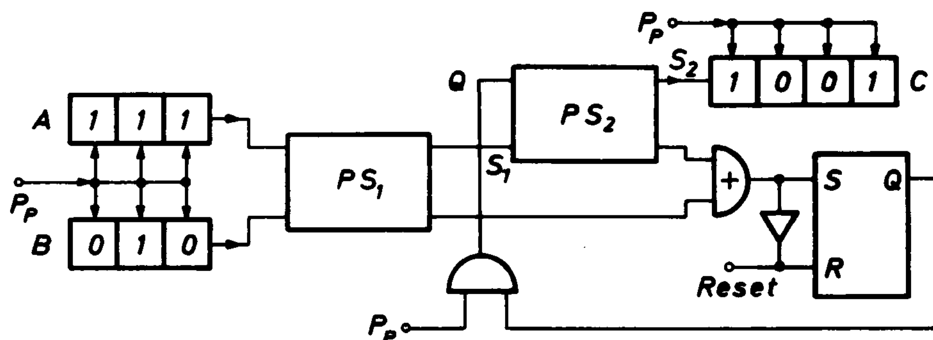
kao i zbir upisuju se u odgovarajuće registre, koji na slici nisu prikazani. Očigledno je da se u registar zbira upisuje i prenos sa polusabirača najveće pozicione vrednosti. To znači da kapacitet ovog registra mora da bude bar za jedan bit veći od kapaciteta registra za sabirke.



Sl. 11.10. Ilustracija paralelnog sabiranja

Praćenje postupka sabiranja je dosta jednostavno. Zbir binita A_0 i B_0 daje logičku jedinicu na S_0 bez prenosa. Zbir cifara A_1 i B_1 iznosi 10, pa se nula na priključku S_1 upisuje u izlazni registar, a jedinica se prenosi u viši pozicioni nivo. Zbir binita A_2 i B_2 takođe je 10. Nula se sabira sa ranijim prenosom, te se na priključku S_2 pojavljuje jedinica. Jedinica iz gornjeg zbira prenosi se preko *ILI* kola takođe u izlazni registar, pošto sabirač nije predviđen za rad sa brojevima koji bi imali više od tri binarne cifre. Naglasimo još jedanput da se svi opisani postupci izvode paralelno, što znači istovremeno.

Sabiranje binarnih brojeva može da se vrši i pomoću svega dva polusabirača bez obzira na broj cifara u sabircima. Jasno je da je to moguće samo ako se primeni redni postupak sabiranja. Na sl. 11.11 ilustrovan je način rada



Sl. 11.11. Ilustracija rednog sabiranja

takvog sabirača. Oba sabirka smeštena su u odgovarajuće pomeračke registre *A* i *B*, a zbir se upisuje u registar *C*, koji je takođe pomeračkog tipa. U prvom taktnom intervalu dovode se na ulaze polusabirača PS_1 biniti najnižeg razreda.

Pošto je *RS* flipflop bio prethodno resetovan, to na ulazima polusabirača PS_2 deluju S_1 i $Q(0)$, tako da se u izlazni registar odmah upisuje S_2. Flipflop ostaje u resetovanom stanju sve dotle, dok se na bilo kom polusabiraču ne pojavi jedinica za prenos. Drugim rečima, kad se na izlazu polusabirača pojavi takva jedinica, ona setuje flipflop, čime se obezbeđuje stanje $Q(1)$ na *I* kolu, što odgovara prenosnoj jedinici. U sledećem taktnom intervalu ova jedinica se prenosi na ulaz polusabirača PS_2 istovremeno sa sumom S_1 sledećih binita. Kad se opet pojavi zbir bez jedinice za prenos, invertovan izlaz *ILI* kola resetovaće flipflop ponovo. Prema tome, flipflop zapamti jedinicu za prenos u jednom takvom intervalu, da bi je u idućem pridodao zbiru sledećih binita.

Sabiranje većeg broja sabiraka vrši se na taj način što se prvo saberu dva sabirka, pa se sa dobijenim zbirom zbraja sledeći sabirak i tako redom dok se ne sabere i poslednji. Zbog toga se obično prethodni zbir iz registra *C* odmah prebacuje sukcesivno u jedan od ulaznih registara, na primer, u *A*, dok se u *B* uvodi sledeći sabirak.

Kod binarno-kodovanih decimalnih brojeva primenjuje se redno-paralelni postupak sabiranja. Naime, sabiranje binita u odgovarajućim tetradama oba sabirka vrši se istovremeno, ali za svaku tetradu pojedinačno polazeći od tetrade najnižeg ranga. Prema tome, sabiranje binarnih cifara vrši se paralelno, a decimalnih — redno.

Pri sabiranju *BCD* brojeva treba imati u vidu i korekciju tetrada u zbiru, čije su brojne vrednosti veće od 9. O toj korekciji bilo je reči u poglavlju 2.3 ove knjige. S tim u vezi napomenimo da je mreža za sabiranje takvih brojeva funkcija i primenjenog koda. Zbog svega toga ona je dosta složenija od opisanih sabiračkih kola, te se najčešće realizuje sa integrisanim komponentama ili se proizvodi u potpuno monolitnoj tehnici[13].

Na kraju podsetimo da se sabiranje brojeva može da vrši i pomoću dva brojača, kod kojih postoji mogućnost podešavanja početne i krajnje vrednosti brojanja. Ovakvo sabiranje pokazano je na sl. 9.37.

11.4. KOLA ZA ODUZIMANJE

O oduzimanju binarnih brojeva govoreno je u poglavlju 2.1 ove knjige. Tom prilikom ukazano je na mogućnost direktnog i posrednog izvođenja operacije oduzimanja. U prvom slučaju radi se o normalnom oduzimanju umanjioca od umanjenika, isto kao i kod decimalnih brojeva. U drugom slučaju umesto oduzimanja vrši se sabiranje umanjenika i umanjioca, koji je prethodno transformisan u komplementni oblik. Slično kao i kod sabiranja i ovde može da bude zastupljen paralelni, redni i redno-paralelni postupak izvođenja operacija.

11.4.1. Sinteza oduzimača

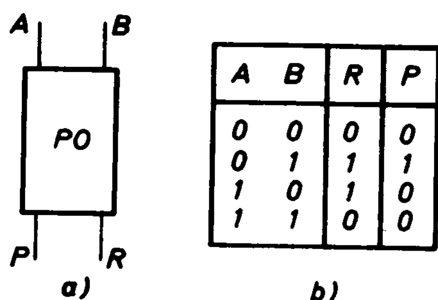
Osnovno logičko kolo za direktno oduzimanje je polusabirač. Na sl. 11.12 dati su grafički simbol poluoduzimača i njegova funkcionalna tabela. Izlazni priključci poluoduzimača su *A* i *B*, pri čemu je *A* predviđen za umanjenik, a *B* za umanjilac. Na izlazu *R* pojavljuje se ostatak, odnosno razlika brojeva *A* i *B*. Izlaz *P*, međutim, registruje potrebu „pozajmljivanja“ u slučaju da je binit umanjioca veći od odgovarajućeg binita umanjenika.

Izlazne jednačine poluoduzimača ispisuju se direktno iz kombinacione tabele, naime

$$R=\bar{A}B+A\bar{B}=A\oplus B \qquad (11.9)$$

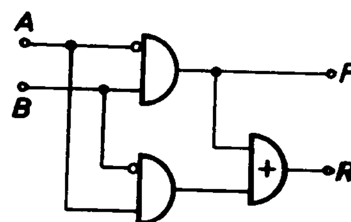
i

$$P=\bar{A}B. \qquad (11.10)$$



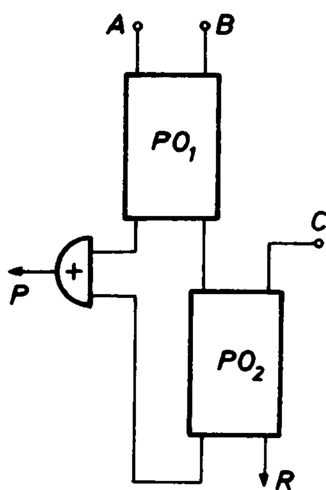
A	B	R	P
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Sl. 11.12. Poluoduzimač
(a) grafički simbol
(b) funkcionalna tabela



Sl. 11.13. Logička šema poluoduzimača

Sintezom ovih jednačina dobija se logička mreža poluoduzimača, data na sl. 11.13. Upoređujući ovu šemu sa onom na sl. 11.7 a, vidi se da se polusabirač može da koristi i kao poluoduzimač, ako se predvidi i treći izlaz, koji odgovara pozajmnoj funkciji (11.10).



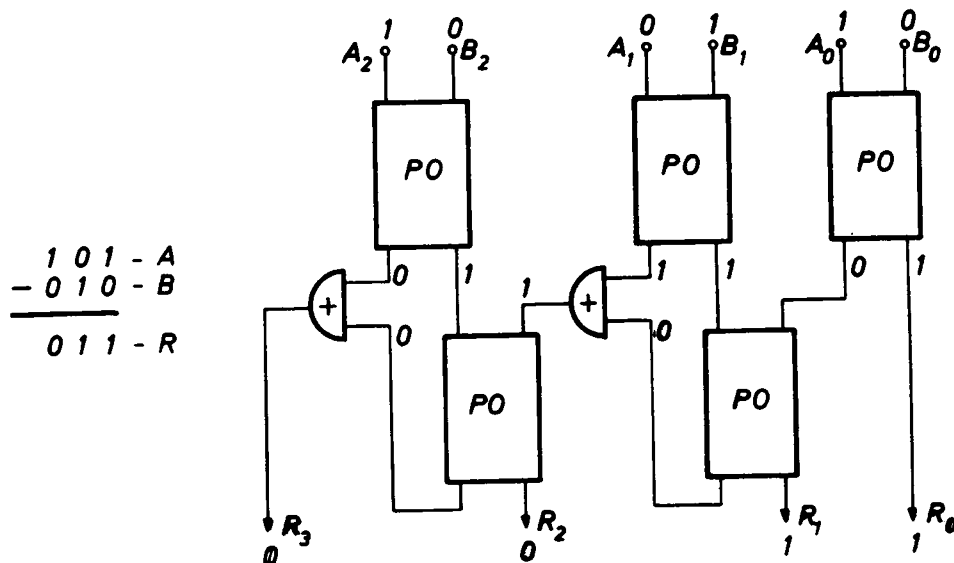
Sl. 11.14. Logička šema potpunog oduzimača

Za rad sa višebinitnim brojevima pored poluoduzimača potreban je i potpuni oduzimač. Sinteza potpunog oduzimača izvodi se na sličan način kao i u slučaju potpunog sabirača. Konačni oblik izlaznih jednačina takve logičke mreže ukazuje da se potpuni oduzimač sastoji iz dva poluoduzimača, vezana prema sl. 11.14. Ulazi A i B predviđeni su za dovođenje binita umanjenika i umanjioca, respektivno. Na ulazu C pojavljuje se signal samo u slučaju da je pri oduzimanju susednog para cifara nižeg ranga bilo potrebno da se izvrši pozajmljivanje. Uloga priključka P i R ista je kao i kod poluoduzimača.

11.4.2. Postupci oduzimanja

Sistem za oduzimanje višebinitnih brojeva može da bude izveden sa paralelnim, rednim ili redno-paralelnim postupkom operacija. Paralelni postupak operacija pri oduzimanju ilustrovan je na sl. 11.15. Vidimo da je i u ovom

slučaju potreban $2n-1$ poluoduzimač, gde je n najveći broj binita u umanjeniku. Napomenimo da se brojevi A i B, kao i njihova razlika R, nalaze u odgovarajućim registrima, koji treba da imaju iste kapacitete.



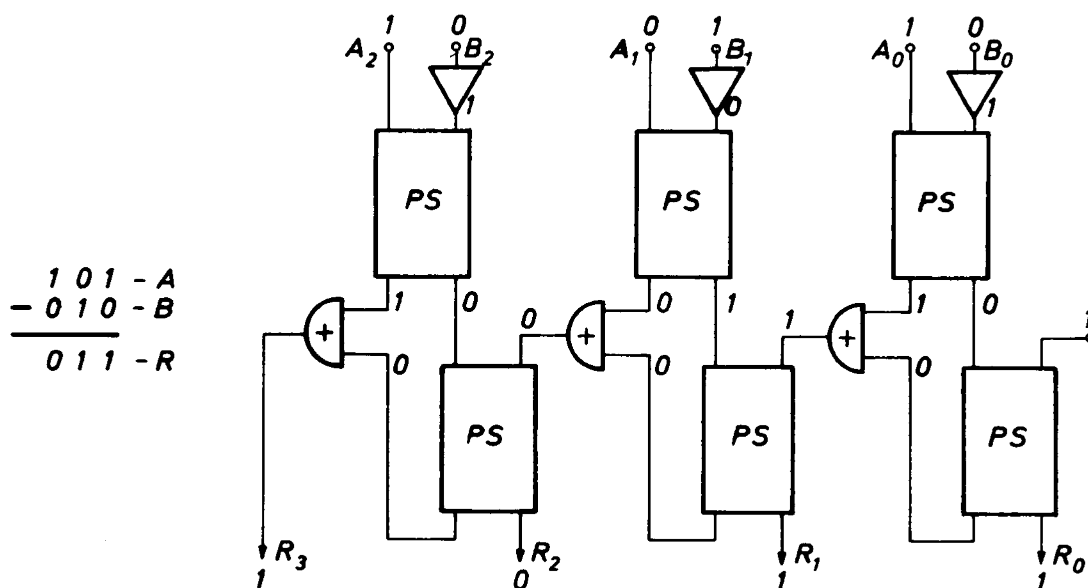
Sl. 11.15. Ilustracija paralelnog oduzimanja

Postupci oduzimanja pokazani su na brojnom primeru gde umanjenik A ima vrednost 101 a umanjilac B vrednost 10. Oduzimajući binit B_0 od binita A_0 dobija se rezultat 1 bez pozajmljivanja. Ovaj rezultat se preko priključka R_0 unosi u izlazni registar. Međutim, oduzimanje binarnih cifara $A_1 - B_1$ zahteva pozajmljivanje, što je registrovano na izlazu gornjeg poluoduzimača. Pošto u prethodnom oduzimanju nije bilo pozajmljivača, to se na izlazu R_1 pojavljuje jedinica kao konačni rezultat. Najzad u poslednjem postupku oduzimanja na oba ulaza donjeg poluoduzimača prisutne su logičke jedinice, te rezultat na izlazu R_2 ima vrednost logičke nule.

Pri rednom oduzimanju dovoljna su samo dva poluoduzimača bez obzira na broj binita umanjenika. S obzirom da se u ovakvom postupku na ulaze poluoduzimača privode odgovarajući parovi binita, to su brojevi A i B smešteni u pomeračke registre. Blok-šema logičke mreže za redno oduzimanje, inače, potpuno odgovara onoj na sl. 11.11, samo što polusabirače treba zameniti poluoduzimačima.

Više puta je istaknuto da pored direktnog postoji mogućnost i posrednog oduzimanja. Primeri, navedeni u odeljku 2.1.2, ukazuju na to, da se u ovom slučaju umesto oduzimanja primenjuje operacija sabiranja umanjenika i drugog komplementa umanjioca. Pošto se drugi komplement dobija sabiranjem prvog komplementa i jedinice, to se paralelni postupak oduzimanja binarnih brojeva može da izvede pomoću sabirača na sl. 11.16. Umanjenik A i umanjilac B nalaze se u ulaznim registrima, koji na slici nisu ucrtani. Biniti umanjioca prolaze kroz odgovarajuće negatore tako da se na ulazima polusabirača nalaze umanjenik i prvi komplement umanjioca. Da bi se dobio njegov drugi komplement postavljena je jedinica na treći ulaz potpunog sabirača najniže pozicione vrednosti. Prema tome, ova mreža sabira umanjenik i drugi komplement umanjioca, za što je, kao što vidimo, potrebno $2n$ polusabirača za n-trocifrene brojeve Kao

rezultat sabiranja dobija se razlika pravih vrednosti umanjenika i umanjioca, što znači da je izvršeno oduzimanje. Napomenimo da razlika dva binarna broja ne može da ima veći broj binita nego što ih je u umanjeniku. Stoga eventualno dobijena jedinica u rezultatu sabiranja, koja bi imala veću pozicionu vrednost od binita najvišeg ranga u umanjeniku, je nevažeća. Prema tome, tako nastala jedinica na izlazu R_3 treba jednostavno da se briše iz rezultata.



Sl. 11.16. Ilustracija oduzimanja pomoću sabirača

Na kraju podsetimo da se oduzimanje može da izvede i pomoću dva brojača sa mogućnošću podešavanja početne i završne vrednosti brojanja, što je pokazano na sl. 9.38.

11.5. KOLA ZA MNOŽENJE

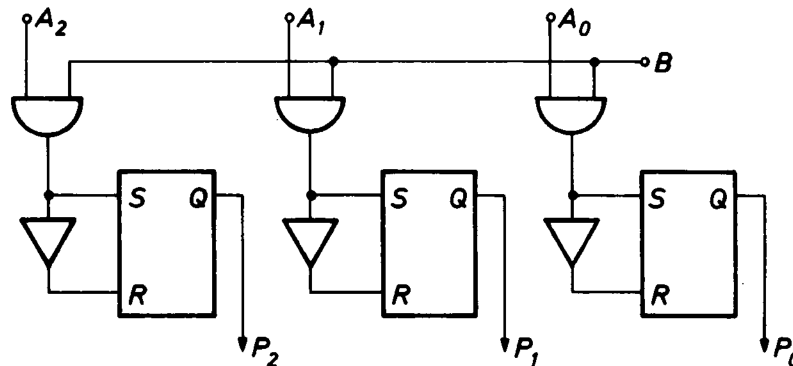
Većina aritmetičkih kola za množenje binarnih brojeva koristi višestruku operaciju sabiranja. Uostalom isti je slučaj i kod konvencionalnog množenja sa decimalnim brojevima. Naime, množenik se prvo pomnoži sa svakom cifrom množioca posebno, pa se dobijeni parcijalni proizvodi saberu, vodeći pri tome računa i o pozicionim vrednostima cifara u množiocu. U binarnom množenju opisani postupak je jednostavniji, jer parcijalni proizvodi mogu da budu jednaki samo nuli ili množeniku, pošto množilac sadrži jedino cifre 0 i 1.

Opisani način množenja je relativno spor jer iziskuje višestruko ponavljanje istih operacija. Zbog toga su razvijena i specijalna množačka kola sa prekidačkim matricama, kao i sa samočitačkim memorijama, kod kojih je postupak množenja skraćen.

11.5.1. Postupak množenja

Množenje binarnog broja sa množiocem koji ima samo jednu cifru je vrlo jednostavno i izvodi se pomoću I kola sa po dva ulaza. Na sl. 11.17 data je blok-šema takvog množača zajedno sa izlaznim registrom. Svaki binit množenika A ima svoje I kolo, dok je množilac B priključen paralelno na drugi ulaz

svih I kola. Na izlazima I kola dobija se proizvod brojeva A i B, koji se memoriše u RS flipflopovima. Očigledno je da će pri $B=1$ na izlazima P biti registrovan proizvod koji je identičan broju A. Ako je, međutim, $B=0$, svi će flipflopovi biti resetovani, što znači da je proizvod jednak nuli.



Sl. 11.17. Množenje jednobinitnim brojem

Kod množenja višebinitnih brojeva uopšte opisani postupak množenja ponavlja se onoliko puta koliko množilac ima binita, s tim što dobijene parcijalne proizvode treba još i sabrati. U mašinskom množenju, za razliku od konvencionalnog, parcijalni proizvodi se ne sabiraju po obavljenom celokupnom množenju, jer bi u tom slučaju za svaki parcijalni proizvod trebalo predvideti i odgovarajući registar. Umesto toga ovde se posle svakog parcijalnog množenja dobijeni proizvod zbraja sa prethodnim stanjem u izlaznom registru. S obzirom da se u tom registru akumuliraju svi parcijalni proizvodi on se često naziva akumulator.

Pri sabiranju parcijalnih proizvoda mora se voditi računa i o ispravnom upisivanju brojeva u registar. Neka je množenik A napisan u razvijenom obliku

$$A=A_2\cdot 2^2+A_1\cdot 2^1+A_0\cdot 2^0.$$

Kada se ovaj broj pomnoži bilo kojim binitom množioca čija je vrednost

$$B_i=1\cdot 2^k,$$

dobija se parcijalni proizvod

$$A\cdot B_i=A_2\,2^{2+k}+A_1\,2^{1+k}+A_0\,2^{0+k}. \tag{11.11}$$

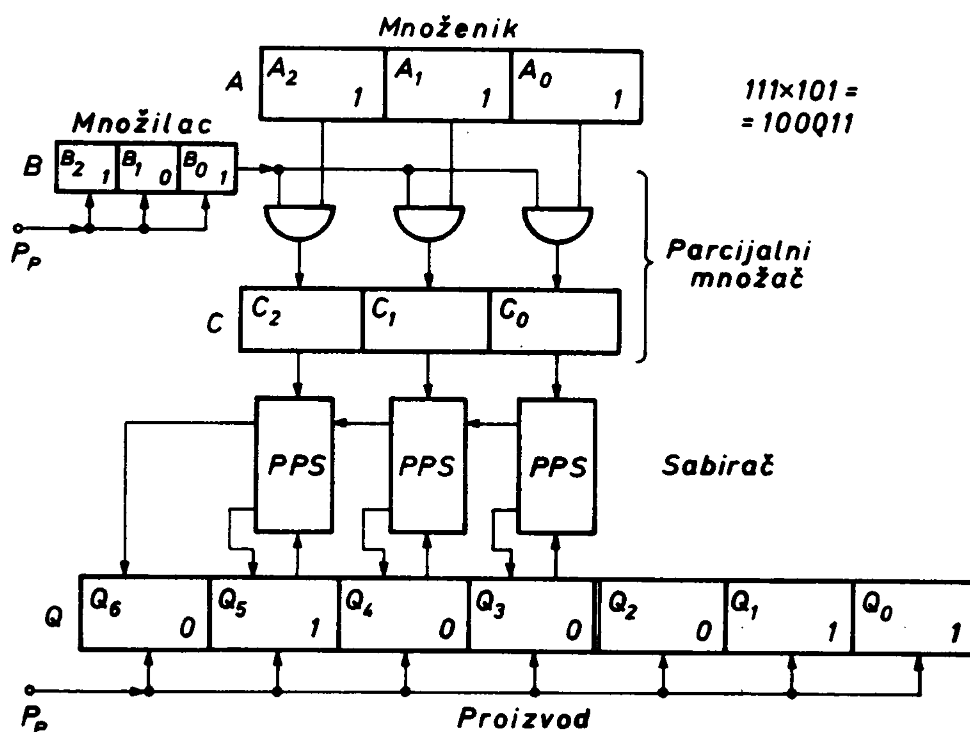
Vidimo dakle, da su pozicione vrednosti cifara binarnog broja A u proizvodu povećane za iznos k, čemu odgovara pomeranje cifara za k mesta ulevo.

11.5.2. Blok-šema množača

Na sl. 11.18 ucrtana je blok-šema množača koji je predviđen za rad sa trocifrenim binarnim brojevima. Množenik je smešten u stacionarni registar A, a množilac u pomerački registar B. Parcijalno množenje obavlja se na I kolima, a rezultati tog množenja se privremeno pamte u registru C. Akumulator Q je registar pomeračkog tipa i pre početka množenja nalazi se u resetovanom stanju. Svaki parcijalni proizvod u registru C sabira se sa zatečenim stanjem u akumulatoru Q i dobijeni zbir se unosi u isti akumulator.

Da bi se lakše shvatio postupak množenja poslužićemo se jednim brojnim primerom. Naime, nađimo proizvod $P = A \times B$ ako su vrednosti množenika $A = 111$ i množioca $B = 101$. Konvencionalnim množenjem dobija se

$$
\begin{array}{rr}
111 \times 101 = & 111 \\
 & 000 \\
 & \underline{111} \\
 & 100011
\end{array}
$$



Sl. 11.18. Blok-šema množača trobinitnih brojeva

Kod mašinskog množenja, međutim, vrši se sabiranje posle svakog parcijalnog množenja. Prema tome, postupak množenja gornjih brojeva je sledeći:

$$
\begin{array}{rrl}
 & 000 & — \; Q_{\mathrm{I}} \\
111 \times 101 = & \underline{111} & — \; P_{\mathrm{I}} \\
 & 111 & — \; Q_{\mathrm{II}} \\
 & \underline{000} & \leftarrow \; P_{\mathrm{II}} \\
 & 0111 & — \; Q_{\mathrm{III}} \\
 & \underline{111} & \leftarrow \; P_{\mathrm{III}} \\
 & 100011 & — \; Q_{\mathrm{IV}}
\end{array}
$$

Vidimo da se u prvoj fazi sabira parcijalni proizvod $P_{\mathrm{I}} = 111 \times 1$ sa početnim stanjem u akumulatoru $Q_{\mathrm{I}} = 000$. U drugoj fazi sabira se proizvod $P_{\mathrm{II}} = 111 \times 0$ sa stanjem akumulatora Q_{II}, a u trećoj fazi sabiraju se P_{II} i Q_{III}. Prema jednačini (11.11) svaki parcijalni proizvod se pre sabiranja pomera ulevo za onoliko mesta koliko iznosi pozicioni stepen k odgovarajuće cifre u množiocu. Prema izvedenoj šemi sabirača na sl. 11.18 parcijalni proizvodi se ne mogu da pome-

raju, jer se nalaze u stacionarnom registru C. Međutim, umesto pomeranja parcijalnih proizvoda ulevo, može se pomerati sadržaj akumulatora udesno za isti iznos, tako da sabiranje bude opet ispravno. Prema tome, množenje datih brojeva na pokazanom sabiraču izvodi se na sledeći način:

$$\begin{array}{rrl} & 000 & -- \ Q_{I} \\ 111 \times 101 = & \underline{111} & — \ P_{I} \\ & 111 & \\ \rightarrow & 111 & — \ Q_{II} \\ & \underline{000} & — \ P_{II} \\ & 0111 & \\ \rightarrow & 0111 & — \ Q_{III} \\ & \underline{111} & — \ P_{III} \\ & 100011 & \\ \rightarrow & 100011 & — \ Q_{IV} \end{array}$$

Za dati primer množenja u akumulatoru se u pojedinim fazama uspostavljaju stanja prikazana u tabeli 11.4. Vidi se da akumulator mora da sadrži 7 ćelija, ako se radi o množenju trocifrenih brojeva. Data tabela, međutim, ukazuje i na to, da su u prvoj fazi množenja ćelije Q_0, Q_1 i Q_2 neiskorišćene, a zatim se postepeno zauzimaju idući od Q_2 ka Q_0. Pošto se registar B isto tako postepeno prazni idući od B_2 ka B_0, to je očigledno da se ćelije Q_0, Q_1 i Q_2 mogu da iskoriste i kao registar za množilac. Drugim rečima, to znači da se ove ćelije akumulatora mogu da izostave, a preostali deo akumulatora da se redno veže sa registrom množioca. U tom slučaju akumulator ne mora da ima više od $n+1$ ćeliju, ako množenik i množilac imaju najviše po n binita.

	Sabirač						
Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0	0	Q_I
0	1	1	1	0	0	0	$P_I = 111 \times 1 + Q_I$
0	0	1	1	1	0	0	Q_{II}
0	0	1	1	1	0	0	$P_{II} = 111 \times 0 + Q_{II}$
0	0	0	1	1	1	0	Q_{III}
1	0	0	0	1	1	0	$P_{III} = 111 \times 1 + Q_{III}$
0	1	0	0	0	1	1	Q_{IV}

Tabela 11.4. Stanja u akumulatoru množača na sl. 11.18

Ako su pozicije ćelija akumulatora na sl. 11.18 fiksirane, onda konačni rezultat mora da bude doveden u odgovarajuće ćelije. Tako, na primer, kada se množi broj 111 sa brojem 11, ispravan rezultat u akumulatoru dobiće se tek po izvršenim operacijama množenja 111×011, a ne 111×11. U stvari radi se

o tome, da u ovom drugom slučaju postoje samo dve faze parcijalnih množenja, pa otuda i dva pomeranja sadržaja akumulatora, koji je, inače, predviđen za smeštaj proizvoda dva trocifrena broja. Očigledno je, dakle, da u slučaju dvocifrenog množioca najniži binit proizvoda, na primer, neće biti konačno upisan u ćeliju Q_0 već u Q_1.

Videli smo da se pri svakom parcijalnom množenju vrši operacija sabiranja i pomeranja sadržaja u akumulatoru. Ovi postupci se ponavljaju onoliko puta koliko množilac ima cifara. Istina, kada se radi o množenju sa nulom, operacija sabiranja se ne vrši, već samo operacija pomeranja. Prema tome, ako je n broj binita u množiocu, a m je broj jedinica u njemu, onda ukupno vreme operacije množenja iznosi

$$T_M = nt_P + mt_S, \qquad (11.12)$$

gde je t_P vreme pomeranja, a t_S vreme sabiranja. Kako je vreme pomeranja relativno kratko, to vremenski ciklus množenja uglavnom zavisi od brzine sabiranja.

11.5.3. Specijalni postupci množenja

Opisani sistem množača je dosta složen, a proces množenja može da bude prilično dug kada se radi sa brojevima veće brojne vrednosti. Izvesno smanjenje broja sklopova u množaču može da se ostvari primenom rednog postupka pri operaciji sabiranja, ali to još više povećava trajanje ciklusa kompletne operacije množenja. Zbog toga se pojavila potreba i za drugim tipovima množača, koje karakteriše manje ciklusno vreme.

Jednostavno i brzo množenje može da se obavi kada množilac ima vrednost 2^k, gde je $k=1, 2, 3$ itd. Pošto se prema jednačini (11.11) takvo množenje svodi na pomeranje binita množenika za k mesta ulevo, to se kao množač može jednostavno da koristi pomerački registar. Ovakvo — specijalno množenje pokazano je ranije na sl. 8.12.

Koristeći prethodnu mogućnost lakog udvostručavanja vrednosti binarnih brojeva, operacija množenja može u potpunosti da se zameni višestrukom operacijom sabiranja osnovne i udvostručene vrednosti množenika. Na primer, množenje broja A sa vrednošću 5 ili 8 može da se izvrši sabiranjem vrednosti $2A+2A+A$, odnosno $2A+2A+2A+2A$. Da bi se pri ovakvom množenju izbegao veliki broj sabiranja, umesto udvostručavanja broja A radije se koriste njegovi veći multipli, kao na primer: $1A$, $2A$, $3A$ i $5A$, ili $1A$, $2A$, $4A$ i i $8A$. U oba ova slučaja množenje sa BCD ciframa, na primer, svodi se na sabiranje najviše tri multiplicirane komponente. Naglasimo, međutim, da multipliciranje brojeva u BCD sistemima nije uvek jednostavno. Obično se za tu svrhu konstruišu specijalne logičke mreže na principu sinteze prekidačkih matrica i realizuju se sa odgovarajućim kombinacionim komponentama[8,10].

U novije vreme proizvode se i množači sa samočitačkim memorijama (*ROM*) One su namenjene za rad sa brojevima u *BCD* kodu. Na ulaze bit-ravni memorije dovode se istovremeno odgovarajuće tetrade množenika i množioca, koje se u matričnoj mreži memorije konvertuju u odgovarajuće tetrade proizvoda. Drugim rečima, radi se o unapred programiranoj i fiksiranoj tablici množenja, u

kojoj su kombinacije dveju izlaznih tetrada funkcije kombinacija ulaznih tetrada množenika i množioca. Ako množenik ima n *BCD* cifara, jasno je da će svaka cifra množioca da bude prisutna na ulazu memorije n puta duže od cifre množenika, naime za sve vreme dok se izvrši množenje svake cifre množenika sa datom cifrom množioca. Parcijalni proizvodi pri ovom množenju sabiraju se na jedan od pokazanih načina, bilo redno ili paralelno, pri čemu se, naravno, mora voditi računa o pravilnom upisivanju dobijenih sabiraka u akumulacionom registru. Očigledno je da se ovde radi o dosta složenom množačkom sistemu, koji sadrži, pored samočitačkih memorija, još i registre, polusabirače, taktne generatore i upravljačku logiku[8].

11.6. KOLA ZA DELJENJE

Dok se množenje u suštini svodi na višestruko sabiranje, deljenje nije ništa drugo do višestruko oduzimanje. Primera radi pokažimo da se $8:2=4$ može da dobije i na sledeći način:

$$8-2=6 \qquad 1$$

$$6-2=4 \qquad 2$$

$$4-2=2 \qquad 3$$

$$2-2=0 \qquad 4$$

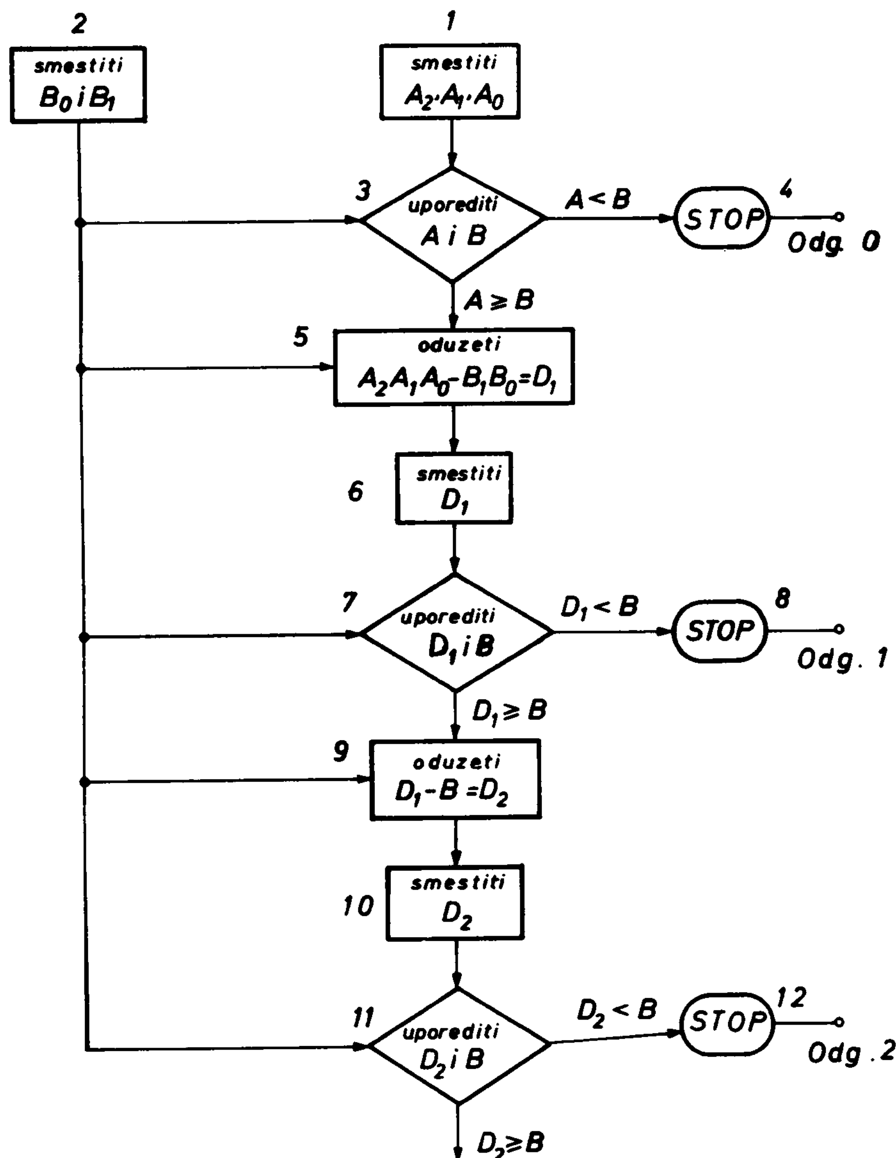
gde brojevi 1, 2, 3 i 4 pokazuju broj ponovljenih operacija oduzimanja. Konstatujmo da rezultat gornjeg deljenja predstavlja konačni broj ponovljenih operacija oduzimanja. Prema tome, sistem za deljenje u principu sadrži oduzimač i brojač.

S obzirom da se pri deljenju ne dobija uvek ceo broj, postupak ovakvog deljenja može da bude dosta dug da bi se dobila određena tačnost rezultata. Razumljivo je da će i sistem za deljenje u ovom slučaju biti složeniji. Zbog toga ćemo prvo razmotriti slučaj deljenja kada se kao količnik dobija ceo broj, a onda razlomljen.

11.6.1. Postupak deljenja pri celobrojnom količniku

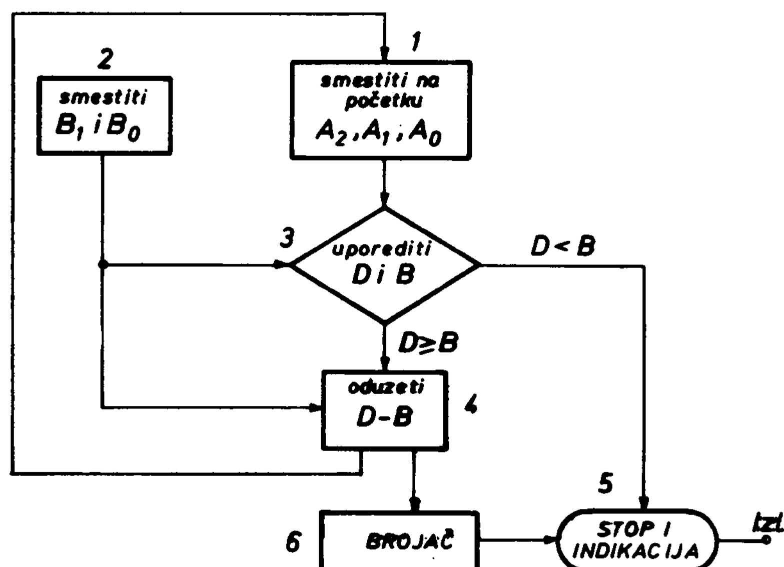
Postupak deljenja binarnih brojeva prikazan je dijagramom toka operacija na sl. 11.19. Operacije 1 i 2 odnose se na unošenje deljenika A i delioca B u odgovarajuće stacionarne registre. Operacija 3 predviđa upoređivanje brojeva A i B. Ako je $A<B$, onda se deljenje odmah zaustavlja, jer se radi o sistemu koji određuje samo cele brojeve količnika. Ako je, međutim, $A \geqslant B$, prelazi se na operaciju 5, koja obuhvata oduzimanje brojeva $A-B$. Dobijena razlika, odnosno diferencija brojeva D_1 unosi se u odgovarajući registar i, prema naznačenoj operaciji 7, vrši se sada upoređivanje vrednosti D_1 i B. Ako bi bilo $D_1<B$, dalje računanje bi se obustavilo, a na brojaču kao odgovor pojavio bi se rezultat 1. Ukoliko je $D_1 \geqslant B$, proces deljenja se nastavlja po naznačenom postupku 9, koji predviđa formiranje nove razlike D_2.

Iz datog dijagrama toka vidi se da se operacije oduzimanja i kompariranja produžavaju sve dotle, dok razlika D_i ne postane manja od delioca B. Pošto se, dakle, radi o ponavljanju istih operacija, to se u praksi dijagram toka operacija prikazuje kao na sl. 11.20. Primetimo da u ovom slučaju operacija 1 predviđa unošenje deljenika A u registar na početku deljenja i on se zadržava tu samo privremeno. Čim se izvrši prvo upoređivanje vrednosti A i B, broj A se briše, a umesto njega u isti registar se u svakom ponovljenom ciklusu unose dobijene razlike prvo $A-B$, a zatim D_i-B. Svaka operacija oduzimanja odbrojava se na za to predviđenom brojaču i kad postane $D_i<B$, dalje računanje se prekida, a



Sl. 11.19. Dijagram toka operacija pri deljenju

na izlazu brojača se indicira dobijeni celobrojni rezultat. Za izvođenje deljenja na ovaj način potreban je, znači, logički sistem koji sadrži dva registra, komparator, oduzimač i brojač. S obzirom da se radi o taktovanim operacijama, sistem mora da poseduje i odgovarajuću upravljačku logiku.

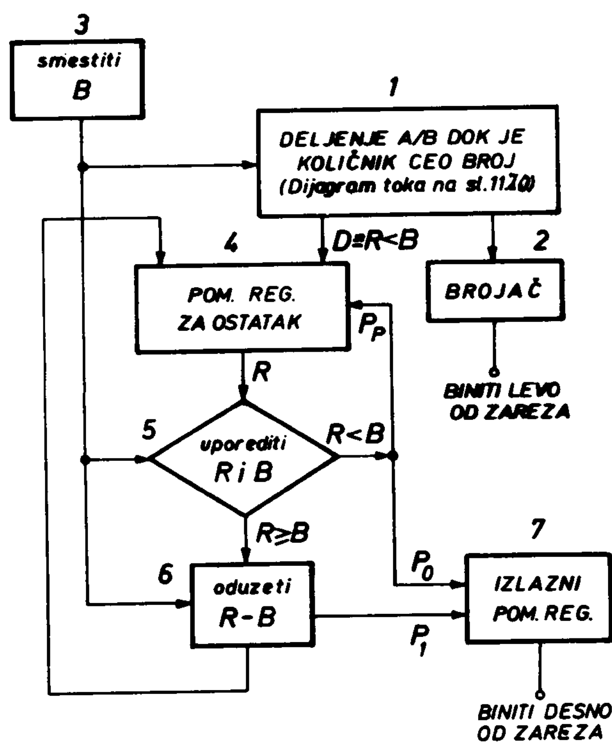


Sl. 11.20. Praktično predstavljanje dijagrama toka za deljenje

11.6.2. Postupak deljenja kada količnik nije ceo broj

Ako se pri deljenju ne dobija celobrojni količnik bez ostatka, onda se deljenje nastavlja sve dotle dok se ne postigne konačni rezultat sa određenom tačnošću. Postupak takvog deljenja prikazan je dijagramom toka operacija na sl. 11.21. Blok 1 zamenjuje ceo dijagram toka operacija dat na sl. 11.20. To znači da je ovim blokom predviđeno da se prvo izvrši deljenje broja A sa brojem B dok se ne dobije ostatak $D-B=R<0$. Ovaj ostatak unosi se u pomerački registar 4, a na izlazu brojača indiciraju se biniti koji čine cele brojeve u količniku.

Određivanje decimalnog dela količnika vrši se prema naznačenim operacijama na sl. 11.21. Naime, najpre se ostatak R, koji je smešten u pomeračkom registru, upoređuje sa deliocem B. Ako je $R<B$ pojavljuje se impuls P_P, koji pomeri ostatak R u registru za jedno mesto ulevo, čime se njegova vrednost udvostručava. Sada se vrši upoređivanje vrednosti $2R$ i B. Ukoliko je $2R<B$, ostatak $2R$ će se ponovo pomeriti još za jedno mesto ulevo, tako da postaje $4R$. To istovremeno znači da u količnik treba uneti binit 0, što se čini impulsom P_0. U slučaju da je izlaz iz komparatora $2R>B$, vrši se oduzimanje $2R-B$, a impulsom P_1 upisuje se u izlazni pomerački registar binit 1. Time je završen ciklus za određivanje prve decimalne cifre u rezultatu.



Sl. 11.21. Dijagram toka operacije deljenja pri decimalnom količniku

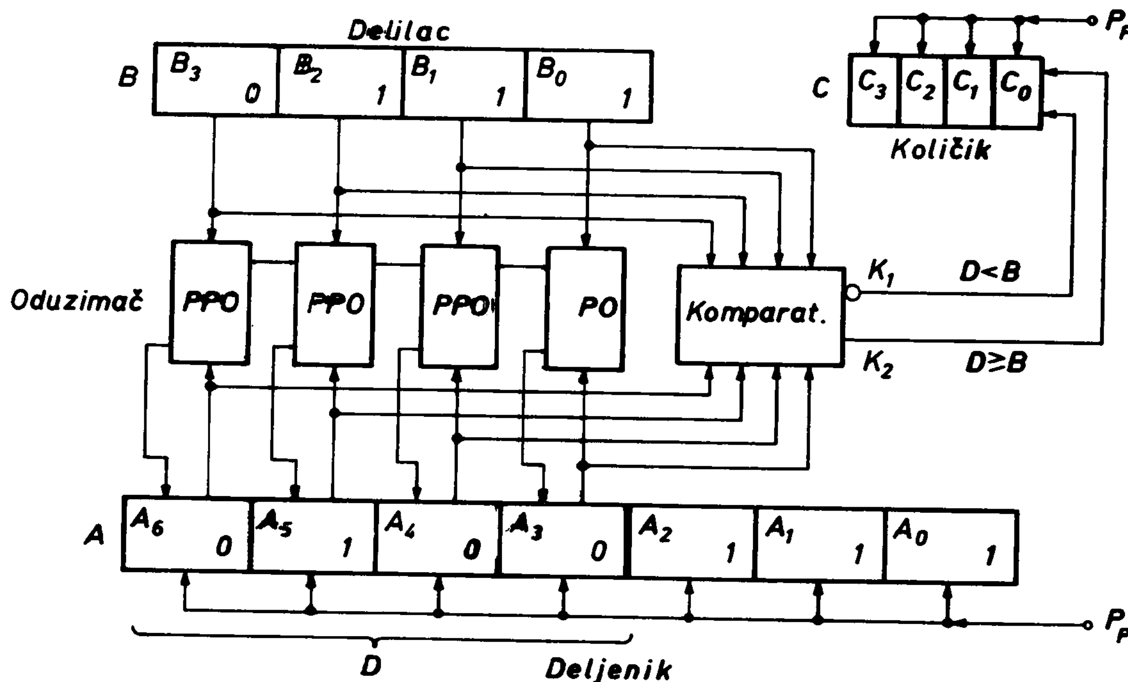
Dalji postupak deljenja je cikličan. Novi ostatak u oduzimaču prebacuje se u registar 4, upoređuje se sa B i pošto je manji od B udvostručava se impulsom P_P. Uvećani ostatak se ponovo upoređuje i preko P_0

ili P_1 registruje se sledeća decimalna cifra. Postupak se ponavlja sve dotle, dok konačni ostatak u oduzimaču ne bude jednak nuli, ili se u količniku ne dobije traženi broj cifara desno od zareza.

11.6.3. Blok-šema sistema za deljenje

Logička mreža za deljenje u suštini je ista kao i ona za množenje, samo što se umesto sabirača pojavljuje oduzimač. Imajući u vidu da se oduzimanje može da vrši pomoću sabiranja, u mreži, znači, može da ostane i sabirač, ali da ima mogućnost komplementiranja umanjioca. No, i pored toga, postupak deljenja, izložen u dijagramima toka operacija, biće pokazan na sistemu, čija je blok-šema data na sl. 11.22. Broj A je smešten u registar deljenika A, a broj B u registar delioca B. Registar deljenika A kao i registar količnika C su pomerački i njima se upravlja impulsima P_P. Oduzimač je paralelnog tipa, sastavljen od $2n-1$ poluoduzimača, gde je n broj binita. Komparator isto tako radi u paraleli, a logička šema njegove osnovne jedinice izvedena je prema sl. 11.5. Komparator upoređuje delimične vrednosti označene sa D u registru deljenika sa deliocem B. Kada je $D<B$ komparatorski izlaz K_1 biće jednak nuli, jer je invertovan. U slučaju da je $D \geqslant B$ komparatorski izlaz K_2 biće jednak jedinici.

Postupak deljenja ilustrovaćemo primerom datim na sl. 11.22 kao i u tabeli 11.5. Naime, broj $A=39$, odnosno 100111 smešten je u registar deljenika, a broj $B=7$, odnosno 111 nalazi se u registru delioca. Prvo upoređivanje vrednosti dovedenih na komparator pokazuje da je $D_1<B$, pa je $K_1=0$. Posredstvom pomeračkog impulsa P_P ova nula se upisuje u registar C i istovremeno se sadržaj registra A pomera za jedno mesto ulevo. Drugim upoređivanjem dobija se da je $D_2>B$, pa je $K_2=1$. Prema tome oduzimanje je moguće i ono se izvršava. Iza toga pomerački impuls upisuje jedinicu u registar C i ponovo pomera novodobijeni sadržaj registra A. Treće upoređivanje pokazuje da je $D_3<B$, pa se, kao i u prvom slučaju, odmah upisuje nula u registar C i pomera sadržaj re-



Sl. 11.22. Sistem za deljenje binarnih brojeva

gistra A. Najzad, pri četvrtom upoređivanju dobija se da je $D_4 > B$, te se obavljaju sve operacije kao i pri drugom upoređivanju. Ovim je završeno određivanje celih cifara u količniku, ali deljenje nije okončano, jer je ostatak $R_2 = 0100$

	D																
	A_6	A_5	A_4	A_3	A_2	A_1	A_0		komp.	C_7	C_6	C_5	C_4	C_3	C_2	C_1	C_1
D_1	0	1	0	0	1	1	1		$D_1 < B$								
D_2	1	0	0	1	1	1		←	$D_2 > B$								0
R_1	0	0	1	0	1	1		oduz.									↓
D_3	0	1	0	1	1			←	$D_3 < B$							0	1
D_4	1	0	1	1				←	$D_4 > B$						0	1	0
R_2	0	1	0	0				oduz.						(0	1	0	1)
D_5	1	0	0	0				←	$D_5 > B$					0	1	0	1
R_3	0	0	0	1				oduz.									↓
D_6	0	0	1	0				←	$D_6 < B$				0	1	0	1,	1
D_7	0	1	0	0				←	$D_7 < B$			0	1	0	1,	1	0
D_8	1	0	0	0				←	$D_8 > B$		0	1	0	1,	1	0	0
R_4	0	0	0	1				oduz.									
D_9	0	0	1	0				←	$D_9 < B$	0	1	0	1	1	0	0	1

Tabela 11.5. Stanja u registrima deljenika i količnika u sistemu za deljenje na sl. 11.22

dosta veliki. Očigledno je, uostalom, da je rezultat $39:7=5$ vrlo netačan, te se deljenje mora da nastavi. U stvari, ako deljenje nije prekinuto, pri upisivanju poslednjeg binita u rezultatu 0101 pomera se i sadržaj registra A za još jedno mesto ulevo. Ponavljajući nove cikluse deljenja, koji započinju ponovnim kompariranjem, određuju se i decimalne cifre količnika na isti način kao i cele. Posle osam takvih ciklusa rezultat je 0101, 1001 sa ostatkom $R_4 = 0001$. Zapazimo da je $R_4 = R_3$, što znači da se dati brojevi ne mogu konačno da podele. Prema tome, kraj operacije deljenja treba da bude određen zahtevanom tačnošću. Napomenimo da bi u datom slučaju količnik 0101, 1001001 davao rezultat tačan samo na dve decimale. To pokazuje da operacija deljenja može dosta dugo da traje.

Na kraju podsetimo da se deljenje sa brojnim vrednostima 2^k svodi samo na to, da se biniti deljenika pomeraju za k mesta udesno. Prema tome, ovakvo — specijalno deljenje najlakše se izvodi pomoću pomeračkog registra, što je ranije pokazano na sl. 8.13.

LITERATURA

1. *Phister, M.*; Logical Design of Digital Computers, John Wiley, New York, 1959, gl. 9
1. *Millman, J. Taub, H.*; Pulse, Digital and Switching Waveforms, McGraw-Hill, New York, 1965, pgl. 9.12
3. *Kinter. P. M.*: Electronic Digital Techniques, McGraw-Hill, New York, 1968, pgl. 7.3 i 8.12
4. *Turner, J. F.*: Digital Computer Analysis, Merrill, Columbus, Ohio, 1968, gl. 2 i 17
5. *Sparkes, J. J.*: Transistor Switching and Sequential Circuits, Pergamon Press, Oxford, 1969, gl. 8

6. *Knüpfer, A.*: Technik digitaler Rechenanlagen, VEB, Berlin, 1969, gl. 6
7. *Belove, C., Schachter, H., Schilling, D. L.*: Digital and Analog Systems, Circuits and Devices, McGraw-Hill, New York, 1973, pgl. 2.4—2.8
8. *Schmid, H.*: Decimal Computation, General Electric Comp., New York, 1974, gl. 1—4
9. *Jovanović, D. T.*: Komponente digitalnih sistema, Građevinska knjiga, Beograd, 1974. gl. 6 i 7
10. *Vučković, M.*: Kola za aritmetičke operacije, dipl. rad, Elektrotehn. fakult. Beograd, 1975,
11. TTL Integrated Circuit Catalog, Texas Instruments, Aug. 1969.
12. *Ramsey, M. W.*: M.S.I. counters generate aritmetic function, Electronic Engng., Dec. 1970, str. 34
13. *Lösel, M. E.*: MSI-Bausteine in aritmetischen Einheiten, Electronik, H.5, Mai 1972, str. 173
14. *Kinter, P.*: IC make parallel aritmetic practical, Control Engineering, Vol. 19, № 10, Oct. 1972, str. 48
15. *Percival, R.*: ROM are versatil in digital systems, Electronic Design, Vol. 20, June 20, 1972, str. 66

ABECEDNI REGISTAR

C

D

E

F

G

M

N